

基于 FPGA 的片上网络虚拟通道控制器的设计

张 旺, 汪金辉, 侯立刚, 吴武臣

(北京工业大学 集成电路与系统集成实验室, 北京 100124)

摘 要: 虚拟通道控制器的设计是实现虚拟通道技术的关键。基于 FPGA 实现技术, 利用 VHDL 硬件描述语言设计实现了一种适用于网格、半环网、环网三种拓扑结构的虚拟通道控制器。该虚拟通道控制器工作频率能够达到 689MHz, FPGA 资源占用率仅为 1%, 是一种高效的虚拟通道控制器设计方案。

关键词: 片上网络; 虚拟通道; 虚拟通道控制器

中图分类号: TN403

文献标识码: A

文章编号: 1000-7180(2012)05-0010-05

The Design of Network-on-Chip Virtual Channel Controller Based on FPGA

ZHANG Wang, WANG Jin-hui, HOU Li-gang, WU Wu-chen

(VLSI & System Integrated Laboratory, Beijing University of Technology, Beijing 100124, China)

Abstract: Virtual channel technology is one of important technologies to improve the performance of network communications, and the design of virtual channel controller is the key to implement virtual channel technology. This paper designs and implements a virtual channel controller based on FPGA using VHDL. It is suitable for mesh, semi-torus and torus topology network-on-chips. Its operating frequency can reach 689MHz and it only occupies 1% of the FPGA resources. It is a low-cost and high-performance design of the virtual channel controller.

Key words: network-on-chip; virtual channel; virtual channel controller

1 引言

片上网络通信结构因其良好的扩展性、复用性以及由此带来的系统架构和系统设计范式的变革, 将替代总线等传统芯片通信结构成为片上系统的主要通信结构^[1-3]。在文献[2]提出了片上网络(Network on Chip, NoC)的概念后, 片上网络作为一种微型通信网络, 如何对它进行设计并提高它的通信性能是片上网络研究的一个热点问题^[4]。

将虚拟通道技术引入片上网络的设计, 关键是虚拟通道控制器的设计^[5]。利用 VHDL 硬件描述语言, 本文设计实现了一个适用于网格(Mesh)、单环网(SMesh)和双环网(DMesh)三种拓扑结构片上网络的高效虚拟通道控制器。

2 三种拓扑结构

基于片上网络通信结构的典型系统架构可以划分为功能子系统和通信子系统^[1,3]。图 1 是一个采用片上网络通信结构的系统架构示意图。系统主要由三部分组成: 资源模块(Resource)、网络接口(Interface)和片上网络, 其中片上网络由网络节点(Node)和链

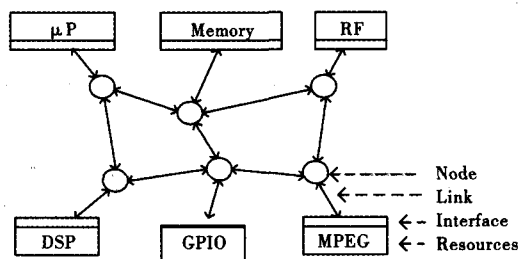


图 1 基于片上网络系统架构示意图

收稿日期: 2011-10-05; 修回日期: 2011-11-01

基金项目: 国家自然科学基金项目(60976028)

路通道(Link)组成,它构成了系统相对独立的通信子系统。

片上网络的拓扑结构是指网络节点与通道的排列形式^[5]。它在一定程度上决定了网络节点的端口结构,对路由算法的复杂度有着重要的影响。二维拓扑结构能够很好地适应集成电路二维工艺技术的特点,是片上网络最为常用的拓扑结构^[6]。本文设计的虚拟通道控制器适用于网格(Mesh)、单环网(STorus)和双环网(DTorus)三种二维拓扑结构,如图2所示,(a)(b)(c)分别是包含9个节点的三种网络拓扑结构。在网格拓扑结构中,网络节点和通道在二维平面内依次沿X方向与Y方向呈网格状进行排布,每个网络节点通过X、Y方向上的通道与相邻节点相连。单环网拓扑结构在网格拓扑结构的基础上,将上下对边节点通过通道相连。双环网拓扑结构在网格拓扑结构的基础上,不但将上下对边节点通过通道相连,而且将左右对边节点也通过通道相连。三种拓扑结构分别适用于不同的网络性能设计要求。

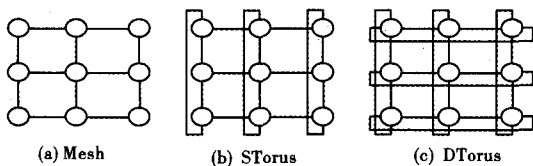


图2 三种拓扑结构

3 虚拟通道技术

片上网络的链路通道实现了网络节点之间的连接。它的链路通道具有两种实现模式:(1)非虚拟通

道模式;(2)虚拟通道模式^[5]。非虚拟通道模式的一条物理通道两侧对应一组数据缓冲单元。虚拟通道模式的一条物理通道对应多组数据缓冲单元。图3说明了这两种通道模式的不同结构,示例中的虚拟通道模式,一条物理通道对应了两组缓冲单元。

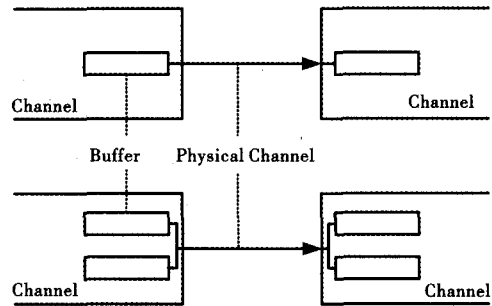


图3 非虚拟通道与虚拟通道结构示意图

从逻辑上讲,虚拟通道模式的一条物理通道实现了多条通道的功能。虚拟通道能够提高物理通道的利用率,提高网络吞吐率,并避免网络死锁的出现^[7]。对于非虚拟通道模式,当一组待传输数据占据缓冲单元时,其他组数据就不能获得物理通道的使用权,即使待传输数据已经被阻塞。对于虚拟通道模式,一条物理通道可以支持多条逻辑通道来复用该物理通道。当一组待传输数据发生阻塞时,其他组数据仍可以获得物理通道的使用权。

非虚拟通道模式与虚拟通道模式对网络通道利用率的影响利用图4加以说明。例如,数据A与数据B均采用虫孔交换策略进行传输,数据B的传输需要通过物理通道p,数据A的传输需要通过物理

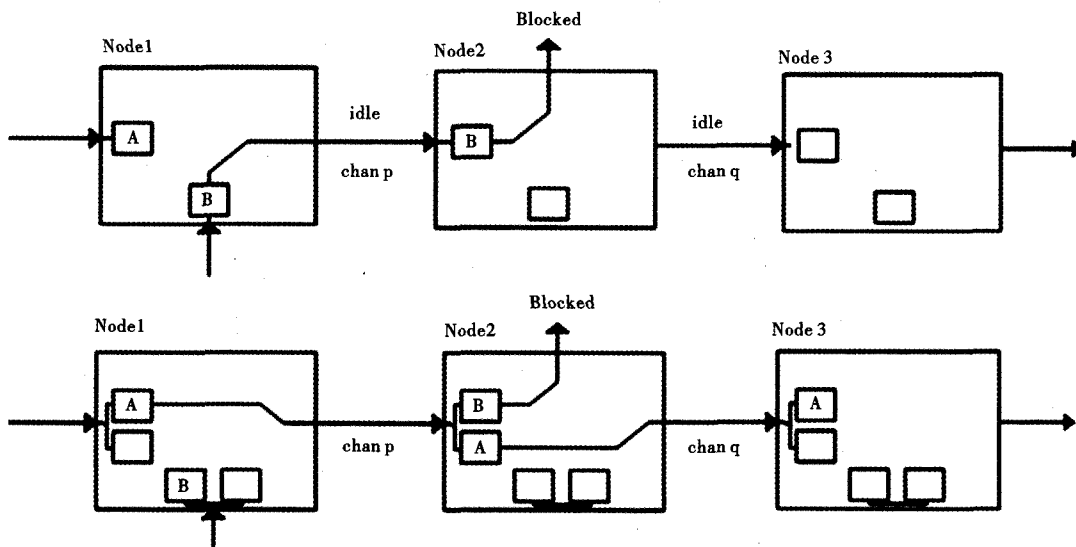


图4 两种通道模式对通道利用率影响示意图

通道 p 和 q. 当通道为非虚拟通道模式时, 由于数据 B 的传输被阻塞, 数据 B 占据了通道 p 的输出缓冲模块, 数据 A 无法获得通道 p 的使用权, 致使通道 p 与通道 q 均处于空闲状态. 当通道为虚拟通道模式时(每条物理通道对应两组缓冲模块), 即使 B 的传输被阻塞, 数据 A 也可以通过通道 p 的空闲输出缓冲模块进行传输. 因此, 通道 p 与通道 q 的带宽得到了充分的利用. 由此可见, 虚拟通道技术能够提高物理通道的利用率.

4 虚拟通道控制器的功能设计

虚拟通道技术提高了物理通道的利用率, 改善了网络的通信性能, 同时也增加了通道设计的复杂性. 链路通道需要增加虚拟通道控制器模块的设计. 虚拟通道控制器实现的功能为, 跟踪存储模块的存储状态以及传输数据的传输状态, 并为数据传输进行路由, 发出分配与交换控制信号.

采用虚拟通道结构的网络通道结构如图 5 所示.

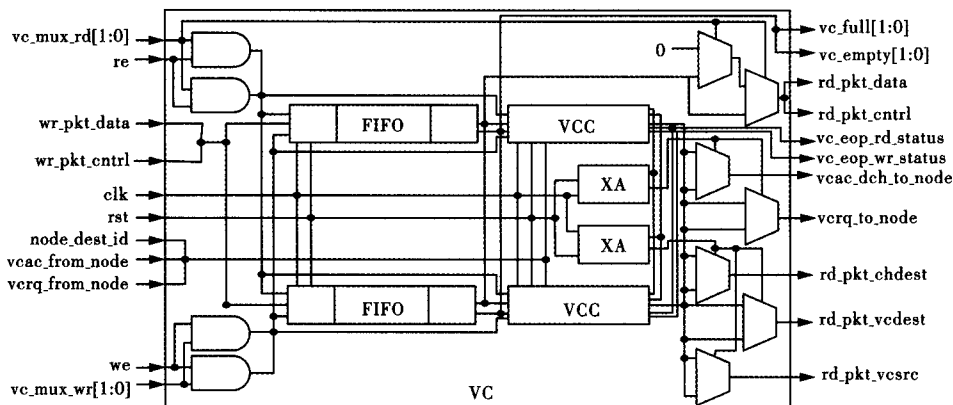


图 5 包含两个虚拟通道的通道结构图

5 虚拟通道控制器的结构设计

虚拟通道控制器(VCC)的设计是实现虚拟通道技术的核心和关键. 它实现了网络数据传输的路由算法以及通道内数据传输的控制等功能. 它的结构设计如图 6 所示, 主要由两部分结构构成, 路由算法实现单元(Routing)和数据读写控制单元.

路由算法实现单元 Routing, 根据不同的系统拓扑结构实现相应的路由算法. 它通过输入端口 node_my_id 获得当前节点的地址, 并通过输入端口 pkt_ctrl_wr 获得数据传输目的节点的地址, 作为实现路由算法的基础. 如果系统为网格(Mesh)拓扑结构, 数据传输的路由算法为 XY 路由算法. 如果系

示, 其中 VCC 是本文设计的虚拟通道控制器. 该网络通道的设计虚拟通道数为 2, 即一条物理通道对应设计两个缓冲单元. 它主要由两个存储缓冲单元 FIFO、两个虚拟通道控制器(Virtual Channel Controller, VCC)和两个多选一仲裁器(X-to-one Arbitrator, XA)等结构单元构成. 存储缓冲单元 FIFO 是传输数据的存储单元. XA 是两条虚拟通道数据传输请求(虚拟通道分配请求、数据交换请求)的仲裁单元. 虚拟通道控制器(VCC)是虚拟通道的控制单元. 一个虚拟通道(即存储缓冲单元 FIFO)需要一个虚拟通道控制器. 虚拟通道控制器主要实现了网络数据传输的路由算法以及通道内数据传输的控制等功能. 它需要读入传输数据片的控制部分, 获得数据传输的目的节点地址, 并根据通道所属的节点地址和设定的路由算法判定传输数据的输出端口, 并输出路由结果、输出通道的传输请求信号以及通道的数据传输状态信号.

统为单环网(STorus)拓扑结构, 数据传输的路由算法为 STXY 路由算法. 如果系统为双环网(DTorus)拓扑结构, 数据传输的路由算法为 DTXY 路由算法. XY 路由算法是一种防死锁的确定性路由算法. 它的主要路由思路是首先沿着 X 方向将待发送的数据包传送到目的节点所在的列, 然后再沿着 Y 方向将待发送的数据包传送到目的节点所在的行. STXY 路由算法与 DTXY 路由算法也是一种防死锁的确定性路由算法. STXY 路由算法适用于单环网拓扑结构网络. DTXY 路由算法适用于双环网拓扑结构网络. 它们都是基于 XY 路由算法改进而来, 路由思路与 XY 路由算法相同. 路由算法实现单元的路由结果输出到数据读写控制单元.

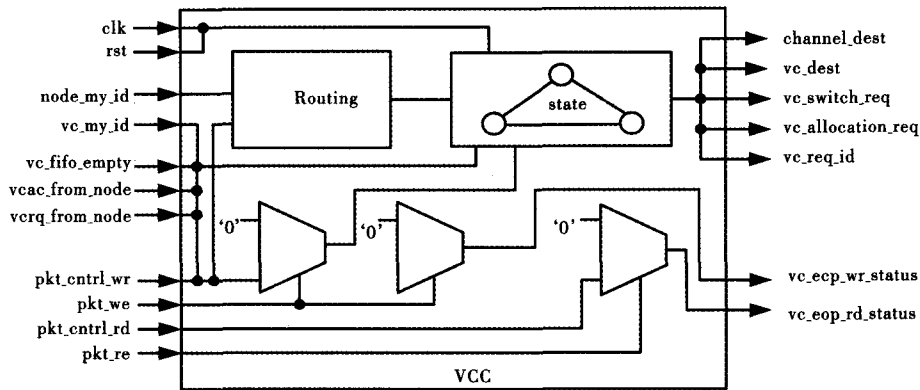


图6 虚拟通道控制器输入输出端口图

数据读写控制单元采用一个 Mealy 型有限状态机设计实现。它通过 vc_my_id 读入对应虚拟通道的编码,通过 vc_fifo_empty 读入对应 FIFO 的空存储状态,通过 $vcac_from_node$ 和 $verq_from_node$ 读入节点内虚拟通道分配器的分配结果,通过 pkt_cntrl_wr 读入 FIFO 写入数据片的类型。它通过输出端口 $channel_dest$ 输出路由结果,即目的通道编码,通过 vc_dest 输出虚拟通道的分配结果,即目的通道内的目的虚拟通道的编码,通过 vc_req_id 输出请求进行数据传输的虚拟通道的编码,通过 $vc_allocation_req$ 输出分配仲裁请求信号,通过 vc_switch_req 输出交换仲裁请求信号。其中端口 pkt_cntrl_rd 和 pkt_cntrl_wr 是一种自定义的数据包控制字类型。它的数据结构共包括 $3+x$ 位。高三位为数据片类型标示位,最高位是体数据片标示位,次高位是尾数据片标示位,第三高位是头数据片标示位。剩余位为目的地址数据位,其位数与系统设计节点数目相关。例如节点数量为 4 时,节点地址数据位为 2 位。

该有限状态机共包括三个状态,空闲状态(idle_state),获取虚拟通道状态(getting_vc_state),发送数据状态(sending_state)。状态转移图如图 7 所示。当系统复位时($rst=1$)状态机进入空闲状态。在空闲状态,VCC 读入控制数据包,获得数据包传输的目的节点的地址信息以及数据片的类型信息。在空闲状态下,如果数据片的类型是头数据片($sop_wr=1$),状态转移为获取虚拟通道状态,否则下一状态仍为空闲状态。在获取虚拟通道状态,VCC 输出路由结果,并发出虚拟通道分配请求信号。在获取虚拟通道状态下,如果得到了虚拟通道的分配结果($vcac_from_node \neq 0$ 且 $verq_from_node = vc_my_id$),状态转移为发送数据状态,否则下一状态仍为

获取虚拟通道状态。在发送数据状态,VCC 输出路由结果及虚拟通道分配结果,并发出数据交换请求信号。在发送数据状态下,如果发送的数据片的类型变为尾数据片时($eop_rd=1$),状态转移至空闲状态,否则下一状态仍为发送数据状态。该有限状态机实现了 VCC 的数据传输控制功能。

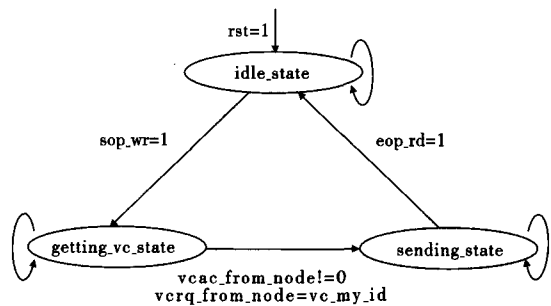


图7 VCC 数据读写控制单元状态机的状态转移图

6 综合与验证结果

该虚拟通道控制器采用硬件描述语言 VHDL 进行设计,基于赛灵思 ISE 7.1 开发系统进行综合验证。采用的 FPGA 型号为赛灵思 Virtex4 xc4vlx80,综合工具为 ISE 集成的综合工具 XST,仿真器为 ISE 集成的仿真器 ISE Simulator。仿真结果表明,VCC 功能仿真及后仿真正确。

VCC 综合占用器件资源数量如表 1 所示。该虚拟通道控制器占用的 Slice Flip Flop 的数量为 7,占总量的 1%;占用的 4 输入 LUT 的数量为 29,占总量的 1%;占用的 Slice 的数量为 16,占总量的 1%。综合并布局布线后的电路,其最小时钟周期为 1.405 ns,所以最大时钟频率可以达到 689 MHz。该虚拟通道控制器的设计速度及占用资源数量均满足系统设计要求。

表 1 虚拟通道控制器占用的资源数量

逻辑单元	使用数量	总量	利用率
Number of Slice Flip Flops	7	71 680	1%
Number of 4 input LUTs	29	71 680	1%
Number of occupied Slices	16	35 840	1%

7 结束语

文中提出并设计了一种适用于多种网络拓扑结构的片上网络虚拟通道控制器. 该虚拟通道控制器采用 VHDL 语言进行设计, 控制虚拟通道数为 2. 它基于赛灵思 Virtex4 xc4vlx80 FPGA 设计实现, 工作频率能够达到 689MHz. 设计的 VCC 的性能及硬件占用率均达到了系统设计要求, 并已成功应用于 2×2 网络拓扑结构片上网络系统的设计中. 未来的工作需要进一步进行功耗分析与优化.

参考文献:

- [1] William J Dally, Towles B. Route packets, not wires: on-chip interconnection networks [C]// Proceeding of Design Automation. Las Vegas, USA, 2001: 684-689.
- [2] Guerrier P, Greiner A. A generic architecture for on-chip packet-switched interconnections [C]// Design, Automation and Test in Europe Conference and Exhibition. Paris, France, 2000: 250-256.
- [3] Wingard, D. MicroNetwork-based integration for SOCs [C]// Proceeding of Design Automation. Las Vegas, NV, USA, 2001: 673-677.
- [4] Marculescu R, Jingcao H, Ogras U Y, et al. Key research problems in NoC design: a holistic perspective [C]// International Conference on Hardware/Software Codesign and System Synthesis. Jersey City, NJ, USA, 2005: 69-74.
- [5] William J. Dally, Brian Towles. principles and Practices of interconnection networks [M]. USA: Morgan Kaufmann Publishers, 2003.

[6] 杨晓强, 高晔. NoC 系统设计的研究[J]. 微电子学与计算机, 2008, 25 (7): 176-179.

[7] 丁帅, 吴宁, 葛芬, 等. 片上网络路由单元的系统级建模研究[J]. 微电子学与计算机, 2009, 26 (1): 93-96.

作者简介:



张 旺 男, (1985—), 博士研究生. 研究方向为片上网络架构及关键模块的设计.



汪金辉 男, (1982—), 博士, 讲师. 研究方向为 VLSI 及多米诺结构集成电路.



侯立刚 男, (1979—), 博士, 讲师. 研究方向为 VLSI 及低功耗设计.



吴武臣 男, (1946—), 博士生导师. 研究方向为功率集成模块设计、大规模集成电路及系统集成设计.