

## 新型可编程锁相环锁定检测器设计

阴亚东<sup>1</sup>, 张利红<sup>2</sup>, 阎跃鹏<sup>1</sup>

(1 中国科学院 微电子研究所, 北京 100029; 2 福建江夏学院, 福建 福州 350108)

**摘 要:** 采用 SMIC 0.18 $\mu\text{m}$  工艺设计并验证了一种新型可编程锁相环锁定检测器. 锁定检测器使用了新型脉宽检测电路将可编程脉宽检测门限与鉴相器输出相位差脉冲的宽度进行对比, 并以此做出锁定判断. 新型锁定检测器使用了时钟抽取电路以从锁相环参考时钟和反馈时钟中生成系统时钟, 保证了在参考时钟丢失的情况下亦能正常工作. 测试结果显示锁定检测器工作正常且能够在不同门限下进行准确地判断.

**关键词:** 锁定检测器; 锁相环; 鉴相器; 相位差; 脉宽检测器

**中图分类号:** TN4

**文献标识码:** A

**文章编号:** 1000-7180(2011)11-0040-04

## A Novel Programmable Lock Detector in Phase Locked Loop

YIN Ya-dong<sup>1</sup>, ZHANG Li-hong<sup>2</sup>, YAN Yue-peng<sup>1</sup>

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 Fujian Jiangxia University, Fuzhou 350108, China)

**Abstract:** A novel programmable lock detector in phase locked loop is fabricated in SMIC 0.18 $\mu\text{m}$  process. A novel pulse width detector in the lock detector is proposed to compare its programmable threshold with the pulse width of the phase detector's output which is proportional to the phase error, and the results are adopted to judge whether PLL is locked. A clock extractor is proposed to get clock from not only the reference clock but also the feedback clock of PLL as the system drive clock, so that the circuit could keep working correctly when the reference clock is lost. The measurements results show that the lock detector works well and can make accurate judgment with different thresholds.

**Key words:** lock detector; phase locked loop; phase detector; phase error; pulse width detector

### 1 引言

锁相环能够产生稳定而优良的高频时钟信号, 被广泛应用于高速数据恢复、无线通信调制解调等领域. 锁相环结构如图 1 所示. 当锁相环需要锁定频率时, 锁相环路将促使反馈时钟  $f_{\text{BAK}}$  趋近于参考时钟  $f_{\text{REF}}$ , 当两者之间相位差维持在很小值时便认为锁相环进入锁定状态, 而这段时间被称为锁定时间. 锁定时间主要由环路带宽以及初始频率差所决定, 并不固定<sup>[1]</sup>. 在许多应用中系统都需要对锁定时间进行精确判断, 而这项功能可以通过锁定检测器实现.

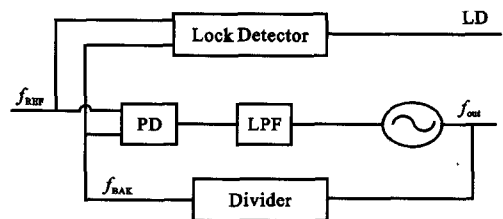


图 1 锁相环的电路结构

文中提出并实现一种新型锁定检测器, 其使用了创新性的脉宽检测电路进行锁定判断. 并使用了时钟抽取电路, 保证其在参考时钟丢失的情况下亦能正常工作, 有效地克服了传统模拟和数字检测器的缺点.

收稿日期: 2011-01-19; 修回日期: 2011-02-26

基金项目: 国家科技重大专项 03 专项基金(2009ZX03006-005)

## 2 新型锁定检测器的总体结构和特点

传统锁定检测一般可分为模拟检测和数字检测。模拟检测通常将锁定信息转换为模拟信号,进而通过检测模拟信号而判断是否锁定,如图2所示,为文献[2]中模拟锁定检测器的结构。其通过鉴相器(Phase Detector, PD)输出脉宽与  $f_{\text{REF}}$  和  $f_{\text{BAK}}$  之间相位差成正比的脉冲信号,然后通过低通滤波器将相位差转变为直流电压,最后对转换电压与参考电压进行比较而得出判断结果。数字检测器通常将锁定信息转换为数字量,通过判断这些数字量而进行锁定判断。文献[2~4]中的数字锁定检测器使用参考时钟和反馈时钟进行同步计数,然后根据计数值作出判定,如图3所示。传统的模拟、数字锁定检测器虽然能够进行锁定判断,但是具有明显的缺点:为了防止电压波动造成误判,模拟检测器必须使用带宽远低于脉冲频率的窄带低通滤波器,因此无法在芯片中实现。数字检测器容易在芯片中实现。但其检测精度与计数值大小成正比,虽然采用较大的计数值能够提高检测精度,却使得检测时间变得很长。同时由于数字检测器一般采用参考时钟作为系统时钟,如果锁相环先前已经锁定,参考时钟突然丢失而导致失锁,数字检测器将不能正常检测而得出错误结果。

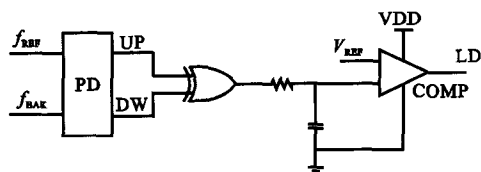


图2 模拟锁定检测器的电路结构

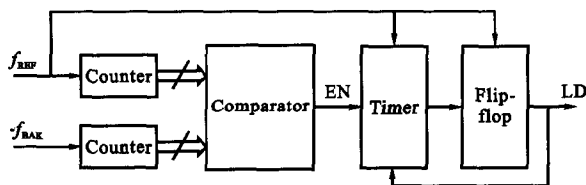


图3 数字锁定检测器的电路结构

图4为文中新型锁定检测器总体结构示意图。其包括了钟抽取器(Clock Extractor)、鉴相器(PD)、脉宽检测器(Pulse Width Detector, PWD)、裁决电路(Adjudicator)等模块。时钟抽取器可从参考时钟和反馈时钟中抽取系统时钟 SCK 和 SCKN, 其输入 MD 将决定鉴相操作的触发沿模式并生成对应的鉴相信号 CLKR 和 CLKB。鉴相器将检测出 CLKR 和 CLKB 之间的相位差并输出脉宽与之相应的脉冲信号。脉宽检测器将对脉冲信号的脉宽进

行检测,当脉冲信号脉宽小于预设门限时,便认为锁相环进入锁定状态,输出 EN 将转变为高电平,反之维持低电平。当 EN 为高电平时,判断电路将对高电平进行计时,如果 EN 连续维持一定时间的高电平并未发生跳变则认为锁相环已经锁定,裁决电路最终将拉高输出 LD。

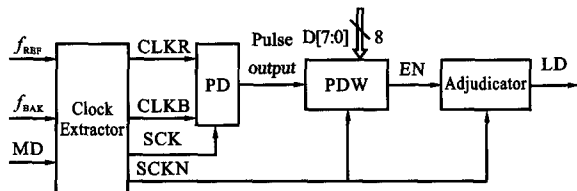


图4 新型锁定检测器总体结构

新锁定检测器与传统锁定检测器相比,进行了以下改进:创新性地采用了对相位差脉冲信号脉宽进行检测,然后根据结果对锁定做出判断的方法。这种方法不需要低通滤波器,无需使用大阻容元件而易于实现芯片集成;脉宽门限可编程的特点增加了检测器的使用灵活性。与数字检测器相比,由于不需要进行长时间计数,所以能够迅速而精确地做出判断。新型检测器采用了时钟抽取电路从参考时钟和反馈时钟中抽取系统时钟,避免了数字检测器参考时钟丢失而不能正常工作的问题。只要两路时钟不同时消失,系统时钟将仍然存在而检测器正常工作;当两路时钟同时消失时,进行锁定检测本身已无意义则有无系统时钟也就无所谓了。

## 3 新型锁定检测器设计

### 3.1 时钟抽取器设计

图5为时钟抽取器的电路结构。由于锁相环中  $f_{\text{REF}}$  和  $f_{\text{BAK}}$  占空比很难保证为 50%, 在实际应用中,必须保证锁定检测器中鉴相器和锁相环中鉴相鉴频器(Phase Frequency Detector, PFD)的沿触发模式一致;如果沿触发模式不一致,锁定检测器将得不到正确的结果。时钟抽取器使用异或门实现了鉴相触发沿的选择,当 MD=1, CLKR、CLKB 将分别与  $f_{\text{REF}}$ 、 $f_{\text{BAK}}$  反相,则当  $f_{\text{REF}}$ 、 $f_{\text{BAK}}$  下降沿时进行鉴相;反之,则当上升沿时进行鉴相。

采用延迟单元(Dcell)和逻辑门将 CLKR 和 CLKB 下降沿转变为一定宽度的脉冲,实现了对其下降沿的抽取。由于 CLKR 和 CLKB 的上升沿将作为鉴相触发使用,则抽取下降沿产生系统时钟可以避免逻辑紊乱。最后将两路脉冲叠加后作为系统时钟输出,保证了  $f_{\text{REF}}$ 、 $f_{\text{BAK}}$  中某一路丢失时仍能正常产生系统时钟。

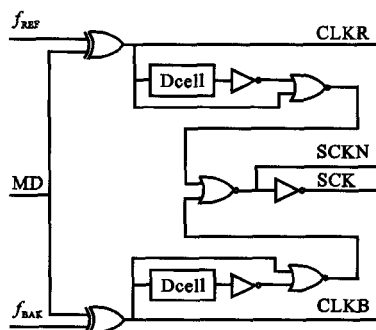


图5 时钟抽取器电路结构

### 3.2 鉴相器设计

图6为鉴相器的电路结构,其采用了经典的双D触发器结构.假设CLKR相位超前于CLKB,则CLKR上升沿将先于CLKB到来而使UP转变并维持为高电平;当CLKB上升沿到来时DW也将变为高电平,进而促使D触发器复位,UP、DW恢复为低电平,因此UP的脉冲宽度与相位差成正比;最后将UP和DW进行叠加并缓冲后输出.由于脉宽检测器将使用鉴相器的输出脉冲进行驱动,所以即使在相位差为0时,鉴相器也必须输出具有一定宽度的脉冲,而其宽度主要由复位路径上的延迟单元(Dcell)决定.

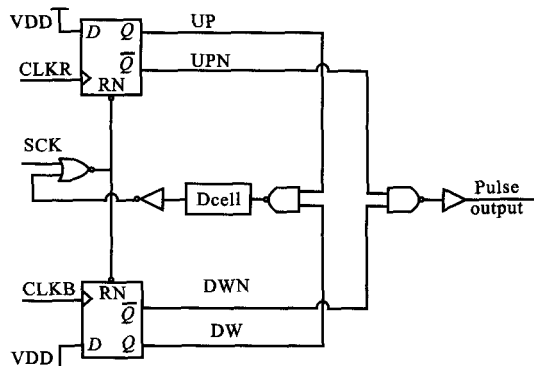


图6 鉴相器电路结构

### 3.3 脉宽检测器设计

脉宽检测器电路结构如图7(a)所示.其中IN为被测脉冲信号输入,SCKN为同步复位信号;D[7:0]为脉宽门限输入,EN为检测输出.脉宽检测器工作过程如图7(b)所描述.鉴相器产生的脉冲信号由IN输入并被分为两路:C路为IN直接缓冲所得,B路为IN通过延时 $\tau_A$ 后缓冲所得.通过D触发器使用B路信号对C路信号进行采样,若采样为高电平,则说明IN输入脉冲宽度大于 $\tau_A$ ,EN输出低电平;反之,则说明脉冲宽度小于 $\tau_A$ ,EN输出高电平.当SCKN为低电平时,采样D触发器清空复位等待下一次脉冲输入.

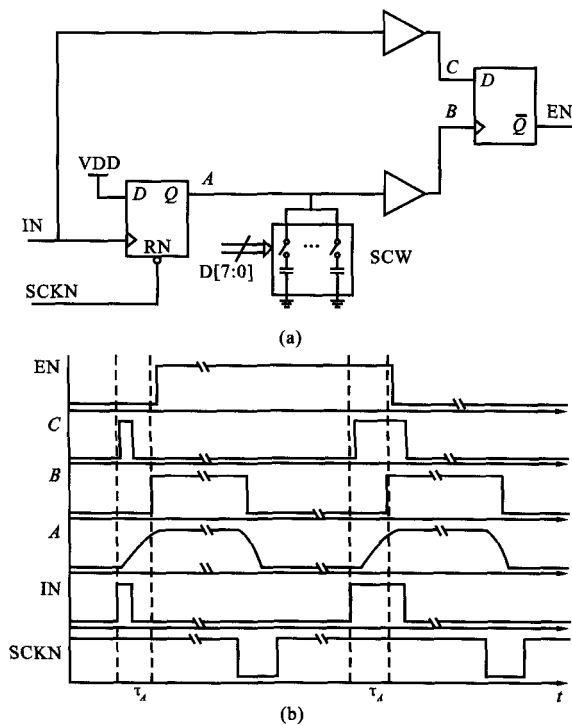


图7 脉宽检测器的结构和工作原理

由上分析可知,脉宽检测门限由延时 $\tau_A$ 所决定,其大小可由公式(1)表示:

$$\tau_A = \tau_o + \ln\left(\frac{V_{dd} - V_T}{V_{dd}}\right) \cdot RC \sum_{i=0}^7 2^i \cdot D[i] \quad (1)$$

其中 $V_{dd}$ 为电源电压, $V_T$ 为缓冲器翻转门限电压, $R$ 为D触发器输出电阻, $C$ 为开关电容阵列(Switched Capacitor Array, SCA)中的单位电容值, $\tau_o$ 为其他电路延时.

### 3.4 裁决电路设计

图8为裁决电路的电路结构,裁决电路主体为3bit计数器.当EN为低电平,计数器处于复位状态,锁定输出LD为低电平;当EN为高电平,计数器将在系统时钟SCKN的驱动下开始计数;计数值达到7时,计数器将屏蔽SCKN并维持现状,同时LD输出高电平.若在计数过程中或SCKN被屏蔽后,EN跳变为低电平,裁决电路将异步复位而LD也将变回低电平.

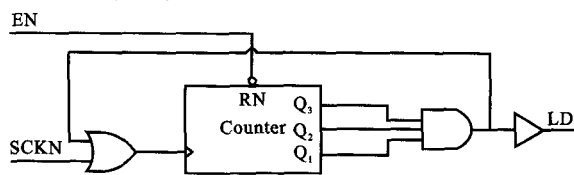


图8 裁决电路的电路结构

## 4 测试结果

新型锁定检测器作为锁相环频率综合器中的子

电路而进行设计,并采用 SMIC 0.18 $\mu\text{m}$  工艺进行了设计和仿真,最终进行了流片测试.图 9 为当锁相环设置固定而锁定检测器脉宽门限不同时的测试结果.其中图 9(a)为脉宽门限设为最大值时的测试结果,可以看到锁定检测器经过 76.4 $\mu\text{s}$  后指示锁定;由于门限比较大,在此过程中出现误指示.图 9(b)为脉宽门限为最小值时的测试结果,可以看到锁定时间为约 165 $\mu\text{s}$ ,在过程中没有出现误指示.由测试结果可以判知,锁定检测器工作正常并且其可编程门限设置功能有效.

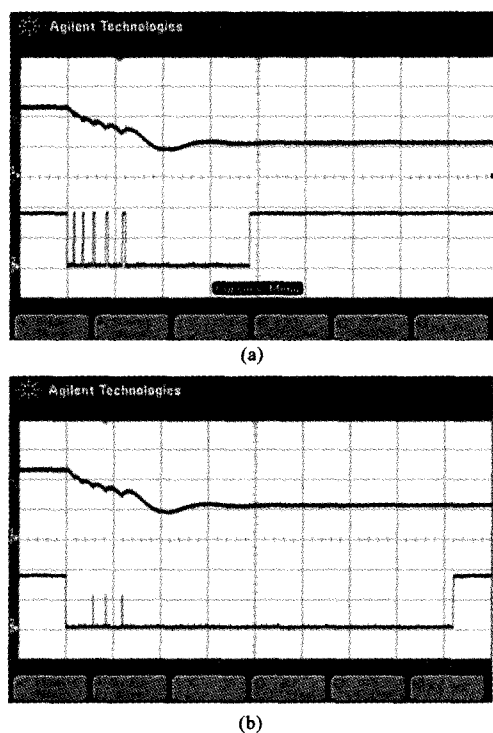


图 9 锁定检测器在不同门限时锁定时间测试结果

## 5 结束语

文中首先分析了传统锁相环锁定检测器的特点和不足,并提出一种新型判断门限可编程的锁定检测器.介绍了新型锁定检测器结构和特点,以及各个模块电路的设计,最后给出了电路的测试结果.测试结果显示,新型锁定检测器工作正常并能够根据不同的门限设置而进行判断.

## 参考文献:

- [1] Hwang Inchul, Song Sanghun, Kim Soowoon. A digitally controlled phase-locked loop with a digital phase-frequency detector for fast acquisition[J]. IEEE Journal of Solid-State Circuits, 2001, 36(10):1574-1581.
- [2] Aristakes Hovsepyan, Vazgen Melikyan, Mkrtich Ishkhanyan. Lock detector with stable parameters[C]// Design and Test Workshop (IDT), 2009 4th International. China; Sichuan, 2009:1-4.
- [3] 陆平,王彦,郑增钰,等.适用于 1000Base-T 以太网的低抖动低功耗频率综合器[J]. 半导体学报, 2006, 27(1):137-142.
- [4] Alavi S M, Shoaie O. A 2.5-GB/s CMOS clock and data recovery circuit with a 1/4 rate linear phase detector and lock detector[C]// Mixed Design International Conference. Poland; Gdgnia, 2006:175-178.

## 作者简介:

阴亚东 男,(1981-),博士,助理研究员.研究方向为模拟/射频集成电路设计.