

基于扫描链的 FPGA 可编程逻辑模块测试

周发标^{1,2}, 杨海钢¹, 秋小强^{1,2}, 李凡阳^{1,2}, 王 飞¹

(1 中国科学院 电子学研究所可编程芯片与系统研究室, 北京 100190;

2 中国科学院 研究生院, 北京 100049)

摘 要: 随着 FPGA 规模的不断增大和结构的日益复杂, FPGA 的测试也变得越来越困难. 由此提出了一种可配置的 FPGA 芯核扫描链设计, 并讨论了基于扫描链的可编程逻辑模块(Configuration Logic Blocks CLB)测试. 提出的扫描设计可以通过配置调整扫描链的构成, 从而能够处理多个寄存器故障, 且在寄存器故障发生时, 重新配置后能继续用于芯片的测试. 基于扫描链的 CLB 测试, 以扫描链中的寄存器作为 CLB 测试的可控制点和可观测点, 降低了对连线资源的需求, 可以对所有的 CLB 并行测试, 在故障测试的过程中实现故障 CLB 的定位, 与其它方法相比, 所需配置次数减少 50% 以上.

关键词: FPGA; CLB; 故障测试; 测试配置

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2012)02-0048-06

A Fault Test and Diagnosis Method of FPGA Configurable-Logic-Blocks Based on Scan Chain

ZHOU Fa-biao^{1,2}, YANG Hai-gang¹, QIU Xiao-qiang^{1,2}, LI Fan-yang^{1,2}, WANG Fei¹

(1 System on Programmable Chip Research Department, Institute of Electronics,
Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper presents a configurable scan-chain design in FPGA and a test method for Configurable Logic Blocks (CLB) based on scan chain. The proposed scan-chain design can test multiple register faults by configure the register in scan chain. The test method based on scan-chain can test all CLBs in parallel and diagnose fault CLB during fault test process, so it reduces the configuration numbers need for fault test and diagnosis. Compare with the other methods the proposed method can reduce test configuration times more than 50% and diagnosis fault CLB in test process.

Key words: FPGA; CLB; Fault Test; Test Configuration

1 引言

FPGA 是由可编程逻辑模块、可编程互连和可编程输入/输出模块构成的二维阵列^[1-2]. 其中 CLB 用来实现用户电路的逻辑功能, 可编程互连用来提供逻辑块间的连接关系, 可编程输入输出模块用来定义输入输出信号. CLB 是 FPGA 中的基本功能单元, 完备的 CLB 测试是 FPGA 测试的重要组成部分.

分. 本文研究 FPGA 中 CLB 的故障测试方法.

文中提出了一种可配置的 FPGA 芯核中扫描链设计, 通过配置可以调整扫描链的构成, 从而能够处理多个寄存器故障, 在有寄存器故障发生时, 重新配置后能继续用于芯片的测试. 基于扫描链的 CLB 测试能够实现所有 CLB 的并行测试, 从而减少了 CLB 的测试时间^[3-4].

收稿日期: 2011-05-23; **修回日期:** 2011-07-27

基金项目: 国家重大科学研究计划(2011CB933202)

2 基于扫描链的 CLB 测试

2.1 FPGA 中的扫描链设计

基于 SRAM 的 FPGA 中,CLB 普遍采用查找表(Look-Up-Table, LUT)的结构^[1-2],基本的 CLB 有若干基本逻辑单元(Logic Element, LE)和一些局部互连资源构成,LE 则有 LUT 和可编程寄存器构成。通过在 LE 的寄存器前增加扫描技术的可测试设计,可以在 FPGA 中构成一条潜在的扫描链,当前商用 FPGA 中有的已包含这一隐含扫描链设计^[2],如图 1 所示。在 LE 触发器的数据输入端口增加选择器、模式控制信号 regscan 控制寄存器输入数据的来源。当处于正常工作模式,即 regscan 信号为 1 时,触发器数据来自 LUT 输出;当处于扫描测试模式,即 regscan 信号为 0 时,触发器数据来自移位数据输入端 SDI。在 CLB 中,一个 LE 的触发器输出端 SDO 连接到下一个 LE 选择器的输入端 SDI 形成扫描链,不同 CLB 之间的扫描链串联起来构成 FPGA 中的扫描链。

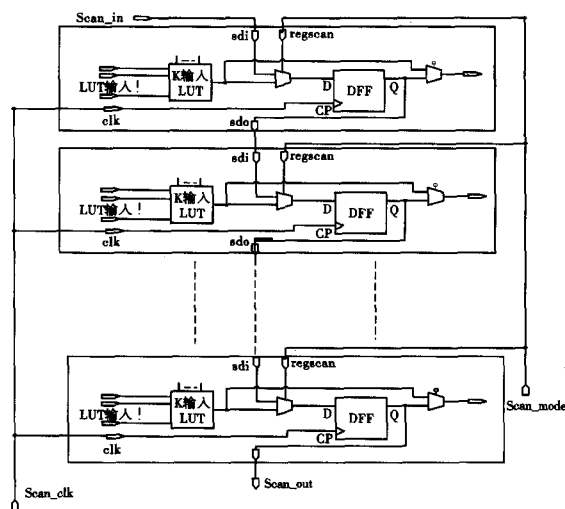


图 1 当前 CLB 中的扫描链设计

图 1 中的扫描设计不能对多个寄存器故障进行定位,基于该扫描链进行测试时,如果有多个寄存器故障发生,则由于扫描链故障传输的污染性,只能测试到扫描链中最下游的故障。且一旦扫描链中有寄存器故障发生,扫描链就会处于失效状态,不能再用于芯片的测试。为解决上述问题,文中提出了一种改进的扫描链设计,如图 2 所示。在每个 LE 中的扫描输出端前增加一个 MUX, MUX 的选择端通过配置 SRAM 进行控制, MUX 的输入一个来自于寄存器的输出,一个来自于上级寄存器的扫描输入。通过不同的配置,可以选择将每个 LE 中的寄存器是置于

扫描链中或者是旁路掉,当选择将 LE 旁路掉时,扫描链的工作不影响该 LE 的正常工作。改进后的扫描设计更加灵活,可以通过配置调整扫描链的构成。因此扫描链的工作不受故障寄存器的影响,当测试到寄存器故障时,只需通过配置将其旁路掉,就可以继续用于芯片其他部分的测试。

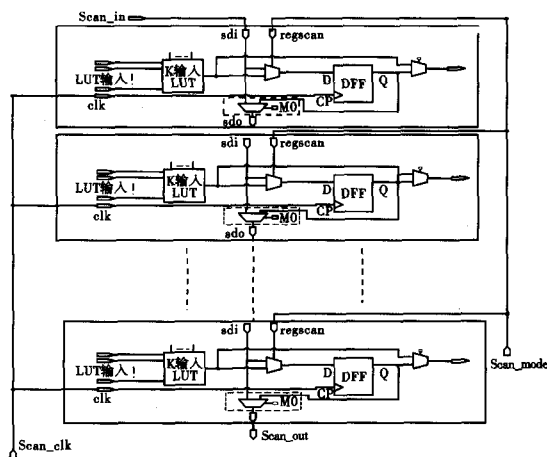


图 2 CLB 中可配置的扫描链设计

FPGA 中扫描链寄存器时钟、清零、置位信号的实现,扫描测试要求采用统一的测试时钟,寄存器的清零和置位信号则要求不受内部功能逻辑的影响,通过片外可以控制, FPGA 中的寄存器一般都包含清零、置位信号,通过配置可以选择是来自功能逻辑或片外。扫描测试中需通过配置将清零和置位信号连接到片外。FPGA 中的全局时钟信号连接到所有的 CLB 中,通过配置可以作为置寄存器的时钟或相应的控制信号。因此可以利用其全局时钟作为扫描链的时钟及控制信号,这样既不占用 FPGA 的连线资源,也不用考虑扫描链时钟、清零及置位的偏差,且只需考虑 CLB 中的配置就可以在 FPGA 中实现对扫描链时钟、清零及置位信号的控制。

FPGA 中扫描测试输入/输出端口的实现。FPGA 中的专用 IO 数目有限,为减少扫描占用的专用 IO 数目,扫描链的测试输入/输出端口通过复用 USERIO 实现。复用 USERIO 在用户模式下,通过配置实现相应的输入或输出功能。在测试模式下,被控制为相应的扫描测试输入或测试输出。

扫描设计对 FPGA 的面积、性能的影响。首先是面积的开销,扫描设计引入的开销包括扫描测试端口、及增加的选择结构。据估计扫描部分的面积占 FPGA 版图面积的 0.009% 左右,其影响可以忽略不计。其次对 FPGA 性能的影响,一般 ASIC 中寄存

综上,基于扫描链的CLB测试,利用扫描链中的寄存器作为测试的可控制点、可观测点,降低对FPGA连线资源的需求.采用模板化的方法开发测试配置,只需开发针对单个CLB模板的测试配置,简化了CLB测试配置的开发难度;同时无需考虑测试响应的输出,降低了对FPGA中连线资源的需求,在一个TS中就可以实现所有CLB的并行测试.相比于当前的CLB测试方法,需要2或4个TS完成所有CLB的测试,TS数目减少了50%以上.

2.3 测试时间分析

测试时间 T 定义为完成FPGA测试所需要的时间,基于扫描链的CLB测试时间包含:配置时间、施加激励时间及移出测试结果的时间,如式(1)所示:

$$T = \sum_{i=1}^{TS} \sum_{j=1}^{TC} (T_{\text{conf}}(j) + T_{\text{tpg}} + \sum_{k=1}^{2^k} T_{\text{shift}}) \\ \approx \sum_{i=1}^{TS} \sum_{j=1}^{TC} (T_{\text{conf}}(j) + \sum_{k=1}^{2^k} T_{\text{shift}}) \quad (1)$$

式中, TS 表示需要的测试阶段数, TC 表示一个测试阶段需要的配置次数, $T_{\text{conf}}(j)$, T_{tpg} , T_{shift} 分别表示对FPGA进行配置的时间,施加激励时间及移出测试结果的移位时间.其中 T_{tpg} 所需时间很短,可以忽略不计, 2^k 表示在一次配置中需进行 2^k 次测试结果的移出,其中 K 表示LUT表的输入个数.

配置时间 $T_{\text{conf}}(j)$ 取决于配置位的个数及配置电路的工作频率,移位时间则取决于FPGA中扫描链的长度及扫描链的工作频率.而扫描链的长度由芯核中寄存器的数目以及扫描链的个数决定.表1是对Altera的cyclone2系列中配置位数 N_{cfg} 、寄存器数目 N_{reg} 、FPGA的配置频率 f_{cfg} 、移位的工作频率 f_{shift} 统计,其中 f_{cfg} 统计的是芯片在AS模式下的最大工作频率^[2].

表1 Altera cyclone2系列中配置位数、寄存器数目统计

Cyclone2	N_{cfg}	N_{reg}	$f_{\text{cfg}}/\text{MHz}$	$f_{\text{shift}}/\text{MHz}$	$N_{\text{reg}}/N_{\text{cfg}}$	$T_{\text{shift}}/T_{\text{cfg}}$
EP2C5	1 265 792	4 608	40	>100	0.364	0.146
EP2C8	1 983 536	8 256	40	>100	0.416	0.166
EP2C20	3 892 496	18 752	40	>100	0.482	0.193
EP2C35	6 858 656	33 216	20	>100	0.484	0.097
EP2C50	9 963 392	50 528	20	>100	0.507	0.101
EP2C70	14 319 216	68 416	20	>100	0.478	0.096

从表中结果可知,当前FPGA中寄存器的数目

远小于FPGA中配置位的个数,寄存器的个数仅为配置位数的0.48%左右,同时FPGA中的配置频率小于扫描链的工作频率,在FPGA中只存在一条扫描链的情况下,测试结果的移出时间也远小于配置时间,对表2中的数据,取FPGA的配置频率为最大工作频率,移位频率取100 MHz,则移位时间 T_{shift} 与配置时间 T_{cfg} 的比如表中最后一行所示,最大为配置时间的0.193%.综上可以得出结论:本文方法的测试时间仍主要由配置时间决定,FPGA整体测试时间取决于配置次数.

3 方法的分析与比较

将本文方法与文献[5-8]中的方法进行了对比.表2中 TS_i 表示故障测试需要的TS数目, TS_d 表示故障CLB单元的定位需要的TS数目,由表2可知,本文方法支持多CLB故障假设,能够实现多个LUT和寄存器故障的测试,而其它方法仅支持多个LUT的故障测试.同时本文方法只需一个TS阶段完成CLB的测试及故障CLB单元的定位,相对于当前CLB测试方法需要两个或四个TS阶段.需要的TS数目减少了50%以上.

表2 与其他方法的对比

方法	故障假设	多个LUT故障测试	多寄存器故障测试	TS_i	TS_d
文献[5]	单CLB	不支持	不支持	2	4
文献[6]	多CLB	支持	不支持	4	4
文献[7]	多CLB	支持	不支持	2	4
文献[8]	多CLB	支持	不支持	2	2
本文方法	多CLB	支持	支持	1	1

4 实验仿真

4.1 FPGA结构模型

实验中,采用的FPGA模型结构如图5所示.主要包含CLB、交叉开关矩阵(Switch Matrix SM)、输入输出功能块(Input/Output Block IOB).

CLB模块是FPGA实现逻辑功能的可配置硬件.一个CLB包含若干个LE和一些局部互联,LE由一个查找表和D触发器组成,加入图4所示的可测性设计,是FPGA可编程逻辑功能实现的基本功能单元.

互连网络将不同的CLB模块连接起来,互连网络由交叉开关矩阵(SM),连接线段,可编程多路开

关(PIP)和缓冲器组成. SM 包含连线开关盒(Switch Box SB)和连线连接盒(Connection Box CB). SB 控制水平和垂直方向上互连通道的连接,和通道中的连线一起称为全局互联资源. CB 控制 LAB 的输入和输出到互连通道上的连接,和 CLB 的一些内部连接并称为局部互联.

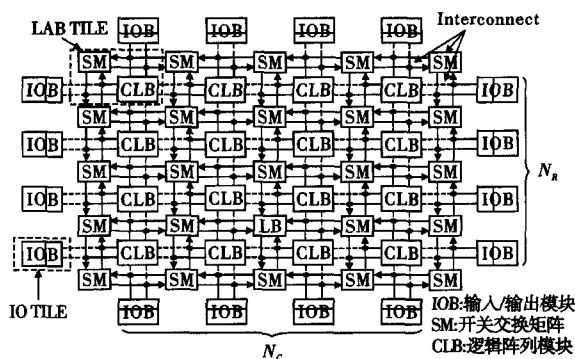


图 5 FPAG 模型结构示意图

4.2 实验结果

实验中首先建立了如图 5 所示的 FPGA 的 Verilog 模型,包含文中提出的扫描链设计,扫描链的长对为 20;然后依据 3.2 节中描述的方法开发了 CLB 的扫描测试配置;最后通过仿真对方法进行验证.图 6 所示为针对 LUT 扫描测试的仿真结果,LUT 的扫描测试配置如图 3 所示,其中 LUT 配置为 16'haaaa.图 6 中结果 1 是无故障注入下的仿真

结果,结果 2 是注入多个 LUT 故障的仿真结果,结果 3 是注入多个寄存器故障下的仿真结果,结果 4 是将结果 3 中发现的故障寄存器旁路掉的仿真结果,结果 5 是将结果 4 中发现的故障寄存器旁路掉的仿真结果.

由仿真结果可以看出,对 LUT 中的故障,本文方法在故障测试的同时能够实现对多个 LUT 中的多个故障进行定位,如结果 2,首先只有几个单个故障发生,没有故障污染,可确定是 LUT 中的故障,对第一个扫描周期内发现的故障,发生在 3 个和第 13 个扫描输出处,即可将故障定位于扫描链中第 3 个和第 13 个 CLB 的 LUT 中,同时故障发生在测试向量为 0101 处,此时 LUT 的输出对应于配置位 M_5 ,可得出结论扫描链中第 3 个和 13 个 CLB 中 LUT 的配置位 M_5 有固定 0 故障.对寄存器故障,本文方法能够处理多个寄存器故障,且在寄存器故障发生时,不影响扫描链用于芯片其它部分的测试,如图 6 中的结果 3、4、5;结果 3 中测试到扫描链中有寄存器故障发生,且定位于扫描链中第 4 个寄存器处,通过修改配置将故障寄存器旁路掉,测试结果如图 4 所示,仍有寄存器故障,再次修改配置,测试结果如图 5 所示,此时可确定扫描链中存在两个寄存器固定为 0 故障,分别位于第 4 个和 14 个 CLB 中.

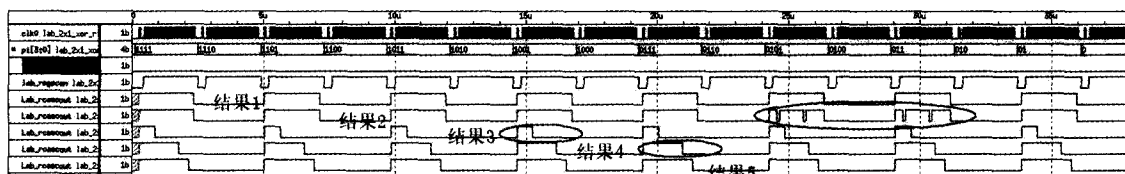


图 6 LUT 扫描测试的仿真

图 7 所示为 CLB 扫描测试配置的故障覆盖率评估结果,横坐标表示配置次数,两个纵坐标分别表示测到的故障数目及故障覆盖率.图中的柱状图表示相应配置下能够测试到的故障数目,曲线图表示累积的故障覆盖率.由图中的结果可知,在固定故障模型下,本文方法仅需 4 次配置,就能够实现对模型中所有 CLB 的完备测试,达到 100% 的故障覆盖率.

5 结束语

本文提出了一种可配置的 FPGA 芯核扫描链设计,该扫描链在芯片中有寄存器故障时,可以通过

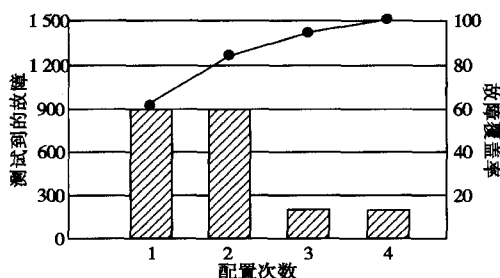


图 7 故障覆盖率评估

配置调整扫描链的构成,使得扫描链不受故障寄存器的影响,可以继续用于芯片其它部分的测试.基于扫描链的 CLB 测试,减少了对 FPGA 连线资源的

需求,能够在一个TS中实现所有CLB的并行测试,相比于当前的BIST方法,TS数目减少了一半以上,减少了CLB的测试时间.实验结果表明,本文方法可以处理多个CLB故障的情况,并可以在故障测试的同时完成对故障CLB单元的定位,文中采用的CLB模型,在固定故障模型下,只需4次配置,就能达到100%的故障覆盖率.

参考文献:

- [1] Xilinx, Inc. Virtex platform FPGAs: complete data sheet (V3.4) [EB/OL]. [2010-07-04]. <http://www.xilinx.com>.
- [2] Altera Inc. Cyclone device handbook [EB/OL]. [2010-08-20]. <http://www.altera.com>.
- [3] Toutounchi S, Lai A. FPGA test and coverage[C]// ITC International Test Conference. Baltimore, 2002: 599-607.
- [4] Tang Ming, Zhang Guoping. A testing approach for xilinx FPGA's CLB[C]// ICSICT'06, 8th International Conference on Solid-State and Integrated Circuit Technology. Shanghai, 2006: 2158-2160.
- [5] Miron Abramovici, Stroud C. BIST-based test and diagnosis of FPGA logic blocks[J]. IEEE Transactions on Very Large Scale Integration Systems, 2001, 9(1): 159-172.
- [6] Armin Alaghi, Mahnaz Sadoughi Yarandi, Zainalabedin Navabi. An optimum ORA BIST for multiple fault FPGA look-up yable testing[C]// 15th Asian Test Symposium. Calcutta, 2006: 12-40.
- [7] Lu Shyuekung, Wu Hungchin. Testing and diagnosis techniques for LUT-based FPGA's[C]// Proceedings of the 13th Asian Test Symposium. Kenting, 2004: 12-34.
- [8] Renovell M, Faure P, Portal J M. IS-FPGA: a new symmetric FPGA architecture with implicit scan[C]// International Test Conference(ITC). Baltimore, 2001: 924-931.

作者简介:

周发标 男, (1984—), 博士研究生. 研究方向为大规模集成电路可测性设计.

杨海钢 男, (1960—), 博士, 研究员, 博士生导师. 研究方向为高速可编程逻辑芯片设计技术、数模混合信号SOC设计技术.

秋小强 男, (1973—), 博士研究生. 研究方向为大规模集成电路设计.

李凡阳 男, (1982—), 博士研究生. 研究方向为大规模集成电路设计.

王飞 男, (1982—), 助理研究员. 研究方向为大规模集成电路设计.

(上接第47页)

- [3] Ester M, Hans2peter K R Iegel, Sander J, et al. A density based algorithm for discovering clusters in large spatial databases with noise[C]// Proceeding the 2nd international conference on Knowledge discovery and data mining(KDD). Portland, 1996. 226-231.
- [4] 马帅, 王腾蛟, 唐世渭, 等. 一种基于参考点和密度的快速聚类算法[J]. 软件学报, 2003, 14(6): 1089-1095.
- [5] 赵杰, 杨柳. 聚类分析算法 dBScan 的改进与实现[J]. 微电子学与计算机, 2009, 26(11): 189-192.
- [6] 张莉, 周伟达, 焦李成. 核聚类算法[J]. 计算机学报, 2002, 25(6): 587-590.
- [7] 孙凌燕, 杨明, 任建斌. 一种基于相对密度的快速聚类算法[J]. 微电子学与计算机, 2009, 12(26): 109-111.

作者简介:

许虎寅 男, (1986—), 硕士研究生. 研究方向为数据库技术及应用(数据挖掘).

王治和 男, (1965—), 教授, CCF 高级会员. 研究方向为数据库技术及应用(数据挖掘).