

混合模块 TC²CLA 优化设计的结构参数约束

王元媛¹, 王礼平²

(1 中国地质大学(武汉) 数理学院, 湖北 武汉 430074; 2 华中师范大学汉口分校 电信学院, 湖北 武汉 430212)

摘 要: 在顶层进位级联超前进位加法器(TC²CLA)基本单元及组合方案优化设计的基础上,将微电子技术工艺水平制约下的门电路最大扇入数 $N_{fanin(max)}$ 和扇出数 $N_{fanout(max)}$ 经分析、归纳转化为混合模块 TC²CLA 全面优化设计的结构参数约束.推导出 TC²CLA 结构参数组位数 ℓ_m ,模块层数 M_j 与 $N_{fanin(max)}$ 、 $N_{fanout(max)}$ 的约束公式,并列出了优化分析表.公式和优化表给出了 TC²CLA 结构参数(ℓ_m 、 M_j)在全面优化设计中的约束,为混合模块 TC²CLA 及优化序列、无等待时间序列的优化设计及操作位的扩展奠定了基础.

关键词: 顶层进位级联超前进位加法器;优化设计;结构参数;扇入;扇出;组位数;模块层数

中图分类号: TP342

文献标识码: A

文章编号: 1000-7180(2012)01-0047-05

Configuration Parameter Constraints of the Optimizing Design of Hybrid-Modules TC²CLA

WANG Yuan-yuan¹, WANG Li-ping²

(1 College of Mathematics and Physics, China University of Geosciences, Wuhan 430074, China; 2 College of Electronic and Information Engineering, Central China Normal University Hankou Branch, Wuhan 430212, China)

Abstract: The maximum fanin number and maximum fanout number $N_{fanin(max)}$ of gate circuit under the constraint of the microelectronic technological lever were translated into configuration parameter constraints based on the optimizing design of basic circuit unit and combination scenario of TC²CLA by means of analytic and induction inculcation. The constraint formula of these bit number of classes ℓ_m , maximum hierarchy number of the module M_j of configuration parameter of TC²CLA and $N_{fanin(max)}$ & $N_{fanout(max)}$ of gating circuit were deducted. The optimizing parsing table were given at the of the paper. The constraints of configuration parameter (ℓ_m 、 M_j) of TC²CLA were given in the formulae and optimizing table, the foundation for the overall optimal design and expanding operand bit of hybrid-modules TC²CLA and its optimizing sequence & without writing time sequence was laid.

Key words: top-level carry cascade carry lookahead adders (TC²CLA); optimizing design; configuration parameter; fanin; fanout; bit number of classes; maximum hierarchy number of module

1 引言

加法器是微处理器 MPU、数字信号处理器 DSP 的重要基础部件. 随应用领域的需求,处理器、计算机的字长成倍地增加,长加法器就应运而生. 长加法器优化计的目标是高速、低耗、资源(面积)占用小,其关键是构思高速、高效进位方法的算法与结构. 近十几年来涌现出一流的高速加法器^[1-4]. 其中

顶层进位级联超前进位加法器 TC²CLA^[3-4],是在超前进位加法器 CLA 的基础上改底层进位级联为顶层进位级联. TC²CLA 的这种高速、高效的进位方法使每个模块底层和顶层结构以及模块级联上与 CLA 有所不同^[3-5]. 因此,在微电子技术工艺水平制约下,对于结构参数组位数 ℓ_m 、模块层数 M_j 的约束也不尽相同. 分析、确定 TC²CLA 的结构参数约束,可以为 TC²CLA 与混合模块优化序列、无等待

收稿日期: 2011-04-21; 修回日期: 2011-05-30

基金项目: 国家自然科学基金项目(10926102);国家重点基础研究发展计划项目(2011CB710605)

时间序列等的优化设计及操作位数的扩展奠定基础。

2 TC²CLA 模块及单元电路的优化

2.1 TC²CLA 的结构参数

n 位 TC²CLA 各操作位的序号^[6]:

$i \in [0, n-1];$

TC²CLA 模块级联数 K 及序号 j :

$j \in [0, k], k = K-1;$

TC²CLA 的 j 级模块 m 层组位数:

$\ell_{jm}, j \in [0, k], m \in [1, M_j];$

j 级 TC²CLA 模块的操作位数:

$$N_j = \prod_{m=1}^{M_j} \ell_{jm}, j \in [0, k];$$

TC²CLA 操作位数:

$$n = \sum_{j=0}^k N_j = \sum_{j=0}^k \prod_{m=1}^{M_j} \ell_{jm};$$

TC²CLA 第 M 层各级序号:

$$k_M \in [0, \sum_{j=0}^k \prod_{m=M+1}^{M_j} \ell_{jm} - 1]$$

$$\text{且 } \prod_{m=M+1}^{M_j} \ell_{jm} = \begin{cases} 0, & M_j < M \\ 1, & M_j = M \end{cases}$$

TC²CLA j 级模块的门电路数:

$$N_j^{gate} = \sum_{m=1}^{M_j} N_{jm}^{gate}, j \in [0, k];$$

TC²CLA j 模块操作位平均门数:

$$n_j^{gate} = \frac{N_j^{gate}}{N_j}, j \in [0, k];$$

混合模块 TC²CLA 的序列:

$\{M_j\}, j \in [0, k].$

2.2 TC²CLA 的组成

如图 1 所示,一个混合模块四级联的 TC²CLA ($n=340, k=3, \{M_j\}=\{3, 1, 4, 2\}, \ell_{jm}=4, j \in [0, 3], m \in [1, M_j]$) 由不同层数 $\{M_j\}=\{3, 1, 4, 2\}$ 的 j 级模块 ($j \in [0, 3]$) 的顶层超前进位单元 TLAC (top-level look ahead carry) 进位级联而成,其中 $j=1, M_1=1$ 的模块是一个 $M_j=1$ 底层 CLA 模块如图 2(b) 所示. 一般来说每个级联模块 j ($j \in [0, k]$) 均由底层 CLA 模块和超前进位单元 LAC 组成,底层 CLA 模块分为 $M_j>1$ 和 $M_j=1$,两种底层 CLA 模块如图 2 所示. 超前进位单元 LAC 亦分为非顶层 LAC 和顶层 TLAC 两种,如图 3 所示. 图 2、图 3 的单元电路都经过优化. 图 2 底层 CLA 模块的加法器单元中, $P_i=A_i \oplus B_i, S_i=P_i \oplus C_i$ 异或门复用. 图 2 进位辅助单元和图 3 中 LAC 采用与或门有利于扩展扇出.

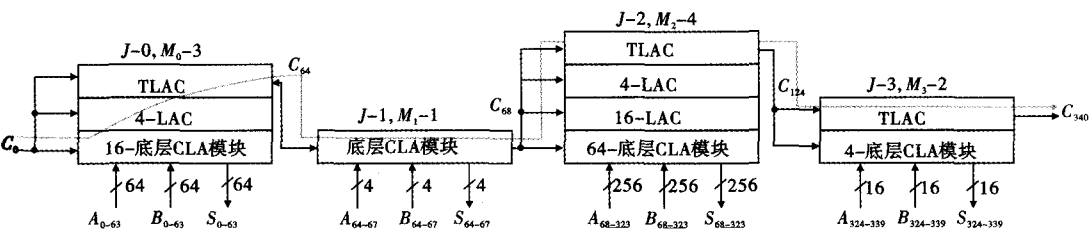


图 1 混合模块 TC²CLA ($N=340, K=3, \{3, 1, 4, 2\}, \ell_m=4$)

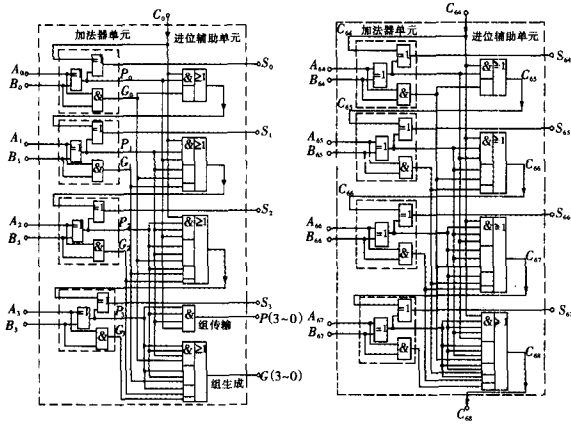
3 微电子技术工艺水平制约下门电路的最大扇入和扇出

在优化的单元电路图 2、图 3 中有与门 (G_i 和

P (组))、与或门 (G (组)和 C) 和异或门 (P) 三种门电路. 其中异或门的扇入为 2. 对于与门和与或门的内部结构及相应的最大宽度 W 和最大扇入见表 1.

表 1 门电路的内部结构及最大扇入 $N_{fanin(max)}$

门电路类别	内部结构	W	$N_{fanin(max)}$	$N_{fanin(max)}$ 选定	说明
与门	与非-非	—	6	6	有利于扇出扩展
	与非-或非	—	24	—	不利于扇出扩展
与或门	与或非-非	4	6	—	W 太小
	与非-与非	6	6	6	W 与 N_{fanin} 均衡
	与或非-与非	24	6	—	W 太大



(a) $M_j > 1$ 底层 CLA (b) $M_j = 1$ 底层 CLA 模块
模块($k_1=0, l_{01}=4$) (图 1 中 M_j 模块($k_1=16, l_{11}=4$))

图 2 底层 CLA 模块($\ell_{j1}=4$)

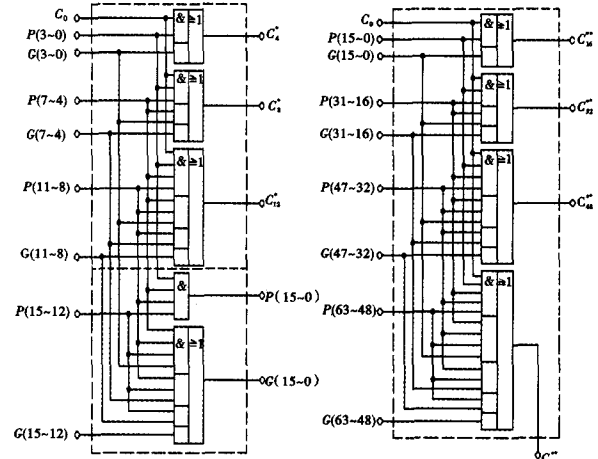
由表 1 可知,与门和与或门对于给定的内部结构,其最大扇入为:

$$N_{fanin(max)} = 6 \quad (1)$$

对于与门($G_i, P(\text{组})$)、与或门($C_i, G(\text{组}), C$)和异或门(P_i)三种门电路,其中异或门的扇出可归于与或门讨论。

与门、与或门的内部结构、最大扇出及扇出扩展见表 2。与门和与或门对于给定的内部结构,其最大扇出和二倍扩展为

$$N_{fanin(max)} = \begin{cases} 12, & \text{(未扩展)} \\ 24, & \text{(二倍扩展)} \end{cases} \quad (2)$$



(a) 非顶层 LAC (b) TLAC
($j=0, k_2=0, l_{0m}=4$) ($j=0, k_3=0, l_{0m}=4$)

图 3 超前进位单元 LAC($\ell_{jm}=4$)

表 2 门电路内部结构、最大扇出 $N_{fanout(max)}$ 及二倍扩展

门电路类别	未扩展情况		二倍扩展	
	内部结构	$N_{fanout(max)}$	内部结构	$N_{fanout(max)}$
与门		12		24
与或门		12		24

4 门电路最大扇入、扇出对 TC²CLA 组位数 ℓ_{jm} 的约束

4.1 $N_{fanin(max)}$ 对组位数 ℓ_{jm} 的约束

由进位输出 C 、(组)传输函数 P 、(组)生成函数 G 的展开式分析得到 j 级模块第 m 层单元电路的组位数 ℓ_{jm} 和同一层的与或门($C_i, G(\text{组}), C$)的最大宽度 W_{jm} 及扇入的关系可归纳为:

$$\ell_{jm} + [1 - \Omega(M_j - m) \cdot \Omega(M_j - 1)] = W_{jm} \leq N_{fanin(max)} \quad (3)$$

式中, W_{jm} 为 j 级模块第 m 层单元电路中与或门的最大宽度, $\Omega(x) = \begin{cases} 0 & x=0 \\ 1 & x \neq 0 \end{cases}$, x 为自然数, $j \in [0, k]$, $m \in [1, M_j]$.

图 1 的组成结构及顶层进位级联和图 2~3 单元电路可直接验证式(3)。

由式(1)、(3)可得:

$$\ell_{jm} \leq \begin{cases} N_{fanin(max)} - 1 = 5, & M_j = 1 \text{ 或 } m = M_j \\ N_{fanin(max)} = 6, & M_j > 1 \text{ 且 } m < M_j \end{cases} \quad (4)$$

4.2 $N_{fanout(max)}$ 对 ℓ_{jm} 的约束

j 级模块第 m 层的组位数 ℓ_{jm} , $j \in [0, k]$, $m \in [2, M_j]$ 与同一模块第 $m-1$ 层 $P^{(\text{组})}$ 、 $G^{(\text{组})}$ 函数门电路最大扇出的对应关系如表 3 所示。

由表 3 分析归纳可得:

$$N_{j,m-1}^{P^{(\text{组})}} = \begin{cases} \frac{1}{4}(\ell_{jm}^2 + 2\ell_{jm}), & \ell_{jm} = 2n \\ \frac{1}{4}(\ell_{jm}^2 + 2\ell_{jm} + 1), & \ell_{jm} = 2n + 1 \end{cases}$$

表 3 j 级 $m-1$ 层 $P^{(\text{组})}$ 、 $G^{(\text{组})}$ 函数最大扇出与组位数
 $\ell_m, j \in [0, k], m \in [2, M_j]$ 对应表

组位数 ℓ_m	2	3	4	5	6	7	8	9
$N_{j,m-1}^{P^{(\text{组})}}(\text{max})$	2	4	6	9	12	16	20	25
$N_{j,m-1}^{G^{(\text{组})}}(\text{max})$	2	3	4	5	6	7	8	9

式中, $n=1, 2, 3, \dots, m \in [2, M_j]$. 可简化为:

$$N_{j,m-1}^{fanout(\text{max})} = \frac{1}{4}(\ell_{jm}^2 + 2\ell_{jm} + \ell_{jm} \text{REM} 2) \quad (5a)$$

$j \in [0, k], m \in [2, M_j], \text{REM}$ 取余运算符.

j 级模块底层($m=1$)的组位数 $\ell_{j,1}, j \in [0, k]$ 与该模块同一层 P_i, G_i 函数门电路的最大扇出的对应关系见表 4.

表 4 j 级模块底层 P_i, G_i 函数最大扇出与
组位数 ℓ_{jm} 的对应表

组位数 ℓ_{jm}	2	3	4	5	6	7	8	9
$N_{j,1}^{P_i}(\text{max})$	3	5	7	10	13	17	21	26
$N_{j,1}^{G_i}(\text{max})$	2	3	4	5	6	7	8	9

同样,由表 4 可得:

$$N_{j,1}^{P_i}(\text{max}) = \frac{1}{4}(\ell_{j,1}^2 + 2\ell_{j,1} + \ell_{j,1} \text{REM} 2) + 1 \quad (5b)$$

由式(5a)、(5b),可得:

$$N_{jm}^{P_{fanout(\text{max})}} = \frac{1}{4}(\ell_{jm}^2 + 2\ell_{jm} + \ell_{jm} \text{REM} 2) + (1 - \Omega(m-1)), j \in [0, k], m \in [1, M_j]$$

REM 取余运算符

$$\Omega(x) = \begin{cases} 0 & x = 0 \\ 1 & x \neq 0 \end{cases} \quad (5)$$

由表 3~表 4 可得:

$$N_{jm}^{G_{fanout(\text{max})}} = \ell_{jm}, j \in [0, k], m \in [1, M_j] \quad (6)$$

由式(5)、(6)和扇出约束可得:

$$N_{jm}^{G_{fanout(\text{max})}} \leq N_{jm}^{P_{fanout(\text{max})}} \leq N_{fanout(\text{max})} \quad (7)$$

$j \in [0, k], m \in [1, M_j]$

由式(2)、(7),有:

$$\ell_{jm} \leq \frac{1}{4}(\ell_{jm}^2 + 2\ell_{jm} + \ell_{jm} \text{REM} 2) + (1 - \Omega(m-1)) \leq N_{fanout(\text{max})} = 12$$

不难解出:

$$\ell_{jm} \leq \begin{cases} \lceil \sqrt{4N_{fanout(\text{max})} + 1} - 1 \rceil = 6, & 1 < m < M_j \\ \lceil \sqrt{4N_{fanout(\text{max})} - 1} - 1 \rceil = 5, & m = 1 \end{cases} \quad (8)$$

式中 $\lceil \cdot \rceil$ 为取整运算符.由式(4)、(8)可得出门电路扇入、扇出对组位数 ℓ_{jm} 的约束:

$$\ell_{jm} \leq \begin{cases} 6, & 1 < m < M_j \\ 5, & m = 1 \text{ 或 } m = M_j \end{cases} \quad (9)$$

$j \in [0, k], m \in [1, M_j].$

5 门电路最大扇出对模块层数 M_j 、组位数 ℓ_{jm} 的约束

对于 j 级模块 M 层($M \in [2, M_j]$)进位输出 C 的扇出为:

$$N_{jM}^{C_{fanout(\text{max})}} = \sum_{m=1}^{M-1} (\ell_{jm} - 1) + 1 \quad (10)$$

$$j \in [0, k], M \in [2, M_j].$$

对于 j 级模块的进位输入来自 $j-1$ 级模块的进位输出,其扇出有:

$$N_{j-1}^{C_{fanout(\text{max})}} = \sum_{m=1}^{M_j} (\ell_{jm} - 1) + 2 \quad (11)$$

由式(10)、(11)和扇出约束,显然有:

$$N_{jM}^{C_{fanout(\text{max})}} < N_{j-1}^{C_{fanout(\text{max})}} \leq N_{fanout(\text{max})} \quad (12)$$

由式(11)、(12)得到门电路最大扇出对 j 级模块层数 M_j 和组位数 ℓ_{jm} 约束的一般公式:

$$\sum_{m=1}^{M_j} (\ell_{jm} - 1) + 2 \leq N_{fanout(\text{max})} \quad (13)$$

即 j 级模块各层组位数减 1 之和不大于门电路最大扇出减 2.

$$\text{若引进 } j \text{ 级模块平均组位数 } \bar{\ell}_j = \frac{1}{M_j} \sum_{m=1}^{M_j} \ell_{jm}, j$$

$\in [0, k]$ 和式(2)代入式(12)得:

$$M_j \cdot (\bar{\ell}_j - 1) \leq N_{fanout(\text{max})} - 2 = \begin{cases} 10, & \text{(未扩展)} \\ 22, & \text{(两倍扩展)} \end{cases} \quad (14)$$

式(14)也可表示为:

$$M_j \leq \left\lceil \frac{N_{fanout(\text{max})} - 2}{\bar{\ell}_j} \right\rceil = \begin{cases} \left\lceil \frac{10}{\bar{\ell}_j - 1} \right\rceil \\ \left\lceil \frac{22}{\bar{\ell}_j - 1} \right\rceil \end{cases}$$

式中, $\lceil \cdot \rceil$ 取整运算符, $j \in [0, k]$.

若 j 级模块各层组位数相同 $\ell_{jm} = \ell_j, j \in [0, k], m \in [1, M_j]$ 和式(2)都代入式(13)得:

$$M_j \cdot (\ell_j - 1) \leq N_{fanout(\text{max})} - 2 = \begin{cases} 10, & \text{(未扩展)} \\ 22, & \text{(两倍扩展)} \end{cases} \quad (15)$$

若将式(2)和 $\ell_{j(\text{min})} = 2$ 代入(14)可得 j 级模块层数 M_j :

$$M_j \leq \left\lceil \frac{N_{fanout(max)} - 2}{\ell_j - 1} \right\rceil = \begin{cases} 10 \\ 22 \end{cases} \quad (16)$$

$$+ \Omega(M_j - m)) \ell_j^{M_j - m} = \frac{4\ell_j^{M_j + 1} - 2\ell_j^{M_j} - 2\ell_j}{\ell_j - 1} \quad (18)$$

式中, $\lceil \cdot \rceil$ 为取整运算符, $j \in [0, k]$.
由式(9)、(14)、(15)可得表 5. 表 5 与式(16)也是一致的.

表 5 $N_{fanout(max)}$ 未扩展与两倍扩展时模块层数
 M_j 与组位数 ℓ_j 或 $\bar{\ell}_j$ 对应表

组位数 ℓ_j 或 $\bar{\ell}_j$	2	3	4	5	6	7
M_j ($N_{fanout(max)}=12$)	10	5	3	2	2	1
M_j ($N_{fanout(max)}=24$)	22	11	7	5	4	3

6 TC²CLA 的 j 模块门电路数 N_j^{gate} 、操作位数 N_j 与操作位的平均门数 n_j^{gate}

由 TC²CLA 的组成结构或图 1~3 可知, j 模块的门数为:

$$N_j^{gate} = \sum_{m=1}^{M_j} N_{jm}^{gate} = \sum_{m=1}^{M_j} ((4 - 3\Omega(m - 1)) \ell_{jm} + \Omega(M_j - m)) \prod_{M=m+1}^{M_j} \ell_{jM} \quad (17)$$

式中, $\Omega(x) = \begin{cases} 0 & x=0 \\ 1 & x \neq 0 \end{cases}, j \in [0, k]$.

若 j 模块组位数相同, 即 $\ell_{jm} = \ell_j$, 则有:

$$N_j^{gate} = \sum_{m=1}^{M_j} ((4 - 3\Omega(m - 1)) \ell_j$$

$$j \text{ 模块操作位数 } N_j \text{ 为:}$$

$$N_j = \prod_{m=1}^{M_j} \ell_{jm} = \ell_j^{M_j} (\ell_{jm} = \ell_j, m \in [1, M_j]) \quad (19)$$

由式(17)、(18)与(19), 每操作位的平均门数 n_j^{gate} 分别为:

$$n_j^{gate} = \frac{N_j^{gate}}{N_j} = \sum_{m=1}^{M_j} ((4 - 3\Omega(m - 1)) \ell_{jm} + \Omega(M_j - m)) / \prod_{M=1}^m \ell_{jM} \quad (20)$$

式中, $\Omega(x) = \begin{cases} 0 & x=0 \\ 1 & x \neq 0 \end{cases}, j \in [0, k]$.

$$n_j^{gate} = \frac{N_j^{gate}}{N_j} = \frac{2(N_j - 1)\ell_j}{N_j(\ell_j - 1)} + 2 \quad (21)$$

若 $N_j \gg 1$, 有 $\frac{N_j - 1}{N_j} \approx 1$, 则有近似式(此式用带分式表示):

$$n_j^{gate} \approx 4 \frac{2}{\ell_j - 1}, j \in [0, k] \quad (22)$$

7 结束语

本文给出表 6, 可以按此对目标全面协调优化并确定结构参数的优选值^[7].

表 6 TC²CLA 模块结构参数优化分析表

目标与参数	相关公式	数 据					
组位数 ℓ_{jm}	$\ell_{jm} \leq \begin{cases} 6 & (1 < m < M_j) \\ 5 & m=1 \text{ 或 } m=M_j \end{cases}$	2	3*	4*	5*	6	7
模块层数 M_j	$M_j \leq \left\lceil \frac{N_{fanout(max)} - 2}{\ell_j - 1} \right\rceil = 10$	10	5*	3*	2*	2	1
速度(ns)	$T_{pd}^v = (M_j + 1)t_{pd}^{[5]}$	11tpd	6tpd	4tpd	3tpd	3tpd	2tpd
扇入(非顶层 LAC\TLAC) 扇出	$N_{fanin(max)} = 6$ $N_{fanout(max)} = 12$	2\3 12	3\4 12	4\5 11	5\6 10	6\7 12	7\8 6
CMOS 门 每门功耗(μW /门)	$w = k_w N_{fanout(max)} I^2 R_{\alpha}^{[8]}$	0.03	0.03	0.0275	0.025	0.03	0.015
面积或资源占用 (门电路数) N_j^{gate}	$N_j^{gate} = \frac{4\ell_j^{M_j+1} - 2\ell_j^{M_j} - 2\ell_j}{\ell_j - 1}$	6140	1212	296	110	156	28
操作位数 N_j	$N_j = \prod_{m=1}^{M_j} \ell_{jm} = \ell_j^{M_j}$	1024	243	64	25	36	7
每位平均门数(门/位)	$n_j^{gate} = \frac{2(N_j - 1)\ell_j}{N_j(\ell_j - 1)} + 2$	6.00	4.99	4.63	4.40	4.33	4.00
每位平均门数(门/位) 近似值	$n_j^{gate} \approx 4 \frac{2}{\ell_j - 1}$	6.00	5.00	4.67	4.50	4.40	4.33

注: * 为优选值.

(下转第 56 页)

征,本文提出了数据流公平性约束、信道资源约束以及干扰约束条件下的资源分配联合优化模型,以及基于不确定流量条件下的资源分配最优解的链路调度策略。仿真实验结果,证明了本文所提出的信道分配及链路调度方案能够更好适应网络流量需求的变化。本文所提出的优化模型的流量需求分布(参数)可以采用流量评估模型来刻画。不过现有流量评估模型需要较高计算复杂度来获取准确的流量信息,其结果本身也存在一定的不确定性,因此需要采用更加合适的数学工具进行描述。未来的工作将进一步研究流量需求分布参数不准确条件下的优化模型及其网络性能。

参考文献:

- [1] Alicherry R B M, Li L. Joint channel assignment and routing for throughput optimization in multi-radio wireless mesh networks [C]//Proc. of ACM MobiCom. Germany, 2005:58-72.
- [2] Rad A H M, Wong V W S. Joint channel allocation, interface assignment and MAC design for multi-channel wireless mesh networks [C]//Proc. of IEEE Infocom. DSA; Alaska, 2007:1469-1477.
- [3] Li X Y, Nusairat A, Wu Y, et al. Joint throughput Optimization for wireless mesh networks [J]. IEEE Transactions on Mobile Computing, 2009, 7(8): 895-908.
- [4] 马莉,朱光喜,殷伯云. 无线网状网射频频链路的信道分配算法 [J]. 微电子学与计算机, 2010, 27(9): 109-113.
- [5] Meng X, Wong S H Y, Yuan Y, et al. Characterizing flows in large wireless data networks [C]//Proc. of ACM MobiCom. USA; Philadelphia, 2004:174-186.
- [6] Dai L, Xue Y, Chang B, et al. Integrating traffic estimation and routing optimization for multiradio multi-channel wireless mesh networks [C]//Proc. of IEEE Infocom. Finland; Helsinki University of Technology, 2008:71-75.
- [7] Song Y, Zhang C, Fang Y. Harnessing traffic uncertainties in wireless mesh networks-a stochastic optimization approach [J]. Mobile Network, 2009(14):124-133.
- [8] Wang W, Wang Y, Li X Y, et al. Efficient interference aware TDMA link scheduling for static wireless networks [C]//Proc. of ACM MobiCom. USA; Los Angeles, 2006:262-273.

作者简介:

徐 晶 男,(1979—),博士.研究方向为无线网络通信技术。
刘 威 男,(1977—),博士,副教授.研究方向为认知网络、无线自组网、智能电网。
程文青 男,(1964—),博士,教授.研究方向为无线传感器网络通信技术、网络教育技术。
袁林峰 男,(1975—),博士,高工.研究方向为无线自组网通信。

(上接第 51 页)

TC²CLA 模块结构参数约束公式和优化分析表给 TC²CLA 及优化序列、无等待时间序列的优化设计及操作位的扩展奠定了基础。

参考文献:

- [1] Huang Yen-Mou, Kuo James B. A high-speed conditional carry select(CCS) adder circuit with a Successively incremented carry number block(SICNB) structure for low-voltage VLSI implementation [J]. IEEE Transactions on Circuits and systems, 2000, 47(10): 1074-1079.
- [2] Knowles S. A family of adders[C]//Proc. 14th IEEE Symp. On Computer Arithmetic. Adelaide, Australia, 1999:277-284.
- [3] Wang C. A 1.25GHz 32bit tree-structured carry lookahead adder[C]//IEEE Intl. Synop. On Circuits and Systems. Sydney, Australia, 2001(4): 80-83.
- [4] Wang Yuke, Pai C, Song Xiaoyu. The design of hybrid carry-lookahead/carry-select adders [J]. IEEE Transactions on Circuits and systems, 2002, 49(1): 16-24.
- [5] 王礼平,王观凤. 顶层进位级联 CLA 的算法与设计规则[J]. 华中科技大学学报, 2004, 32(7): 88-91.
- [6] 王元媛,王礼平. TC²CLA 的混合模块延迟时间公式及优化序列[J]. 微电子学与计算机, 2008, 25(11): 64-67.
- [7] 王礼平,王观凤. 超前进位加法器的延迟时间公式与优化设计[J]. 武汉理工大学学报, 2004, 28(4): 585-588.
- [8] Wakerly J F. 数字设计原理与实践[M]. 3 版. 林生,金就林,译. 北京:机械工业出版社, 2003:64-127.

作者简介:

王元媛 女,(1982—),博士,讲师.研究方向为计算数学、计算技术及应用。
王礼平 男,(1945—),教授.研究方向为电路与系统设计、电子设计自动化