

采样可选择的 FPGA 片内逻辑分析仪设计方法

谭宜涛^{1,2}, 杨海钢¹, 周发标^{1,2}, 张茉莉^{1,2}, 路宝珠¹

(1 中国科学院 电子学研究所可编程芯片与系统研究室, 北京 100190; 2 中国科学院研究生院, 北京 100190)

摘 要: 针对大容量的信号采样时片内逻辑分析仪存储器资源紧张的情况, 本文提出了一种采样可选择的 FPGA 片内逻辑分析仪的设计方法. 本方法通过布局布线约束实现 JTAG 硬核的复用, 并利用 JTAG 硬核修改 FPGA 内寄存器实现采样信号的重新选择. 测试结果表明, 与某商用工具相比, 根据该方法实现的片内逻辑分析仪对采样信号进行 N 分组后, 在同等条件下所需的片内存储资源降低到 $1/N$, 同时设计时序的稳定性得以保证.

关键词: FPGA; 片内逻辑分析仪; JTAG 硬核; 采样可选择

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2012)02-0059-06

Design of an Sampling Selectable FPGA Embedded Logic Analyzer

TAN Yi-tao^{1,2}, YANG Hai-gang¹, ZHOU Fa-biao^{1,2}, ZHANG Mo-li^{1,2}, LU Bao-zhu¹

(1 System on Programmable Chip Research Department, Institute of Electronics,
Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate University of the Chinese Academy of Sciences, Beijing 100190, China)

Abstract: This paper proposes a design method of FPGA embedded logic analyzer for large storage in which the sample signals can be reselected. In this method, the JTAG hard core can be reused by constraining the placement and routing, and the sample signals can be reselected by changing the configurable registers via JTAG hard core. According to the measurement results, compared with the commercial tools, the demand of the embedded RAM resource can be reduced to the amount of $1/N$ which N equals the number of the sample groups, and the timing stability can be kept in observing the different signals.

Key words: FPGA; embedded logic analyzer; JTAG hard core; Sample Selectable

1 引言

随着 FPGA 器件规模不断增加, 对 FPGA 的调试日益复杂. FPGA 主流封装的高密度和无引脚化, 使得采用传统的逻辑分析仪进行调试的方法很难满足调试需求. 因此研究利用 FPGA 内部资源构建高效的 FPGA 片内逻辑分析仪 (Embedded Logic Analyzer, ELA) 的方法非常迫切.

实现 FPGA 片内逻辑分析仪系统的结构按其实现形式可分为基于软核的结构^[1]和基于 SRAM 回读功能的结构^[2], 基于 SRAM 回读功能的片内逻辑

分析仪利用 Xilinx 公司器件的 SRAM 回读特性来实现 FPGA 内部信号的观察, 不适用于通用的 FPGA 结构, 实现基于软核的 FPGA 片内逻辑分析仪系统的主要技术瓶颈存在于采样数据存储方案和通信接口的设计. 文献[3-5]中提出了相应设计方法, 但都还存在一些问题.

本文针对通用 FPGA 的结构提出了采样可选择的片内逻辑分析仪方法, 通过每次选择多路信号组中的一组信号进行采样存储, 从而降低了对片内块存储器资源的需求; 同时提出了一种在 JTAG 硬核中增加特殊指令并在布线阶段进行布线约束实现

收稿日期: 2011-05-07; 修回日期: 2011-07-14

基金项目: 国家重大科学研究计划(2001CB933202)

JTAG 硬核复用的方法.

2 ELA 电路的整体设计结构

2.1 ELA 电路的可参数化设计

ELA 电路的结构如图 1 所示. 其中, JTAG 状态机模块用来协调 JTAG 硬核和 ELA 电路协同工作; 触发状态机标志 ELA 电路的触发状态和采样状态; 触发条件比较器判断触发信号是否满足触发条件, 支持低电平、高电平、上升沿和下降沿等多种触发方式. ELA 电路的工作流程如下: 计算机控制 JTAG 硬核往指令寄存器输入 ELA 使能指令, 并往触发条件寄存器和采样选择寄存器中分别输入触发条件和采样选择信号; 触发条件满足后, RAM 控制器根据采样模式对采样信号进行采样并将数据存储到简单双端口 RAM 块; 所有数据采样完毕后, 由触发状态和采样数据形成的数据帧通过输出控制器的并串转换后向 JTAG 硬核传送数据.

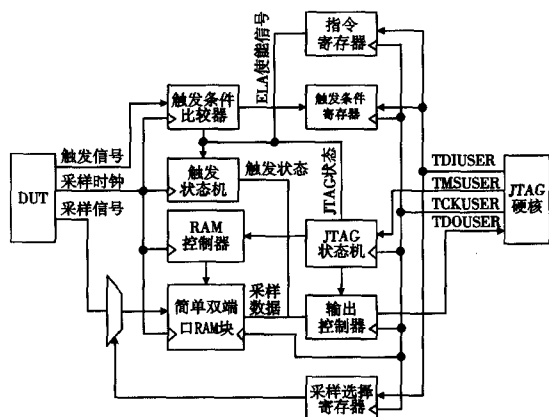


图 1 ELA 电路的结构

本文提出的复用 JTAG 硬核的方法不增加扫描链^[6], 而是在片内逻辑分析仪模块内部实现数据的串并和并串转换. 输出控制器模块对触发状态和采样数据进行并串转换, 并且在内部产生 CRC 校验位, 将并串转换后的数据位和 CRC 校验位发送到 JTAG 硬核的 TDOUSER 端口. 这种方法减少了控制扫描链操作的复杂性, 提高了数据传输的可靠性.

2.2 JTAG 硬核的复用技术

JTAG 硬核是 FPGA 中为实现与 IEEE1149.1-2001 协议兼容而加入的特定电路结构^[7]. JTAG 硬核主要包含三个输入端口和一个输出端口, 分别为 TCK、TDI、TMS、和 TDO, 其功能分别为时钟信号、数据信号、状态机控制信号以及输出信号.

JTAG 硬核从结构上主要可分为三个部分:

TAP 控制器、边界扫描链以及指令寄存器. 如图 2 所示, 边界扫描链是由边界扫描寄存器构成, 用来和内部逻辑进行通信并实现数据的串并和并串转换. TAP 控制器是一个包含 16 个状态的 JTAG 状态机, 其中, 状态 Shift_IR 是指令传输状态, 状态 Shift_DR 是数据传输状态, 状态 Run_Test_Idle 是 JTAG 状态机的空闲状态. JTAG 状态机用来协调 FPGA 软件系统和 FPGA 的 ELA 电路之间的正常工作, 实现接受采样数据和设置采样参数的功能. 在本文的设计中, 当 JTAG 状态为 Shift_IR 时, FPGA 软件系统往 JTAG 硬核的指令寄存器输入 ELA 指令; 当 JTAG 状态为 Run_Test_Idle 时, FPGA 软件系统通过对计算机并口进行编程实现触发条件寄存器和采样选择寄存器的改写; 当 JTAG 状态为 Shift_DR 时, FPGA 软件系统通过 JTAG 硬核的 TDO 端口从 ELA 电路接收数据并进行显示.

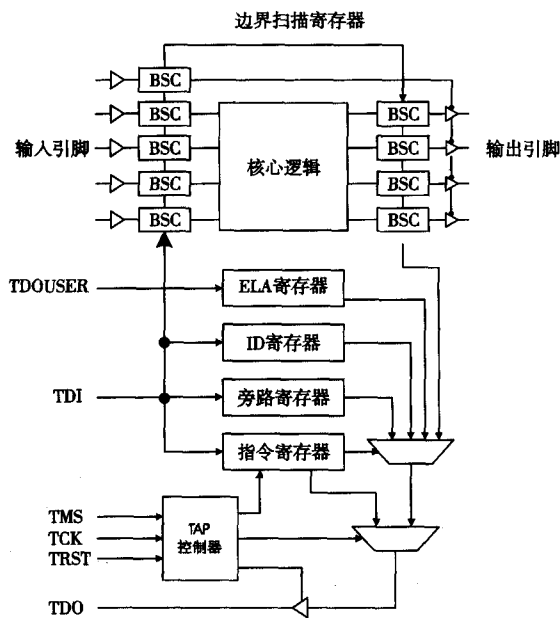


图 2 JTAG 硬核原理图

指令寄存器可以使 JTAG 硬核工作在不同的指令模式下, 其基本的指令包括 Sample/Preload、Extest 和 Bypass 等. 为了在片内逻辑分析仪设计中复用 JTAG 硬核进行数据控制和传输, 本文对 JTAG 硬核增加专门用于处理片内逻辑分析仪功能的指令. 图 2 是基于自主研发 FPGA 内部的 JTAG 硬核中增加了 ELA 指令和寄存器的示意图. 其中 JTAG 硬核的输入信号 TDOUSER 时来自 ELA 电路的数据输出, 只有指令寄存器中接受片内逻辑分析仪指令后, 来自 ELA 电路的输出才可以通过 ELA 寄存器输出到 TDO 端口. 否则 JTAG 硬核工

作在其他指令状态,且 ELA 电路不工作。

JTAG 硬核的输入输出通过固定的管脚和 FPGA 片外进行通信。而 ELA 电路需要 JTAG 硬核来接收从外界传输过来的控制信息,就必须复用 JTAG 硬核进行通信。图 3 是片内逻辑分析仪的系统结构示意图,其中 FPGA 和计算机并口用 JTAG 线缆连接,ELA 电路是实现片内逻辑分析仪的功能电路,FPGA 软件系统用来实现对 ELA 电路的参数设置以及对接收数据的显示。

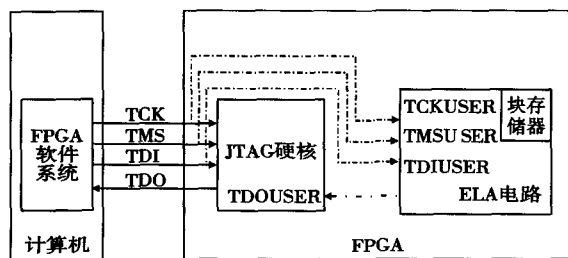


图3 片内逻辑分析仪系统结构图

为了实现 ELA 电路与计算机的通信,本文提出布局布线约束的方法实现 JTAG 硬核的复用。FPGA 软件的布线系统对 ELA 电路的输入端口 TCKUSER、TMSUSER、TDIUSER 和输出端口进行布线约束,并将他们分别布线到 JTAG 硬核的 TCK、TMS、TDI 和 TDOUSER 端口。TDOUSER 通过 JTAG 硬核最后从 TDO 输出。此数据通路保证了 ELA 电路既可以接收到来自计算机的参数设置又可向计算机发送采样数据。

通过优化电路的布局布线来提高 ELA 电路性能是软件系统实现的重要部分。在 FPGA 的布局阶段采用加入约束的布局算法对 ELA 电路模块进行布局,经布局优化后,使 ELA 电路模块与 JTAG 硬核之间有较优的电路排布,以保证电路有良好的时序性能和较高的布通率。

2.3 采样信号可选择的电路结构

当位宽为 w 采样深度为 d 的采样信号不经分组直接进入片内存储器时,所需要的存储器资源为

$$M_1 = w \times d \quad (1)$$

这种情况下,当采样位宽 w 或者采样深度 d 很大时,存储器资源使用很大甚至超过器件的片内存储器资源总量。

为了降低 ELA 系统对存储器资源的需求,本文提出了采样信号可选择电路结构,通过 JTAG 硬核设置采样选择寄存器实现采样信号的可选择。

采样信号可选择的原理如图 4 所示,采样信号

经过由用户控制的多路选择器从多组信号组中选择一组信号进入片内存储器。用户通过 FPGA 软件系统的界面对需要进行观察的信号进行分组,当采样信号分组的数量为 N 时,可参数化 ELA 软核中采样信号寄存器的个数为 $\log_2 N$ 。当信号分组完成后,按照用户每次指定的待观察的信号组,在 JTAG 状态为 Run_Test_Idle 时控制 JTAG 硬核修改采样选择寄存器。观察不同组的采样信号只需重新设置采样选择寄存器的值,无需对整个设计进行重新编译。

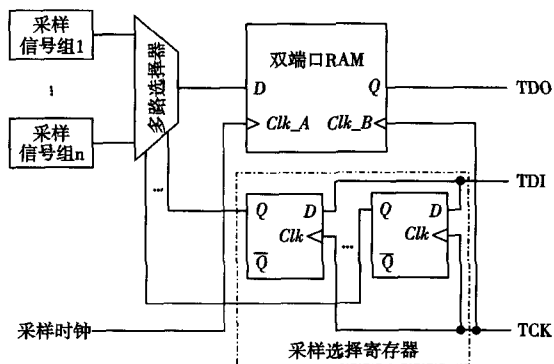


图4 采样信号可选择的实现结构

加入采样选择寄存器的结构以后,同样参数条件且采样选择寄存器的位宽为 w_s ,此时采样分组数为 $N=2^{w_s}$,所需的存储器资源为:

$$M_2 = (w/N) \times d = (w/2^{w_s}) \times d \quad (2)$$

由式(1)和式(2)可知,通过采样选择寄存器对采样信号进行选择后,实际上使用的存储器资源为原来的 $1/N$,即 $1/2^{w_s}$ 。当采样选择寄存器位宽越大即采样分组数越多时,节省的存储器资源也越多。

从电路面积和性能方面考虑,这种设计结构不但可以节省片内存储器资源,而且可以使得电路时序很容易得到满足。在时间效率方面,这种方法可以在保证时序稳定的前提下编译一次即可实现大量信号的调试,节省了多次编译所需要的编译时间。

本文提出采样信号可选择的FPGA片内逻辑分析仪的设计方法,用来减少大量信号采样所需的存储器资源。但是使用采样信号可选择的电路结构实现分组采样,前提是需要用户对采样信号进行分组。不同的采样信号分组策略会给存储器资源需求和时序性能带来不同的影响。因此有必要对本文方法中的分组策略进行进一步的分析。

假设 N 为信号分组数,采样选择寄存器的位宽为 w_s ,采样数据总位宽为 w ,用户每次能够观察的采样数据位宽为 w_N ,则 $w = N \times w_N = 2^{w_s} \times w_N$ 。当

由于信号分组数量为 $N=2^w$, 而用户选择的采样信号数量 w 不一定是 N 的整数倍, 因而在分组的过程中, 需要对那些采样数据位宽小于 w_N 的信号组进行处理, 一般可以将这些没有使用到采样信号接到固定电平。

根据 2.3 节中的分析可知, 当采样分组数越多时, 节省的存储器资源也越多。但是采样分组数太多, 不利于多个信号的同时观测。当 N 很大时, 由于多路选择器逻辑的延迟变大有可能导致时序性能的降低。同时, 对不同的分组进行采样观察时, 不同组采样信号之间的变化关系很难在时间方面得到体现。因此, 用户在进行采样信号分组时, 应该尽量将时序关系紧密的信号放在同一个分组, 不相关的信号可以放在不同的分组。有的采样信号由于本身是个包含多位信号的组信号, 为了观察数据的完整性, 一般也需要将这些需要观察的组信号在分组的时候放在同一个分组。

本文提出的采样可选择方法能够节省编译次数, 而设计编译时间只占时间开销的一部分。本文方法由于需要用户考虑时序关系紧密程度以及数据完整性, 一般需要人工对采样信号进行分组, 因此信号分组的复杂度随信号分组数量 N 变大而急剧增大。为了对一般方法和本文方法所需时间开销进行比较, 对时间开销和信号分组数量 N 的关系进行分析。

定义设计编译所需时间为 t_{comp} , 对信号进行人工分组所花时间为 t_{group} , 采样数据传输所需时间为 t_{trans} , 对触发条件进行设置所需时间为 t_{set} , JTAG 接口中的时钟周期为 T_{tck} , 采样深度为 d , 采样数据总位宽为 w , 触发数据宽度为 p , 则使用本文方法进行采样所需时间函数为

$$\begin{aligned} T_1 &= t_{\text{comp}} + t_{\text{group}} + \sum_{i=1}^N (t_{\text{set}i} + t_{\text{trans}i}) \\ &= t_{\text{comp}} + t_{\text{group}} + \sum_{i=1}^N (T_{\text{tck}} \times \\ &\quad (2p + \log_2 N)) + T_{\text{tck}} \times d \times w \end{aligned} \quad (3)$$

其中乘积项 $2p + \log_2 N$ 是因为每次对触发条件进行设置时, 必须通过 JTAG 接口的 TCK 端口对 ELA 软核中的触发条件寄存器进行修改, 而每一位触发数据对应两位的触发条件寄存器。同时由于本文需要对采样组进行选择, 额外需要 $\log_2 N$ 个 TCK 时钟周期对采样选择寄存器进行设置。

同理, 采样数据不经分组直接进入存储器进行采样方法中所需时间函数为

$$\begin{aligned} T_2 &= \sum_i^q (t_{\text{comp}i} + t_{\text{set}i} + t_{\text{trans}i}) \\ &= \sum_i^q t_{\text{comp}i} + \sum_i^q (T_{\text{tck}} \times 2p) + \\ &\quad T_{\text{tck}} \times d \times w \end{aligned} \quad (4)$$

式中, 累加项 $\sum_i^q t_{\text{comp}i}$ 是因为在采样数据位宽太大时无法通过一次编译实现对所有采样数据进行采样, 因而需要通过选择不同的信号进行多次编译和信号观察。

由式(3)和式(4)可知, 本文分组采样的方法和一般采样方法相比, 编译次数减少到只有一次, 当观察不同采样组数的信号时, 只需要对采样选择寄存器进行重新设置即可。在时间函数 T_1 和 T_2 中, 由于 JTAG 接口的时钟由计算机并口提供, T_{tck} 数量级为 10^3 ns , 并口传递触发参数时间 t_{set} 和采样数据时间 t_{trans} 可忽略不计, 因此时间函数中主要部分为编译时间 t_{comp} 和对信号进行分组所需时间 t_{group} 。

将本文的 ELA 软核通过 QuartusII 平台进行信号分组并执行编译, 被采样电路为移位寄存器电路, 其时间开销如图 5 所示。其中, 图 5(a)是在不同的采样信号分组下本文方法时间开销的示意图, 采样数据总宽度为 256, 采样深度为 128, t_{comp} 代表设计编译时间, t_{group} 代表对信号进行分组所需的时间; 图 5(b)是在不同的采样数据总宽度下采用一般方法的时间开销示意图, $t_{\text{comp}1}$ 代表只进行一次编译的时间, $t_{\text{comp}2}$ 代表对设计进行两次编译所需的时间。

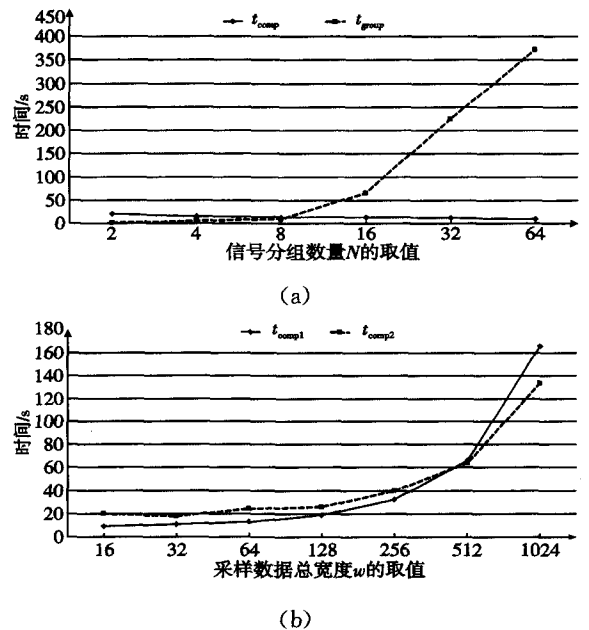


图 5 时间开销和信号分组数量以及采样数据总宽度的关系

由分析结果可以看出,当采样分组次数 N 较小时,编译时间 t_{comp} 占总采样时间的大部分,而当采样分组次数大于 16 时,对信号进行分组所需时间 t_{group} 急剧增大,成为影响采样所需时间的最大因素. 当采样数据总宽度大于 512 时,对设计进行一次编译的时间增加很快,并超过对设计进行两次编译的时间. 当采样数据总宽度为 512 时,本文方法中对信号进行 16 分组所需的编译时间与分组时间之和超过了一般方法中的设计编译时间.

在使用本文方法对采样信号进行信号分组时,需要同时考虑组信号的信号数量、本文测试结果表明,分组数量 N 为 2、4 或者 8 时可以在减少存储器资源的同时不增加额外的时间开销.

3 实验结果

为了验证本文提出的片内逻辑分析仪的设计方法,实验采用国产百万门级的 FPGA 芯片进行硬件验证,该 FPGA 采用标准 0.18 μm , 1.5V CMOS 工艺,其中 JTAG 硬核根据本文提出的方法增加了片内逻辑分析仪的特殊指令和寄存器. FPGA 的软件系统完成布局布线约束、参数设置和结果显示,以验证片内逻辑分析仪功能的正确性. 测试电路中包含两个 8 位的计数器 cnt1[7:0]和 cnt2[7:0],分别实现正向计数器和反向计数器,两个计数器共用异步清零端. 本次采样时钟为计数器系统时钟, RAM 采样深度 128,采样模式为触发前后各采样一半的数据量. 由于采样信号中的每个计数器都是组信号,因此采用本文提出的采样可选择方法将采样信号分为 2 组,分别为 cnt1[7:0]和 cnt2[7:0],为了便于比较,第一次采样的触发条件设置为 cnt1[7:0]等于 8'b00000110,第二次采样的触发条件为 cnt2[7:0]等于 8'b11111010.

通过对 FPGA 软件系统从片内逻辑分析仪接受的数据进行分析表明,利用本文方法实现的片内逻辑分析仪能够完全实现设计功能. 图 6(a)、(b)分别是片内逻辑分析仪软件系统对两次采样结果的显示. 由于采用采样可选择结构对信号分为 2 个分组进行采样,分组采样过程中只需要对设计进行一次编译,且所需的采样存储器资源和不分组采样方法相比减少一半.

为了对本文提出的片内逻辑分析仪的设计方法和商用片内逻辑分析仪进行比较,将本文的 ELA 软核和 Altera 公司的 SignaltapII 软核在 QuartusII 平台上进行比较. 其中,Altera 公司的 FPGA 器件

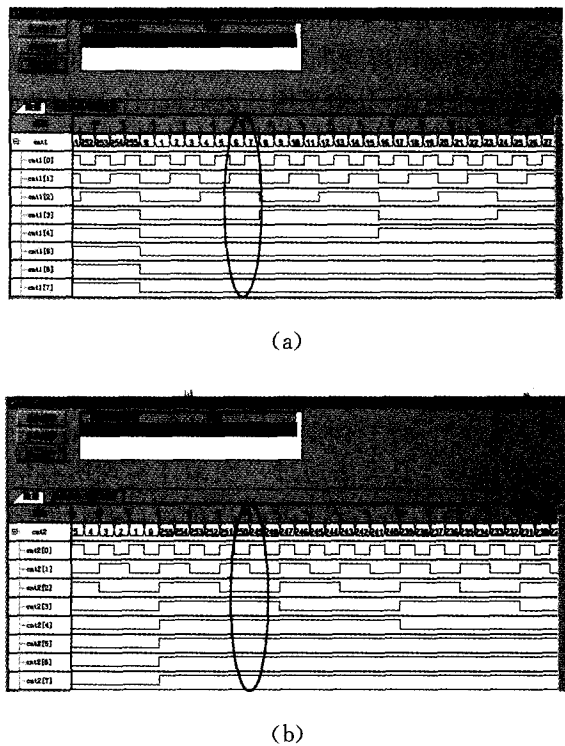


图 6 FPGA 软件界面系统中片内逻辑分析仪的数据显示界面

类型选用的是 Cyclone 系列的 EP1C20F324I7,其基本逻辑单元为 20060,块存储器资源为 294,912 bit,所选用的测试电路为移位寄存器电路.

通过 ELA 软核在 Altera 公司的 FPGA 上进行测试表明,本文所需的存储器容量和每组采样数据宽度成正比,其电路性能也主要由每组采样数据宽度决定. 如表 1 所示,当每组采样数据宽度增大时,由于电路面积增大和布线资源减少导致电路的时序性能随之降低.

表 1 片内 RAM 资源和性能受每组采样数据宽度影响

每组采样数据宽度	RAM/bit	Fclk/MHz
16	16 384	164
32	32 768	159
64	65 536	157
128	131 072	155
256	262 144	140
512	524 288	134

RAM 采样深度 = 10³, 本设计中信号分组数量 = 4

经过本文和 Altera 公司的 SignalTapII 工具进行了比较可以发现,利用本文提出的可选择采样信号的方法实现的片内逻辑分析仪能够有效减少存储

面积. 表 2 是分别采用本文方法和 SignalTapII 工具对设计进行编译得到的存储器面积、时序性能以及时间开销的对比, 其中采用 SignalTapII 工具只对设计进行一次编译. 从表中数据可以看出, SignalTapII 工具所需的 RAM 资源和采样数据总宽度成正比, 设计性能随采样数据宽度增大而降低; 当采样数据总宽度为 512 位时, SignalTapII 工具由于器件总 RAM 容量不够而导致编译无法通过. 而本文所需的 RAM 容量取决于信号分组中的每组采样数据宽度和采样深度. 当每组采样数据宽度和采样深度固定时, 设计所需的存储器容量不变. 另外, 当使用 SignalTapII 工具无法通过一次编译实现所有信号的观察时, 本文提出的方法在保证设计时序的前提下, 只需一次编译就可实现所有信号的观察.

表 2 片内 RAM 资源和性能受采样数据总宽度影响

采样数据 总宽度	N	本文				SignalTapII			
		RAM/ bit	Fclk/ MHz	$t_{comp}/$ s	$t_{group}/$ s	RAM/ bit	Fclk/ MHz	$t_{comp}/$ s	
16	1	16 384	166	13	0	16 384	186	13	
32	2	16 384	165	14	2	32 768	189	16	
64	4	16 384	164	13	5	65 536	150	21	
128	8	16 384	161	14	10	131 072	131	39	
256	16	16 384	160	15	66	262 144	121	87	
512	32	16 384	164	16	224		*		

RAM 采样深度 = 10³, 本设计中每组采样数据宽度 = 16

由表中数据还可看出, 采用本文方法对信号进行分组采样后, 在采样信号分组数为 2、4 和 8 时能够在减少存储器面积的同时降低总的时间开销, 从而提高了使用片内逻辑分析仪进行电路调试的效率.

4 结束语

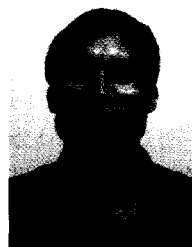
本文提出一种采样信号可选择的片内逻辑分析仪的方法, 提高了片内逻辑分析仪系统调试效率并减少了片内存储器需求; 并利用 FPGA 软件系统的布局布线约束以及往 JTAG 硬核增加指令来实现 JTAG 硬核的复用; 同时对本文方法中的分组策略和时间开销进行了分析, 并通过实验给出了最佳的采样信号分组数量. 根据测试结果可知, 本文提出的设计方法是可行的. 在大型的设计调试中需要观察大量信号时, 利用本文方法实现的片内逻辑分析仪与同类型商用工具相比, 在保持时序稳定的前提下,

极大地减少片内存储器资源的需求, 避免了由于片内存储器资源过度使用造成性能下降或布局布线无法通过的情况. 同时, 本文提出的采样可选择结构可以通过合适的分组来减少时间开销, 提高 FPGA 调试效率.

参考文献:

- [1] Knittel G, Mayer S, Rothlaender C. Integrating logic analyzer functionality into VHDL designs [C]//IEEE International Conference on Reconfigurable Computing and FPGAs. Cancun, 2008: 127-132.
- [2] Tombs J, Aguirre Echanove M A, Munoz F, et al. The implementation of a FPGA hardware debugger system with minimal system overhead [C]//Field Programmable Logic and its Applications (FPL). Belgium, 2004(3203):1062-1066.
- [3] Alan L HerrmannGreg, Nugent P. Embedded logic analyzer for a programmable logic device [P]. US: 6 389 558 B1, 2002-03-14.
- [4] Yang Zuoxing. A hardware logic method of IC verification [P]. CN: 100 458 731 C, 2009-02-04.
- [5] Kerry Veenstra, Krishna Rangasayee. Enhanced embedded logic analyzer [P]. US: 20 010 037 477 A1, 2001-11-01.
- [6] Joel D Woodward, Adrian M Hernandez. Apparatus and method for dynamic in-circuit probing of field programmable gate arrays [P]. US: 7 519 879 B2, 2009-04-14.
- [7] Yu li, Guo Hui Lin, et al. FPGA and method and system for configuring and debugging a FPGA [P]. US: 20 080 116 919 A1, 2008-05-22.

作者简介:



杨海钢 男, (1960—), 博士, 研究员, 博士生导师. 研究方向为高速可编程逻辑芯片设计技术、数模混合信号 SOC 设计技术.

周发标 男, (1983—), 博士研究生. 研究方向为大规模集成电路设计可测试设计技术.

张茉莉 女, (1987—), 博士研究生. 研究方向为大规模集成电路设计自动化技术.

路宝珠 男, (1983—), 博士研究生. 研究方向为大规模集成电路设计自动化技术.