

一种新型的 CMOS 亚阈值低功耗基准电压源

孙 宇, 肖立伊

(哈尔滨工业大学 微电子学与固体电子学中心, 黑龙江 哈尔滨 150001)

摘 要: 利用工作于亚阈值的 NMOS 器件, 产生两个负温度系数的电压源, 然后将两个电压源作差, 产生稳定的基准电压输出. 整体电路采用 HJTC180 nm 标准 CMOS 工艺实现. 仿真结果表明, 基准源输出电压为 220 mV, 在 -25 °C 到 100 °C 的温度范围内的温度系数为 $68 \times 10^{-6} / ^\circ\text{C}$. 电路的最小供电电压可低至 0.7 V, 在供电电压 0.7~4 V 范围内的线性调整率为 1.5 mV/V. 无滤波电容时, 1 kHz 的电源抑制比为 -56 dB. 室温下, 1.0 V 电压供电时, 电路总体功耗为 3.7 μW . 版图设计后的芯片核心面积为 0.02 mm². 本文设计的电压源适用于低电压低功耗的条件.

关键词: CMOS; 亚阈值; 低电压; 低功耗; 基准电压源

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)06-0051-06

A Novel Low-power Low-voltage Reference

SUN Yu, XIAO Li-yi

(Microelectronic Center, Harbin Institute of Technology, Harbin 150001, China)

Abstract: A novel low-power low-voltage reference is developed utilizing ΔV_{GS} between sub threshold MOSFETs. It is implemented in HJTC 180 nm standard CMOS process. The proposed voltage reference generates two different V_{GS} s which have negative temperature coefficients and combines them to produce an output voltage with a nearly zero temperature coefficient. The resulting reference voltage is 220 mV with the temperature coefficient $68 \times 10^{-6} / ^\circ\text{C}$ in the range of -25 °C to 100 °C. The minimum supply voltage is 0.7 V and the simulated line regularity is 1.5 mV/V with the supply range from 0.7~4 V. The PSRR is -56dB at 1 kHz and the power consumption is 3.7 μW under 1.0 V at 300 K. The entire chip core area with the start up circuit is 0.02 mm². This voltage reference is suitable for the low-power low-voltage applications.

Key words: CMOS; subthreshold; low voltage; low power; voltage reference

1 引言

在模拟或混合信号电路中, 基准电压源 (Voltage Reference, VR) 电路是十分重要的组成部分, 它广泛应用于运算放大器电路、振荡器、缓冲器、模数/数模转换器以及 DRAM、Flash 等存储电路中. 传统的基准电压源应用双极型晶体管 (BJT) 器件产生稳定的电压输出, 称为“带隙基准电压源”^[1-2]. 然而, 对于硅 (Si) 材料, 它的带隙电压为 1.25 V, 迫使基准电压源本身的供电电压必须在 1.25 V 以上. 因此, 传统的基准电压源本身所需的供电电压高, 且自

身功耗较大. 随着 CMOS 工艺的不断进步以及 SoC 系统的发展需求, 基准电压源需要满足以下两点要求: (1) 低电压——电压源本身的供电电压要低, 1 V 或更低; (2) 低功耗——电压源本身消耗的功耗要低, 在微瓦级. 对于电池独立供电的可移动系统或电路来说, 这些要求尤为迫切. 因而, 传统的电压基准源已不能满足这些要求.

为了解决传统基准电压源中存在的问题, 通常采用亚阈值工作的 MOS 器件来产生基准电压^[3-10]. 文献[3]中应用一个亚阈值 NMOS 器件的栅源电压和一个 PTAT 补偿变量产生了一个基准电压, 但是

其温度系数较大. 文献[4]中作者提出了一个结构简单的基准电压源, 并且对沟道长度调制效应进行了补偿, 然而其温度稳定性以及供电电压稳定性仍然不理想. 文献[8]中的电压源结构更为简单, 温度和电压调整特性较好, 但是适用的温度和电压范围受限. 文献[9]中的电压源虽然性能优良, 但是它需要额外的高阈值器件来实现, 增加了生产制造的成本. 本文所设计的电压源基于标准工艺 CMOS 器件, 具有较好的温度、线性度以及较小的功耗和面积.

2 设计原理

当栅源电压 V_{GS} 小于阈值电压 V_{TH} 时, NMOS 晶体管工作于亚阈值状态, 其漏极电流 I_D 可用式(1)来表示^[9]:

$$I_D = \mu C_{ox} \cdot V_T^2 \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \cdot \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad (1)$$

式中, μ 表示电子的迁移率; C_{ox} 为单位面积氧化层电容; V_T 是热力学电压, 表达式为 $V_T = kT/q$, 其中 k 为波尔兹曼常数, T 为绝对温度, q 为电子电量, 常温下约为 26 mV; W 、 L 分别为器件的宽度和长度; n 为亚阈值斜率; V_{DS} ——漏极源极之间的电压^[11-12].

当 V_{DS} 大于 $4V_T$ 时, 式(1) 可以写成

$$I_D = \mu C_{ox} \cdot V_T^2 \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \quad (2)$$

根据式(2), 亚阈值 NMOS 晶体管的栅源电压可表示为

$$V_{GS}(T) = V_{TH}(T) + nV_T \ln\left(\frac{I_D}{\mu C_{ox} \cdot V_T^2 \cdot (W/L)}\right) \quad (3)$$

迁移率 μ 随绝对温度 T 变化, 它与 T 的关系式为^[13]

$$\mu(T) = \mu(T_0) \left(\frac{T}{T_0}\right)^{-\alpha} \quad (4)$$

式中, T_0 为参考温度; α 是与工艺相关的参数.

假设 $\alpha \approx 2$, 亚阈值斜率 n 与温度无关, 偏置电流 I_D 与温度无关, 式(3) 两边对温度求偏导数, 可得

$$\frac{\partial V_{GS}(T)}{\partial T} \approx \frac{\partial V_{TH}(T)}{\partial T} + \frac{nk}{q} \ln\left(\frac{I_D}{\mu(T_0) \cdot T_0^2 \cdot C_{ox} \cdot (k/q)^2 \cdot (W/L)}\right) \quad (5)$$

阈值电压与温度的关系可以写成^[9]

$$V_{TH}(T) = V_{TH}(T_0) + \alpha_{V_{TH}}(T - T_0) \quad (6)$$

式中, $\alpha_{V_{TH}}$ 代表阈值电压的温度系数, 通常为负值; $V_{TH}(T_0)$ 是 T_0 温度的阈值电压.

记

$B =$

$$\frac{nk}{q} \ln\left(\frac{I_D}{\mu(T_0) \cdot T_0^2 \cdot C_{ox} \cdot (k/q)^2 \cdot (W/L)}\right).$$

将式(6)带入式(5)中可得

$$\frac{\partial V_{GS}(T)}{\partial T} \approx \alpha_{V_{TH}} + B \quad (7)$$

等式右边两项均为小于 0 的常量, 将其和记为 $k_{V_{GS}}$, 即栅源电压的温度系数. 因此, 固定漏极偏置电流下, 亚阈值 NMOS 晶体管的栅源电压可以用式(8)来表示:

$$V_{GS}(T) = k_{V_{GS}}(T - T_0) + V_{GS}(T_0) \quad (8)$$

图 1 所示的是亚阈值区的 NMOS 器件在 $-25^\circ\text{C} \sim 100^\circ\text{C}$ 范围内阈值电压的变化, 可以看出, 阈值电压随温度线性变化, 并且系数小于 0.

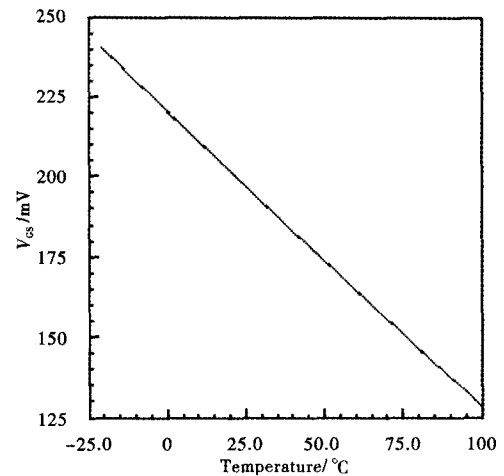


图 1 V_{GS} 对于温度的变化曲线

根据式(8)可得, 工作在亚阈值的 NMOS 器件随着温度线性变化, 它可以用来产生基准电压. 文献[3-4, 6-8]当中的电压源均应用了亚阈值 NMOS 晶体管的这一特性, 它们的设计原理可以用图 2 来概括: 将一个 CTAT (complementary to absolute temperature) 电压 V_{CTAT} 与一个 PTAT (proportional to absolute temperature) 电压 V_{PTAT} 进行相加, 从而得到一个与温度无关的基准电压 VR.

本文设计的基准电压源与上述文献不同, 其原理如图 3 所示, 将两个 CTAT 电压 V_{CTAT1} 、 V_{CTAT2} 相减, 得到一个基准电压. 两个 NMOS 晶体管 MN1, MN2 工作在亚阈值区, 偏置于固定的漏极电流下,

它们的栅源电压记为 $V_{GS1}(T)$ 与 $V_{GS2}(T)$, 两者的差值可表示为

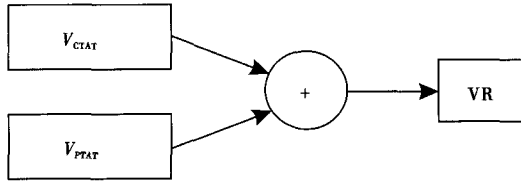


图2 文献中电压源产生原理

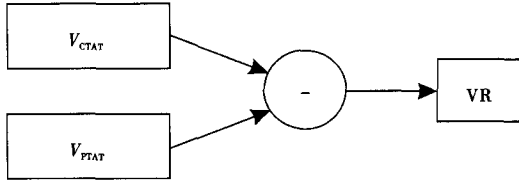


图3 本文的设计原理

$$\Delta V_{GS}(T) = (k_{V_{GS2}} - k_{V_{GS1}}) \cdot (T - T_0) + (V_{GS2}(T_0) - V_{GS1}(T_0)) \quad (9)$$

对式(9)中的电压差 $\Delta V_{GS}(T)$ 求关于温度的偏导数, 可得

$$\frac{\partial \Delta V_{GS}(T)}{\partial T} = k_{V_{GS2}} - k_{V_{GS1}} \quad (10)$$

设两个常数 α, β (均不为0) 满足

$$\begin{cases} \alpha \cdot k_{V_{GS2}} - \beta \cdot k_{V_{GS1}} = 0 \\ \alpha \cdot V_{GS2}(T_0) - \beta \cdot V_{GS1}(T_0) \neq 0 \end{cases} \quad (11)$$

将其带入式(10)中, 两个 NMOS 晶体管的栅源电压差的温度系数被消除, 可以得到一个与温度无关的基准电压。

3 电路设计

3.1 CTAT 电压产生电路

根据第2节中的描述, 将亚阈值 NMOS 偏置在

固定漏极电流下, 就可产生 CTAT 电压。本文采用的结构如图4所示。NMOS 晶体管 M1 偏置在电流源 I_{bias} 下, 其栅源电压为 CTAT 电压。引入电阻 R 将电压信号转化为电流信号 I_R , 便于后续电路的处理。晶体管 M3 与 M4 构成电流镜结构, M2 的栅极接到 M1 的漏极。M1~4 和电阻 R 构成负反馈结构, 增加电路的稳定性。

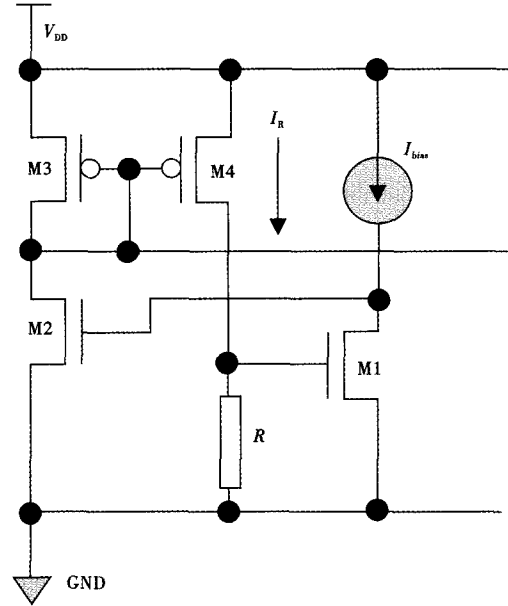


图4 本文中的 CTAT 电压产生电路

3.2 基准电压产生电路

本文的基准电压整体核心电路如图5所示。晶体管 M1、M3、M6、M7 和电阻 R_1 构成了 V_{CTAT1} 产生电路; 晶体管 M1、M3、M6、M7 和电阻 R_1 以及电流源 I_{bias1} 构成了 V_{CTAT1} 产生电路; 晶体管 M2、M4、M5、M8、M9 和电阻 R_2 以及电流源 I_{bias2} 构成了 V_{CTAT2} 产生电路和电流相减的电路; M10 和 R_{out} 构成电路的输出级。

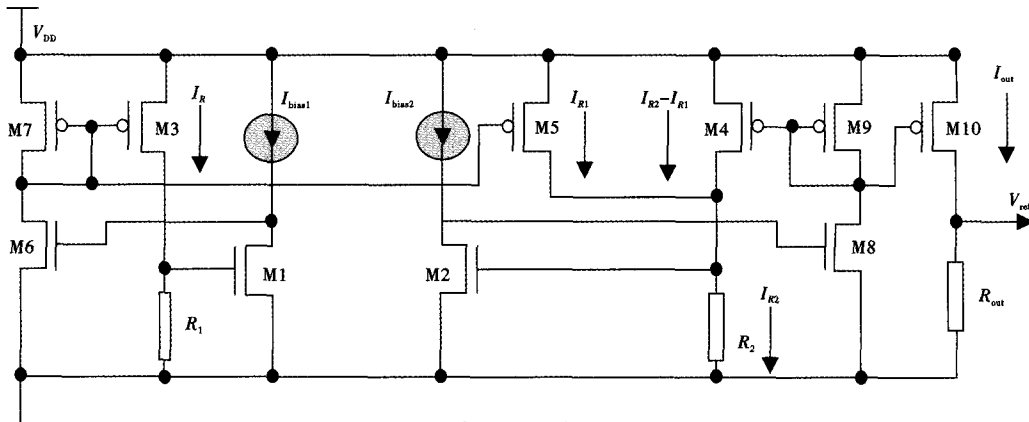


图5 基准电压产生电路

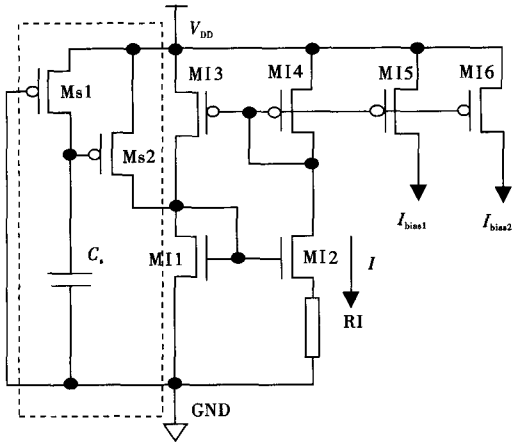


图7 启动电路和偏置电流电路

$$V_{DD} > \min(|V_{GS_ML4}|) + \min(V_{DS_ML2}) + \min(V_{RI}) \quad (22)$$

式中, V_{GS_ML4} 为 M14 的栅源电压; V_{RI} 为电阻 RI 的压降。

V_{GS_ML4} 大小应该约等于器件的阈值电压。对于本文使用的 180 nm CMOS 工艺, 电路的最小供电电压应该在 0.7 V 左右。

4 实验结果及分析

本文中的基准电压源采用 HJTC 180 nm CMOS 工艺进行实现。应用 Cadence 定制电路设计工具进行版图设计。核心电路与启动电路的总面积为 0.02 mm²。经过版图验证和寄生参数提取后, 对电路性能进行后仿真。室温下, 电源电压为 1.0 V 时, 电路输出的基准电压为 219.27 mV, 整体电路的功耗为 3.7 μW。

图 8 中表示的是基准电压源的温度特性曲线, 根据图中的数据, 可以计算出在 -25~100 °C 温度系数为 $68 \times 10^{-6}/^{\circ}\text{C}$ 。在温度高于 100 °C 以后, 晶体管阈值电压随温度变化的线性度变坏, 会造成温度系数急剧增加。图 9 中表示基准电压源的线性度。由图中曲线可求得, V_{ref} 相对电源电压的变化率为 1.5 mV/V, 线性度为 0.67%。图 10 中表示基准电压源电路在未加滤波电容时的 PSRR 曲线。由曲线可得, 在 1 kHz 频率下, 电路的电源电压抑制比为 -56 dB。此电路具备良好的电源噪声抑制性能。

表 1 中列出了本文设计的电压基准源同文献中电压基准源进行性能比较, 从表中可以看出, 本文所设计的电压源在相对较宽的温度范围内具有良好的温度特性, 供电电压范围更宽, 适用于电源电压小于 1.0 V 的情况; 输出电压对电源电压变化不敏感, 并

且对电源噪声的抑制能力强。基准电压核心电路的面积仅为 0.02 mm², 功耗在微瓦量级, 满足一般基准电压源的设计要求, 降低了功耗, 并且能够将供电电压降低到 1.0 V 以内, 适用于低电压低功耗的应用环境。

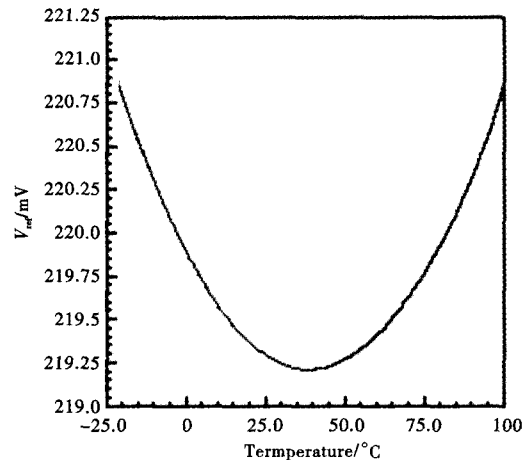


图8 温度特性曲线

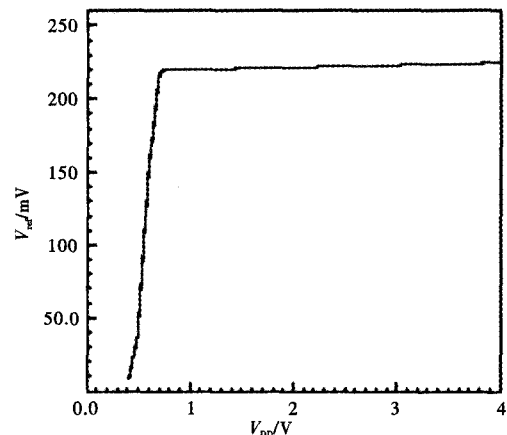


图9 电源电压线性调整率

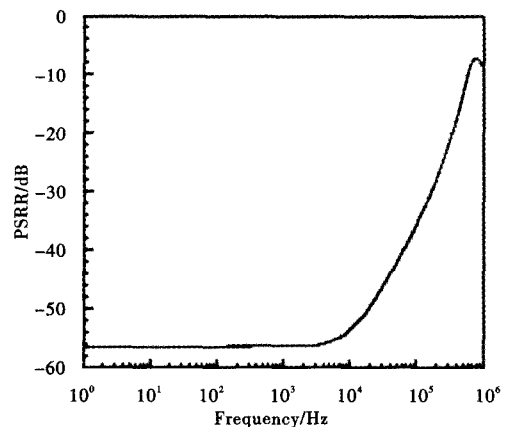


图10 电源抑制比曲线(未加滤波电容)

表 1 同文献中的低功耗 CMOS 基准电压源电路的性能比较

对比项目	本文	文献[3]	文献[4]	文献[5]	文献[6]	文献[7]	文献[8]	文献[9]
工艺/ μm	0.18	0.35	0.18	0.09	0.09	0.09	0.35	0.35
温度范围/ $^{\circ}\text{C}$	-25~100	-25~125	20~120	0~100	-20~90	-40~125	0~70	0~80
温度系数/ $(10^{-6}/^{\circ}\text{C})$	66	119	271	3.5	63	72	62	10
供电电压/V	0.7~4	1.2	0.85~2.5	0.7 (min)	1~2.2	1.1~3.3	1.4~3	0.9~4
基准电压/mV	220	295	221	254	723	423	579	670
线性调整率/ $(\%/V)$	0.67	N. A.	0.9	2.9	1.7	2.0	0.67	0.27
PSSR/dB	-56 (@1 kHz)	N. A.	N. A.	N. A.	N. A.	-51 (@100 Hz)	-84 (@1 kHz)	-47 (@100 Hz)
功耗/ μW	3.74 (@1V) 300 K	4.3 (@1.2 V) N. A.	3.3 (@0.85 V) Average	1.84 (@0.7 V) 300 K	1.56 (@1.2 V) 300 K	0.33 (@1.1 V) 300 K	4.6 (@2 V) N. A.	0.036 (@0.9 V) 300 K
面积/ mm^2	0.02	0.23	0.023 8	N. A.	N. A.	0.001	0.126	0.045

5 结束语

本文提出了基于亚阈值 CMOS 器件工作特性的一种新型的设计原理,这种原理与传统的设计原理相比,其结构具备对称性,且电路设计更简便,输出基准电压值更容易调整.整体电路采用 HJTC180 nm 的标准 CMOS 工艺实现.输出基准电压为 220 mV,在 -25~100 $^{\circ}\text{C}$ 范围内温度系数仅为 $68 \times 10^{-6}/^{\circ}\text{C}$.最小供电电压为 0.7 V,其在 0.7~4 V 供电范围内的线性调整率为 1.5 mV/V.室温下的功耗仅为 3.7 μW .本文设计的亚阈值基准电压源满足带隙基准源的性能要求,功耗大大降低,供电电压可以小于 1.0 V,完全适用于低电压低功耗的工作环境.

参考文献:

- [1] Kuijk K E. A precision reference voltage source[J]. IEEE J. Solid-State Circuits, 1973 (SC-8): 222-226.
- [2] Xin Ming, Ma Ying-qian, Zhou Ze-kun, et al. A high-precision compensated CMOS bandgap voltage reference without resistors[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2010, 57(1): 767-771.
- [3] Giustolisi G, Palumbo G, Criscione M, et al. A low-voltage low-power voltage reference based on sub-threshold MOSFETs[J]. IEEE J. Solid-State Circuits, 2003, 38(1): 151-154.
- [4] Huang P H, Lin H, Lin Y T. A simple subthreshold CMOS voltage reference circuit with channel-length modulation compensation [J]. IEEE Trans. Circuits Syst. II, Expr. Briefs, 2006, 53(9): 882-885.
- [5] Shihabuddeen T, Suresh Babu V, Baiju M R. A low power sub 1V 3.5-ppm/C voltage reference featuring subthreshold MOSFETs[C] // Proceedings of 15th IEEE International Conference on Electronics, Circuits and Systems, ICECS, Morocco, 2008: 442-445.
- [6] Di Naro G, Lombardo G, Paolino C, et al. A low-power fully-mosfet voltage reference generator for 90 nm CMOS technology [C] // Proceedings of IEEE International Conference on Integrated Circuit Design and Technology. Italy: Padova. 2006: 1-4.
- [7] Tomasz Borejko, Witold A Pleskacz. A resistorless voltage reference source for 90 nm CMOS technology with low sensitivity to process and temperature variations [C] // Proceedings of 11th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. 2008: 1-6.
- [8] Cheng M H, Wu Z W. Low-power low-voltage reference using peaking current mirror circuit [J]. Electron. Lett., 2005, 41(10): 572-573.
- [9] De Vita G, Iannaccone G. A sub-1-V, 10 ppm/C, nanopower voltage reference generator[J]. IEEE J. Solid-State Circuits, 2007, 42(7): 1536-1542.
- [10] Vittoz E A, Fellrath J. CMOS analog integrated circuits based on weak inversion operation [J]. IEEE J. Solid-State Circuits, 1977(SC-12): 224-231.

(下转第 60 页)

4 结束语

从效果来看,可得到如下结论:

- (1) 复数域非线性扩散方法的实部滤波效果非常明显.
- (2) 复数域非线性扩散方法的虚部在提取边缘信息过程中非常重要.
- (3) 综合利用复数域非线性扩散方法的实部和虚部可以有效的获取到图像的重要信息.
- (4) 复数域 shock 滤波方程在进行边缘检测时,效果很好.

参考文献:

- [1] 杜文亮, 刘晓东, 吕园园. 基于 C-Canny 算子与灰度空间的彩色图像边缘检测 [J]. 微电子学与计算机, 2010, 27(8): 17-20.
- [2] 蔡荣太, 吴庆祥. 基于脉冲神经网络的边缘检测[J]. 微电子学与计算机, 2010, 27(10): 178-181.
- [3] Perona P, Malik J. Scale-space and edge detection u-

sing anisotropic diffusion[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 1990, 12(7): 629-638.

- [4] Cottet G H, Germ L. Image processing through reaction combined nonlinear diffusion[J]. Mathematic of Computation, 1993, 61(11): 659-673.
- [5] Weickert J. Coherence-enhancing diffusion filtering [J]. International Journal of Computer Vision, 1999, 31(2): 111-127.
- [6] Osher S J, Rudin L I. Feature-oriented image enhancement using shock filter[J]. SIAM Journal on Numerical Analysis, 1990, 27(4): 919-940.
- [7] Guy Gilboa, Nir A, Sochen. Regularized shock filters and complex diffusion[J]. Lecture Notes in Computer Science, 2002(2350): 399-413.

作者简介:

文 武 男, (1979—), 博士研究生, 讲师. 研究方向为信号检测及处理.

(上接第 56 页)

- [11] Nissinen I, Kostamovaara J. A low voltage CMOS constant current-voltage reference circuit[C]// Proceedings of the 2004 International Symposium on Circuits and Systems. Canada, 2004(1): 381-384.
- [12] Luis Henrique de Carvalho Ferreira, Tales Cleber Pimenta. A CMOS voltage reference for ultra low-voltage applications[C]// Proceedings of 12th IEEE In-

ternational Conference on Electronics, Circuits and Systems, ICECS. Gammarrth, Tunisia, 2005. 1-4.

- [13] Filanovsky I. M, Allam A. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits[J]. IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., 2001, 48(7): 876-884.