

高压 BCDMOS 集成电路的工艺集成

马 旭¹, 邵志标¹, 姚剑峰², 张国光²

(1 西安交通大学 电信学院, 陕西 西安 710049; 2 佛山蓝箭电子有限公司, 广东 佛山 528000)

摘 要: 对高压 BCD—MOS 器件的结构和工艺进行了研究, 用器件模拟 MEDICI 和工艺模拟 T—SUPREM 软件分别对器件结构和工艺参数进行了设计优化. 在工艺兼容的前提下, 设计制作了包含 NPN、PNP、NMOS、PMOS、高压 LDMOS 等结构的 BCDMOS 集成电路样管. 测试结果表明, 样管性能与模拟结果相符.

关键词: 高压 BCD 集成电路; 横向双扩散 MOS 器件; 工艺集成; 工艺兼容

中图分类号: TN433

文献标识码: A

文章编号: 1000—7180(2011)11—0072—04

The Process Integration of High—Voltage BCDMOS IC

MA Xu¹, SHAO Zhi-biao¹, YAO Jian-feng², ZHANG Guo-guang²

(1 School of Telecom, Xi'an Jiaotong University, Xi'an 710049, China;

2 Foshan Blue Rocket Electronics Co., LTD., Foshan 528000, China)

Abstract: The structure and process of high voltage BCDMOS are studied and optimized in this paper. The BCD—MOS IC includes NPN, PNP, NMOS, PMOS and high voltage LDMOS structure. The emphasis of the process is to implement these devices on one chip and optimize the structures and process of these devices. The process simulation software T—SUPREM and device simulation software MEDICI are used to optimize the devices structure and process parameters. The BCDMOS IC's which accord with the design request are taped out and the BCDMOS process are developed finally.

Key words: high voltage BCDMOS—IC; LDMOS; process integration; process compatible

1 引言

功率集成和智能功率集成的需求, 使 CMOS 高压集成电路的研究与产品开发受到广泛重视^[1-2]. 高压 MOS 器件、低压双极型集成及 CMOS 集成电路工艺都已相当成熟, 因此高压 BCD (Bipolar/CMOS、DMOS) 集成电路研究的重点就在于如何将耐高压的功率 MOS 器件与低压的 BiCMOS 电路的工艺兼容起来, 研究材料的选择、杂质浓度的调整、结深的控制、掺杂分布的确定和结构参数等方面如何互相兼顾和优化, 以及对高压功率器件的结构如何进行相应的调整等等. 这些问题的深入探讨, 对于高压功率集成电路结构和工艺的设计开发具有重要的意义. 兼容三类器件 (Bipolar/CMOS、DMOS) 的 BCDMOS 集成电路标准工艺生产线, 国

内还鲜见报道. 文中在原有双极型工艺的基础上, 开发一套适用于以 Bipolar 为基础的生产线工艺流程, 设计典型 BCD 电路实验样品, 采取提出的工艺流程进行流片.

2 高压 BCDMOS 器件结构和工艺设计

图 1 为高压 BCDMOS 器件结构的示意图. 图中从左至右依次为 NPN、PNP、NMOS、PMOS、LDMOS 器件. 设计了两种高浓度的埋层, 分别为 P⁺埋层和 N⁺埋层. 其中 P⁺埋层的作用是作为下隔离和提高 LDMOS 耐压, N⁺埋层主要是为了降低 NPN 管的集电极串联电阻. 而低浓度的外延层设计主要是考虑了 LDMOS 的耐压和导通电阻. 为了保证 Bipolar 晶体管的 β 参数和击穿电压, 单独做了基区和集电区; 为了保证 CMOS 器件的参数, 独立设置了

要一步单独的高温退火. 该步所需温度很高, 经过理论计算和模拟, 确定为 1250°C 左右. 为了抑制缺陷的产生, 退火所用气氛为 $\text{N}_2 + \text{O}_2$.

3.2 外延后至有源区工艺设计

隔离需要的热处理时间长, 外延后首先完成隔离工序. 接着进行 P 阱和 N 阱的制作. 这是因为阱的制作同样需要的热处理时间较长. 因为场氧的厚度对于 LDMOS 的耐压有直接关系, 故其厚度应该达到适当厚度 ($8000\text{\AA}$). 由于衬底硅材料的晶向为 P(100), 生长 SiO_2 需要的时间较长, 为了不对前面的结深等参数造成影响^[3], 采用温度不宜太高. 另外, 有源区的光刻条件设置比较严格, 需要考虑对位标记的设置等因素, 有源区产生对版偏差或者其它的错误, 会造成后续工序的套刻偏差, 导致器件性能下降. 所以这一步要求对位误差在 $0.1\mu\text{m}$ 以内. 有源区光刻后, 场氧前增加两道工序, 进行 P 沟道截止环和 N 沟道截止环注入, 以增大器件的寄生 MOS 管的阈值电压.

3.3 有源区到栅氧之前工艺设计

有源区后考虑先形成 Bipolar 的结构. 在 CMOS 工艺中, 不存在很高温度的热处理过程, 而在 Bipolar 的各个结构形成过程中, 需要几步高温处理, 如集电极和基区退火等. 首先制作 Bipolar 结构中的集电极(即深磷注入扩散)和基区. 其中需要精确控制的是基区的注入剂量及退火工艺的控制. 因为 Bipolar 结构中的发射区是在基区里面形成的, 器件最终的放大倍数 β 对该步骤有很强的依赖关系. 考虑到 CMOS 器件中 V_{TH} 的稳定性和预定值, 必须在栅形成之前做一步阱区阈值电压调节的注入^[3]. 注入的剂量非常小, 注入机难以控制, 可以采用测试 C-V 特性曲线方法来确定注入剂量是否稳定以及是否达到 V_{TH} 的调整要求. 栅氧的质量要求高, 它对 CMOS 器件的性能影响很大, 对 LDMOS 的影响同样也很大. 可以采取“干法氧化+湿法氧化+干法氧化”工艺交替的三明治夹心结构. 为了使三明治夹心结构更为致密, 在氧化后需要进行同温度的退火. 栅氧温度不宜太高, 以免反应速度太快, 影响厚度的精确控制, 导致器件 V_{TH} 波动. 栅的刻蚀也是工艺难点, 栅刻蚀最重要的是栅条截面的角度和刻蚀时对硅表面的损伤程度. 通过调整干法刻蚀机和设置工艺参数, 取得了 PROFILE 在 85° 度以上的刻蚀结果, 如图 2 所示.

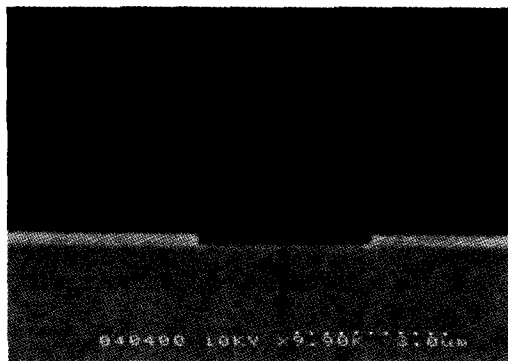


图2 多晶硅刻蚀的实验结果

3.4 栅至侧墙工艺设计

实现 LDMOS 有两种方案. 第一种是非自对准工艺, 即在栅形成之前制作 LDMOS 的基区 (D-Base, 也可成为 P 阱). 非自对准工艺的优点是可以自由控制 LDMOS 的沟道长度, 不受扩散的限制^[4]. 第二种为自对准工艺. 即 LDMOS 的基区是在栅氧之后形成的. D-Base 工艺的设置对于 LDMOS 最终器件的性能有决定作用, 所以这一步的注入剂量和退火温度的精确控制是至关重要的.

3.5 LDD 至源漏的制作工艺设计

采取了 LDD 工艺结构, 以提高 CMOS 器件耐压. 为了使 LDD 结构作用明显, 各使用了一次单独退火. 而源和漏的设计至关重要, 因为 NMOS 器件的源漏还要兼做 NPN 管的发射区、LDMOS 器件的源漏区, 应综合考虑三种不同类型器件设计的需要. 同样, PMOS 器件的源漏同时兼做 PNP 管的发射极和集电极. 考虑 MOSFET 器件源和漏区不能太浅, 否则就不能达到预期的电流值; 但也不能做的太深, 否则会使 NPN 管的 β 过大^[5], Bipolar 的设计性能会得不到保证. 所以, 在工艺条件设置的时候要依据设计要求, 进行综合考虑.

其后的工艺设计是引线孔、介质层和金属的工艺设计, 和标准生产线的常规工艺相同.

4 高压 BCDMOS 器件模拟仿真

根据以上 BCDMOS 原理和准则所设计的器件结构和工艺流程, 利用工艺模拟软件 T-SUPREM 和器件模拟软件 MEDICI 进行了模拟仿真, 得到了以下的仿真结果. 验证表明: 由于工艺线是以双极型集成电路为主的生产线, 双极晶体管的性能可以得到良好的保证, CMOS 和 LDMOS 的器件性能相对略微欠缺. 其中, NMOS 管和 LDMOS 器件的设计

仿真结果分别如图3和图4所示。

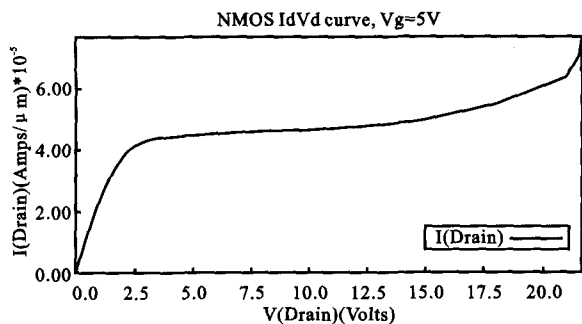


图3 NMOS 晶体管的输出特性仿真结果

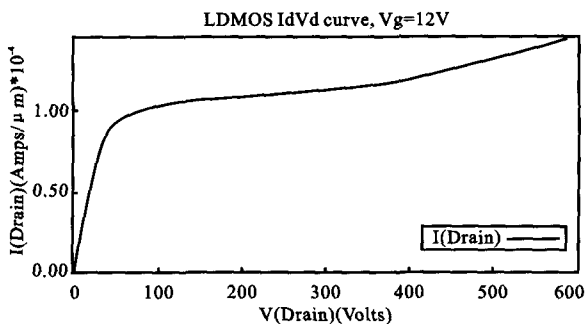


图4 LDMOS 晶体管的输出特性仿真结果

由图3和图4可见,在设计工艺条件下,得出器件的性能较为理想,NMOS的击穿电压、 I_{DS} 都达到了预期设计目标值。

5 测量结果与分析

根据器件模拟和工艺模拟结果,设计了包含有Bipolar管、CMOS和LDMOS等三类器件以及典型实验电路的BCDMOS集成电路版图,按设计流程进行了流片,对制得的样片进行了测量,具体测试结果如图5所示。

6 结束语

文中对高压BCDMOS器件的结构和工艺进行了研究和设计优化,确立了具体的工艺流程,并利用工艺模拟和器件模拟软件对提出的设计进行了模拟。采用最终确定的设计和工艺,成功流出了性能和参数符合模拟结果的高压BCDMOS集成电路各类器件和BCD实验电路,验证了设计和工艺流程的可行性和合理性。在双极集成电路工艺线的基础上,开发出一套适用于量产的BCDMOS集成工艺。

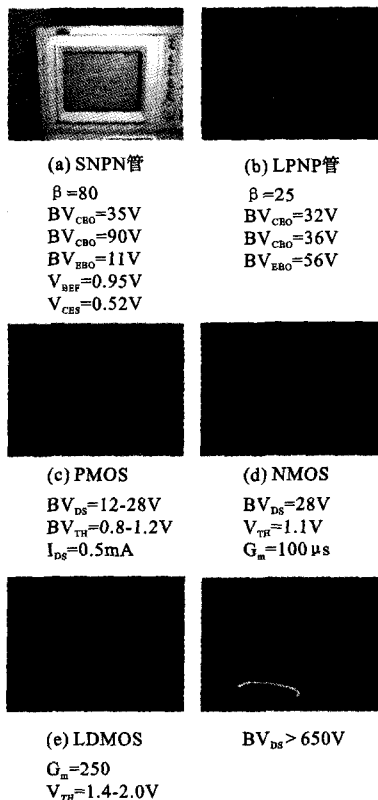


图5 各种器件结构测试的结果

参考文献:

- [1] 韩雁. 高压BCD集成电路中高压功率器件的设计研究[J]. 固体电子学与进展, 2002, 22(3): 305-309.
- [2] 陈星弼. 功率MOSFET与高压集成电路[M]. 南京: 东南大学出版社, 1999.
- [3] Kim J, Roh T M, Kim S G, et al. High voltage power integrated circuit technology using SOI for driving plasma display panels[J]. IEEE Trans Elec Dev, 2001, 48(6): 1256-1262.
- [4] Terashima T, Yamashita J, Yamada T. Over 1000V n-ch ldmofet and p-ch light With resurf structure and mutiple floating field[C]// ISPSD, 1995. Japan, Yokohama, 1995: 459-495.
- [5] Stephen A. Campbell, the science and engineering of microelectronic fabrication[M]. Beijing, Publishing House of Electronics Industry, 2003.

作者简介:

马旭男, (1979-), 硕士. 研究方向为BCDMOS工艺集成和功率集成电路设计。