

一种采用斩波—稳零技术的低功耗 Delta—Sigma 调制器的设计

范 军, 黑 勇, 陈铖颖

(中国科学院 微电子研究所, 北京 100029)

摘 要: 采用 TSMC 0.18 μm CMOS 混合信号 1P6M 工艺实现了一种应用于信号检测系统的低功耗 Delta—Sigma 调制器. 该调制器采用单环积分器级联反馈(CIFB) 结构降低了电路的复杂度, 并采用 Chopper—Stabilization 技术降低了系统的直流失调和 1/f 噪声, 提高了电路的低频特性. 调制器采用 1.8V 电源电压, 整体功耗仅为 2mW, 版图尺寸 1.25 $\times$ 1.3 mm². 仿真结果表明, 该调制器在 50kHz 信号带宽范围内, 可以达到 92dB 的信噪失真比, 99.3dB 的动态范围和 15 bits 的有效位数, 满足传感器信号检测系统的要求.

关键词: Delta—Sigma 调制器; 斩波—稳零技术; 直流失调; 传感器

中图分类号: TN432

文献标识码: A

文章编号: 1000—7180(2011)11—0076—05

The Design of Low—Power Delta—Sigma Modulator Utilizing Chopper—Stabilization Technique

FAN Jun, HEI Yong, CHEN Cheng-ying

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A low—power Delta—Sigma modulator for system of signal detection is presented, which is implemented in TSMC 0.18 μm 1P6M CMOS mixed—mode signal process. The modulator adopts structure of Cascaded of Integrator FeedBack (CIFB) for low complexity and chopper—stabilization technique for improvement of dc—offset and 1/f noise characterization. The power dissipation of modulator is 2mW at supply of 1.8V, the dimension of whole layout is 1.25 $\times$ 1.3 mm². The post—simulation of modulator shows that 92dB SNDR and 99.3dB SFDR and 15bits ENOB have been achieved within bandwidth of 50 kHz. The modulator is suitable for signal detection system of sensor.

Key words: Delta—Sigma modulator; chopper—stabilization technique; DC offset; sensor

1 引言

近年来,随着无线通信和微弱信号检测的高速发展,A/D转换器日益成为系统中的关键模块.在众多的 A/D 转换器类型中,基于 Sigma—Delta 技术的过采样调制器,由于其可达到很高转换精度的同时避免了对片上器件严格的匹配要求,已经成为实现高精度 A/D 转换器的有效实现方式^[1].

在基于传感器的高精度信号检测系统中,要求

在整个信号频带(20Hz~50kHz)范围内都需要有良好的性能.通常在低频,需要采用特殊的电路技术来降低噪声和失调对系统性能的影响.斩波—稳零(Chopper—Stabilization)是一种有效的提高系统低频特性的电路技术,通常应用在 Delta—Sigma 调制器的第一级积分器来降低运算放大器产生的 1/f 噪声和直流失调的影响.

文中采用 TSMC 0.18 μm 混合信号工艺实现了一种低功耗 Delta—Sigma 调制器,该调制器采用

Chopper—Stabilization 积分器,有效提高了调制器的低频特性和信噪比。

2 调制器的结构设计

如果将 Delta—Sigma 调制器的量化噪声近似认为是与频率无关的白噪声(white noise),并且只考虑量化噪声的情况下,理想的调制器动态范围如式(1)。

$$DR = 10 \lg\left(\frac{3}{2}(2^B - 1)^2\right) + 10 \lg\left(\frac{2L+1}{\pi^{2L}} \text{OSR}^{2L+1}\right) \quad (1)$$

其中, B 为量化器位数, L 为调制器的阶数, OSR 为过采样比。

从式(1)可以看出,在动态范围一定的情况下,需要调整量化器位数、调制器阶数和过采样比等 3 个参数以满足调制器的要求。选择多位(multibit)量化器虽然可以提升调制器的动态范围,但是,由于多位反馈 DAC 匹配精度的限制,需要额外的动态匹配元件(DEM) 电路来降低非线性。另外,考虑低功耗设计,调制器的过采样比和阶数也需要进行折衷考虑。在 50kHz 信号带宽的情况下,实现 16bit 线性度的调制器,由式(1) 计算,选择过采样比 $\text{OSR} = 128$, 3 阶 1bit 量化器结构。

单环积分器级联反馈(CIFB) 的调制器结构如图 1 所示。这种结构相对多级级联结构(MASH) 的优点是结构简单,不需要考虑系数的匹配和噪声泄漏问题,可以达到很高的精度^[2]。图 1 所示的 Delta—Sigma 调制器环路滤波器开环传递函数(LF) 和噪声传递函数(NTF) 如式(2)、(3) 所示,Matlab 行为级仿真结果如图 2 所示。

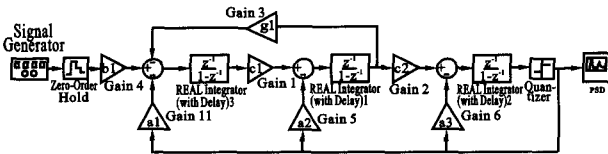
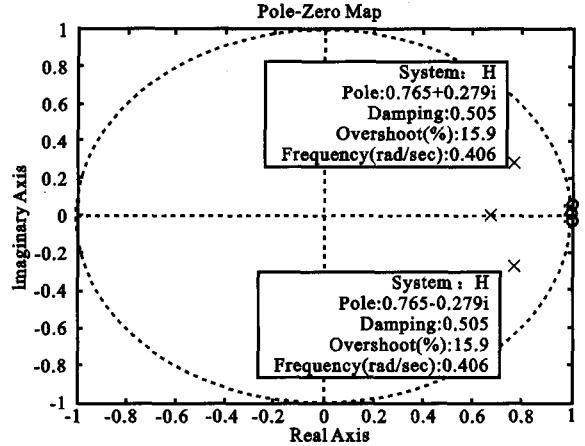


图 1 单环积分器级联反馈结构 Delta—Sigma 调制器

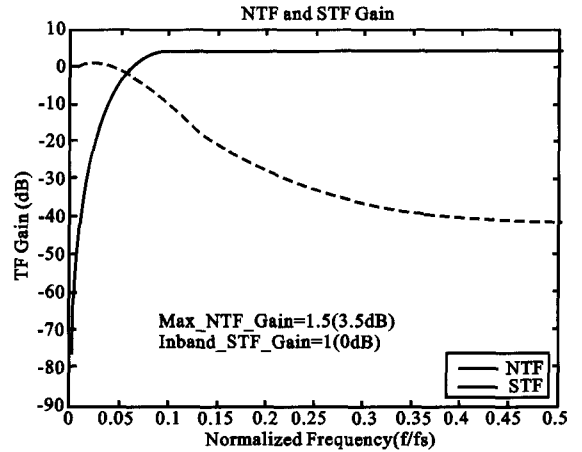
$$LF(z) = c_3 a_3 \left(\frac{1}{z-1}\right) + c_2 c_3 a_2 \left(\frac{1}{z-1}\right)^2 + c_1 c_2 c_3 a_1 \left(\frac{1}{z-1}\right)^3 \quad (2)$$

$$\text{NTF}(z) = \frac{(1-z)^3}{(z-0.6694) \cdot (z^2 - 1.531z + 0.6639)} \quad (3)$$

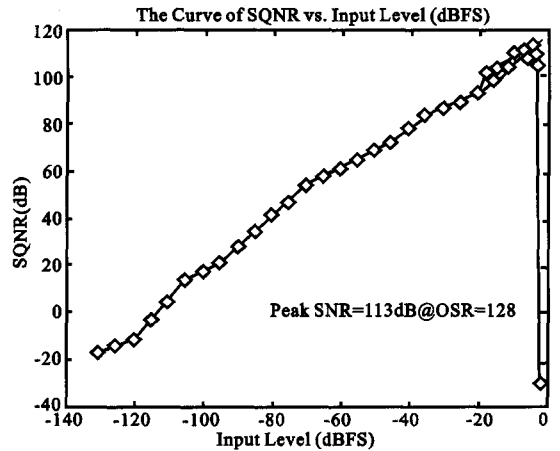
其中,图 2(a) 为 NTF 的零极点分布图,图 2(b) 为 NTF 和 STF(信号传递函数) 的幅频特性图,图 2(c) 为调制器的信噪比(SNR) 随输入信号幅度关系图。



(a) 调制器零极点分布



(b) 调制器 STF 和 NTF 幅频特性



(c) 调制器输入幅度与 SNR 关系

图 2 Delta—Sigma 调制器 Matlab 仿真结果

由图 2(b) 可知,STF 在信号带宽范围内近似为单位增益,而带外 NTF 的最大增益为 1.5,满足单环高阶调制器的稳定性要求。根据 Matlab 行为级仿真结果确定合适的系数,得出优化的调制器 NTF。在 50kHz 信号带宽范围内,考虑基本的非理想因素,得出调制器的最大 SNR 为 95dB,有效位数可达到 15.5bits。

3 调制器电路设计

采用 Chopper - Stabilization 技术的 Delta - Sigma 调制器主要由采样开关、电容、chopper 积分

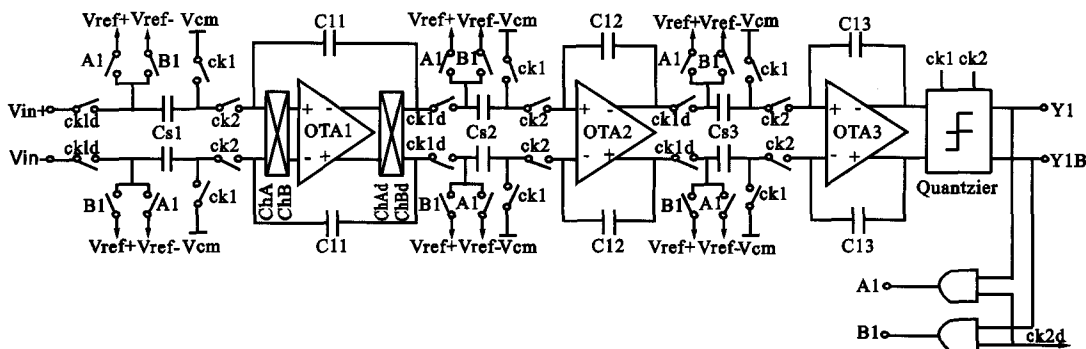


图3 单环 CIFB 结构 Delta - Sigma 调制器示意图

3.1 Chopper - Stabilization 基本原理

对于低频应用, 运算放大器的输入失调电压 (input-referred offset voltage) 和 $1/f$ 噪声是主要的噪声源, 其功率谱密度如式(4):^[3].

$$S_{v,1/f} = \frac{K}{WLC_{ox}f} \quad (4)$$

其中, K 为工艺参数, W 和 L 分别为 MOS 管的宽和长, C_{ox} 为单位面积栅电容, f 为 MOS 工作频率. 从式(4)可以看出, $1/f$ 噪声与 MOS 的面积成反比, 但是 MOS 面积太大会增加输入端的寄生电容, 需要降低 $1/f$ 噪声和直流失调.

Chopper - Stabilization 是一种有效降低 MOS 管低频噪声的技术. 这种技术先将信号调制至高频, 然后再与运算放大器的失调电压和 $1/f$ 噪声叠加, 最后信号在放大器输出端同频解调至信号带宽, 同时将 $1/f$ 噪声和直流失调电压移频至斩波频率的奇次谐波频率上^[4]. 经过放大器解调之后信号的 k 阶傅立叶级数展开如式(5):^[5].

$$V_{out}(t) = 4Av_{in} \sum_{k=1}^{\infty} \frac{\sin(\frac{k\pi}{2})}{\frac{k\pi}{2}} \cos(2\pi f_{chop} kt) \cdot \sum_{n=1}^{\infty} \frac{\sin(\frac{n\pi}{2})}{\frac{n\pi}{2}} \cos(2\pi f_{chop} nt) \quad (5)$$

理论上, 只要斩波频率高于 MOS 管的转角频率, 就可以将直流失调和 $1/f$ 噪声消除.

图4是第一级 Chopper - Stabilization 积分器结构和时序图. 其中 input chopper 和 output chopper 分别为输入和输出斩波开关. 其积分器在积分相位

器、量化器和反馈 DAC 构成. 图3是单环 CIFB 结构的 Delta - Sigma 调制器示意图. 其中 ChA/ChAd 和 ChB/ChBd 分别为斩波时钟.

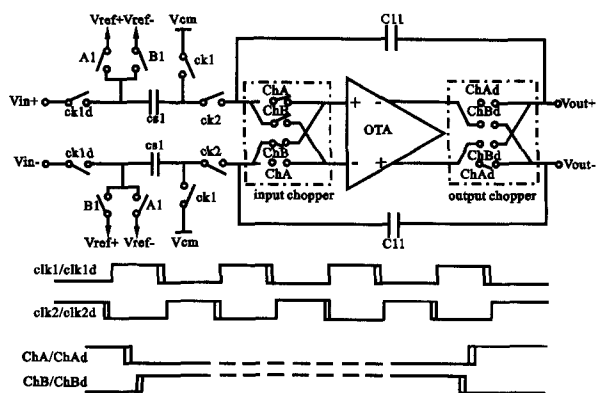


图4 Chopper - Stabilization 积分器结构和时序图的等效负载电容如式(6):^[6].

$$C_{eq,cl} = C_L + \frac{C_I \times C_p}{C_I + C_p} \quad (6)$$

其中, C_I 为积分电容, C_p 和 C_L 分别为 OTA 的输入寄生和输出负载电容. 根据各级 OTA 的输出负载的需要选择合适的偏置电流, 优化电路功耗.

3.2 运算放大器的设计

如图5所示, 积分器采用全差分 cascode 结构运算放大器(OTA), 由于调制器对第一级的 OTA 要求最高, 而后级运算放大器的非线性会被环路整形, 所以只需要在第一级积分器采用 Chopper - Stabilization 结构的运算放大器.

图5中采用 NMOS 输入管来提高输入跨导, 增大增益和带宽, 降低功耗和负载器件引入的热噪声. 虽然 NMOS 输入管的 $1/f$ 噪声会高于 PMOS^[7], 但是由于设计中采用了 Chopper - Stabilization 技术, $1/f$ 噪声的引入可不计. 全差分电路中需要共模反馈电路来稳定输出共模电压, 文中采用无静态功耗的开关电容共模反馈电路(SC_CMFB). 采用的运

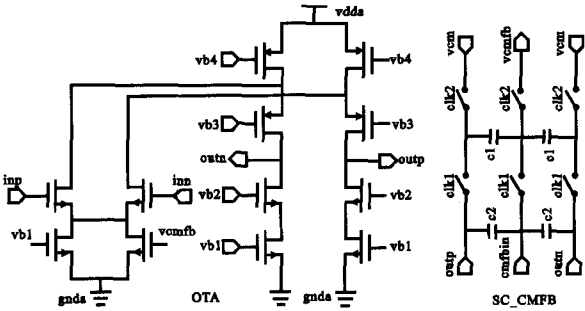


图 5 运算放大器示意图
算放大器的性能参数如表 1 所示。

表 1 运算放大器性能参数

OTA	OTA1	OTA2	OTA3
DC Gain(dB)	67	69	70
UGB (MHz)	60@4pF	50@2.5pF	50@1pF
Phase Margin (°)	85	87	87
Slew Rate (V/μs)	80	80	60
Output Swing (V)	±0.8	±0.8	±0.8
Transconductance(mA/V)	1.5	0.78	0.32
Power (mW)	0.9	0.5	0.2

3.3 量化器的设计

在调制器的末端需要量化器将积分器的输出信号转换成精度较低的数字码流。图 6 为设计的 1bit 量化器，由 NMOS 差分对(M3/M4)、CMOS 锁存器(M5—M10、M14/M15) 和 SR 触发器构成。NMOS 晶体管:M12 作为复位开关管，而 M11/M13 作为辅助管，适当降低 M12 管开 / 关转换时引入的电荷注入的影响。clk1 和 clk2 为两相非交叠时钟。

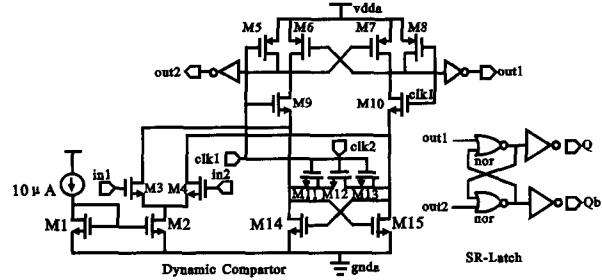


图 6 1bit 量化器电路图

对于动态比较器，比较重要的指标为失调电压 (V_{offset})、分辨精度 ($V_{resolution}$)、功耗 ($P_{consumption}$) 和延迟时间 (t_{delay})，通过对动态比较器进行 Corner、温度和 Monte—Carlo 分析，得出的量化器性能指标如表 2 所示，满足 Delta—Sigma 调制器的要求。

3.4 采样开关的设计

在开关电容积分器中，模拟开关的有限导通电阻决定了整个系统的动态范围。由于在信号采样过

程中，采样开关的导通电阻在不断的变化，所以会造成采样信号的失真。采样开关的导通电阻需满足 $R_{on} C_s f_s \ll 1$ 的约束条件来保证系统的性能，其中 R_{on} 为开关的导通电阻， C_s 为采样电容，而 f_s 为开关电容积分器的采样频率。

表 2 1—bit 量化器的性能指标

Parameter	Value
$V_{offset} (Max)$	9.5mV
$V_{resolution} (Min)$	0.1mV
$P_{consumption} (Max)$	0.09mW
$t_{delay} (Max)$	0.5ns

由于 Delta—Sigma 调制器工作在 12.8MHz 采样频率，选择 $R_{on} = 1k\Omega$ 几乎不会对调制器的性能造成影响。CMOS 采样开关的尺寸选定为：PMOS 管 $15\mu m/0.18\mu m$ 、NMOS 管 $7.5\mu m/0.18\mu m$ 。

4 实验结果

Delta—Sigma 调制器采用 TSMC 0.18μm 混合信号 CMOS 工艺实现，在进行版图设计时充分考虑调制器整体版图的布局，对噪声较为敏感的模拟电路如带隙基准源、积分器电路加多层保护环进行噪声隔离。另外将噪声较大的非交叠时钟产生电路及其时钟信号线远离带隙基准源和调制器主体电路。单元内部元器件版图尽量保证对称和环境相同。

Delta—Sigma 调制器版图如图 7 所示。整体版图(包括 PAD) 尺寸为 $1.25 \times 1.3 mm^2$ ，在 1.8V 电源电压下工作的功耗仅为 2mW。

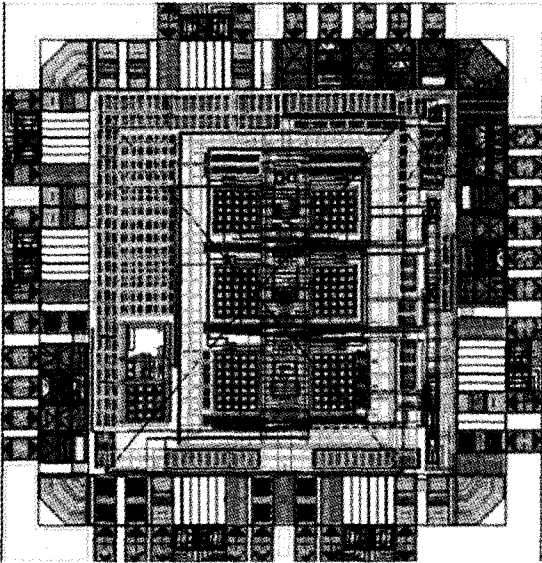


图 7 Delta—Sigma 调制器版图

在输入信号 250mV@15kHz 的情况下,Delta—Sigma 调制器的输出动态范围为 99.3dB,信噪失真比为 SNDR = 92dB,有效位数为 15 bits. Delta—Sigma 调制器的输出频谱如图 8 所示. 其中,图 8(a) 为信号带宽内的频谱,其低频噪声和失调控制在 -129dB 以下;而图 8(b) 为采样频率范围内的频谱图,带内 3 次谐波(HD3)低至 -123.5dB. 文中设计的 Delta—Sigma 调制器性能如表 3 所示.

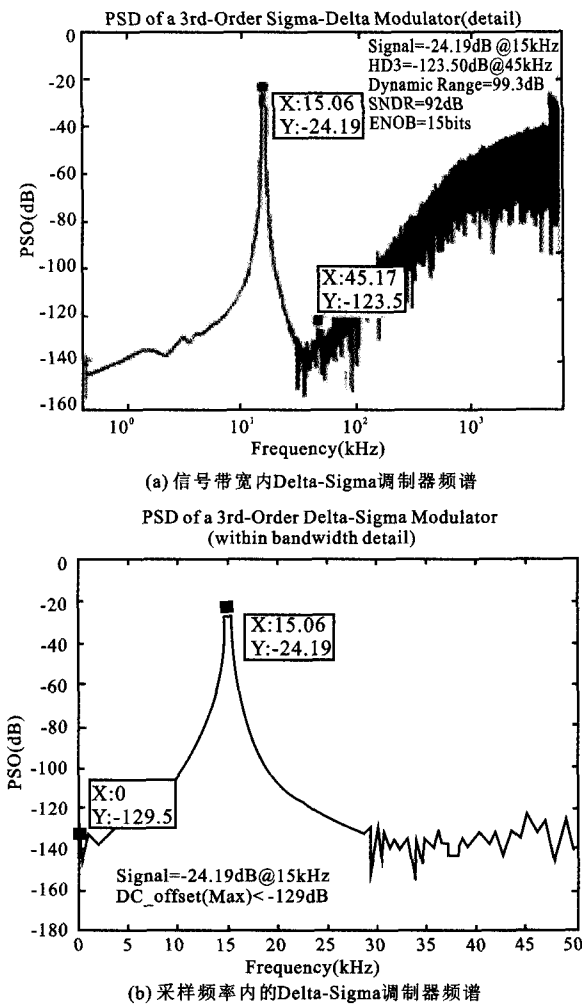


图 8 Delta—Sigma 调制器输出频谱
表 3 Delta—Sigma 调制器性能

Spec.	Delta—Sigma Modulator
Process	TSMC 0.18μm 1P6M
Supply Voltage	1.8V
Signal Bandwidth	50 kHz
Sampling Rate	12.8 MSPS
Dynamic Range	99.3 dB
SNDR	92 dB
ENOB	15 bits
Power	2 mW
Dimension	1.25×1.3 mm ²

5 结束语

文中采用 TSMC0.18μm 混合信号 CMOS 工艺实现了一种 Chopper—Stabilization 的低功耗 Delta—Sigma 调制器. 通过采用单环局部反馈结构降低了电路的复杂度,采用 Chopper—Stabilization 的积分器,有效提高了调制器的低频特性和信噪比. 采用动态比较器有效的降低了量化器的功耗. 仿真结果表明,设计的 Delta—Sigma 调制器,可以达到 92dB 的 SNDR 和 99.3dB 的动态范围,有效位数为 15bits,总功耗仅为 2mW,满足传感器信号检测系统的要求.

参考文献:

[1] Norsworthy S R, Schreier R, Temes G C. Delta—sigma data converters: theory, design, and simulations [M]. New York: John Wiley& Sons, 1990.

[2] Yang Yuqing, Amiya Chokhawala, Mark Alexander et al. A 114-dB 68-mW Chopper—stabilized stereo multibit audio ADC in 5.62mm²[J]. IEEE Journal of Solid—State Circuits, 2003,38(12):2061—2068.

[3] Chen Hsin-liang, Chen Po-sheng, Chiang Jen-shiun. A low—offset low—noise sigma—delta modulator with pseudorandom chopper—stabilization techniques [J]. IEEE Transactions on circuits and systems—I: Regular Papers, 2009,56(12):2533—2543.

[4] Christian C Enz, Gabor C Temes. Circuit techniques for reducing the effects of op—amp imperfections: autozeroing, correlated double sampling, and chopper stabilization[J]. The IEEE, 1996,84(11):1584—1614.

[5] 姚舜,顾晓峰,冯向光,等. 应用于 TCXO 的低功耗 Sigma—Delta 调制器的设计[J]. 微电子学与计算机,2010,27(10):79—82.

[6] Roh J J, Byun S,Chol Y K, et al. A 0.9V 60uW 1bit fourth—order delta—sigma modulator with 83dB dynamic range [J]. IEEE Journal of Solid—State Circuits, 2008,43(2):361—370.

[7] 李亮,陈珍海. 应用于数字音频的二阶 Sigma—Delta 调制器设计[J]. 微电子学与计算机,2010,27(7):198—201.

作者简介:

范 军 男,(1979—),硕士,助理研究员. 研究方向为高速高精度数模混合集成电路设计.

黑 勇 男,(1974—),研究员,博士生导师. 研究方向为低功耗数字集成电路设计.