

Sigma-Delta 小数分频频率综合器系统建模和仿真

刘宝宝, 李国刚, 杨 晓, 凌朝东

(华侨大学 信息科学与工程学院, 福建 厦门 361021)

摘 要: 行为级仿真平台的建立, 可以对小数频率综合器的设计提供快速全面的时域仿真. 重点分析了 2/3 多模可编程分频器和 MASH 结构调制器电路, 并给出了一种计算环路滤波器参数的新型工程方法. 建立了的 Simulink 仿真模型, 可用于检验电路结构的正确性.

关键词: $\Sigma-\Delta$; 频率综合器; 2/3 多模可编程分频器; MASH; 环路滤波器; Simulink

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)04-0080-04

System Modeling and Simulation of Sigma-Delta Fractional-N Frequency Synthesizers

LIU Bao-bao, LI Guo-gang, YANG Xiao, LING Chao-dong

(College of Information Science & Engineering, Huaqiao University, Xiamen 361021, China)

Abstract: The establishment of behavioral-level system simulation platform can provide the accurate and overall time-domain simulations for Fractional-N Frequency Synthesizers design. It laid special stress on analyzing the 2/3 multi-modulus programmable divider and MASH Σ modulator. A new approach for calculating the parameters of loop filter was given. A set of Simulink circuit modes was designed. These modes structure an integrity Σ Fractional-N Frequency Synthesizers which can be used to predict and verify the circuit topologies in practice.

Key words: $\Sigma-\Delta$; frequency synthesizers; 2/3 multi-modulus programmable divider; MASH; loop filter; Simulink

1 引言

频率综合器在无线射频收发机中起着极为关键的作用, 是现代通信系统的核心. 其主要用途就是给收发机中的变频电路提供稳定准确的本地载波信号. 由于 Σ 小数频率综合器不存在带宽与参考频率的限制关系, 并且具有良好的噪声整形性能, 因而得到了广泛的应用^[1], 其系统框图如图 1 所示.

然而, 目前多数频率综合器的系统仿真还停留在抽象的行为级层面上, 难以验证其电路的准确性, 以及系

统参数能否满足设计要求. 因此, 在设计具体电路之前, 必须先建立一个准电路级的仿真平台, 既能反映电路的真实性、准确性, 又能实现仿真的快速简便和直观高效性.

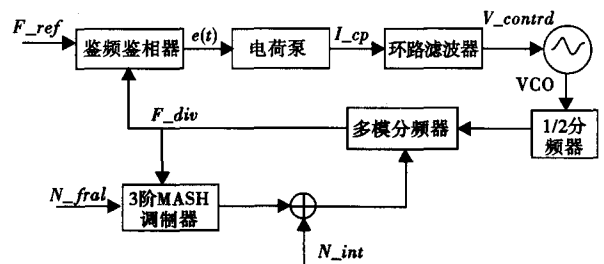


图 1 Σ 小数频率综合器系统框图

本文针对上述问题, 使用 Simulink 搭建了基于 2/3 多模可编程分频器的 Σ 小数频率综合器的准电路级时域仿真模型, 并从工程实践出发, 结合 Matlab 强大的数学计算功能, 提出了一种新型计算环路滤波器参数的方法, 可以非常方便地根据需要随时修改模型中的参数, 得出最佳的设计效果.

2 电路模块的 Simulink 实现

2.1 多模可编程分频器

本文采用如图 2(b)所示的多模预分频器结构,它由 2/3 基本分频单元(图 2(a))级联而成,与纹波计数器的连接方法类似.与一般常用的 PS 吞咽计数器的双模分频器相比,其特点是链路中不存在长延时回路,反馈路径也只存在于两个相邻的单元之间,各个模块结构相同(模块性好),因此这种结构非常利于电路和版图的设计;同时,只要简单的增加或减少 2/3 分频单元的个数,就可实现分频比范围的扩展或缩减,由于 2/3 分频单元中的 D 触发器和逻辑门一般使用源耦合逻辑电路(SCL)实现,因而很适合功耗的优化.该结构具有结构简单,设计和生产的周期短,很强的灵活性和可重复使用性等优点^[2].

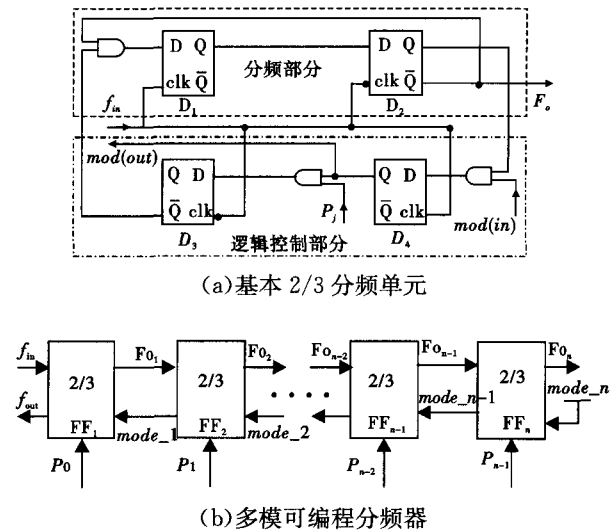


图 2 基本 2/3 分频单元与多模可编程分频点

基本 2/3 分频单元的结构中, mod_{in} 和 P 是逻辑控制输入端, mod_{out} 是下一级的使能控制输出. 一般 mod_{in} 始终被置为有效(高电平), P 为高电平时, 逻辑控制电路控制分频电路吞去一个脉冲, 实现 3 分频, 即 $f_o = \frac{1}{3} f_{in}$, P 为低电平时, 则为 2 分频. n 个 2/3 分频单元构成的分频器链的输入输出关系为

$$f_{out} = \frac{f_{in}}{P_0 + 2P_1 + 2^2P_2 + \dots + 2^{n-1}P_{n-1} + 2^n} = \frac{f_{in}}{2^n + \sum_{i=0}^{n-1} 2^i \cdot P_i} \quad (1)$$

由上式可知, 多模可编程分频器的分频比可以是 $2^n \sim 2^{n+1} - 1$ 的任意整数.

2.2 MASH 结构调制器

$\Sigma-\Delta$ 调制器的主要作用在于将由小数分频引

起的量化噪声推向高频, 利用低通环路滤波器的衰减特性将其滤除, 使得量化噪声对输出几乎没有影响. $\Sigma-\Delta$ 调制器的输出是一个随机序列, 受其控制的多模分频器的分频比也呈现随机性, 从而保证了环路相位误差的随机性, 消除了 VCO 控制电压的低频交流成分, 达到消除小数杂散的目的.

由于 MASH 结构的调制器具有结构简单、无条件稳定、易于实现等优点, 因而广泛应用于 $\Sigma-\Delta$ 小数频率综合器中. MASH 结构是由一阶调制器级联而成, 通过噪声消除电路, 只有最后一级的噪声被保留. 在实际的电路设计中, MASH 结构的调制器是由累加器和寄存器实现的^[3]. 三阶 $\Sigma-\Delta$ 调制器的输出为

$$Y(Z) = Z^{-1}X(Z) + (1 - Z^{-1})^3E(Z) \quad (2)$$

当参考频率一定时, 累加器的位宽决定了小数分频器的频率分辨率. 我们使用 simulink 丰富的逻辑模块构建了基于累加器的 3 阶 MASH 结构调制器模型, 如图 3 所示.

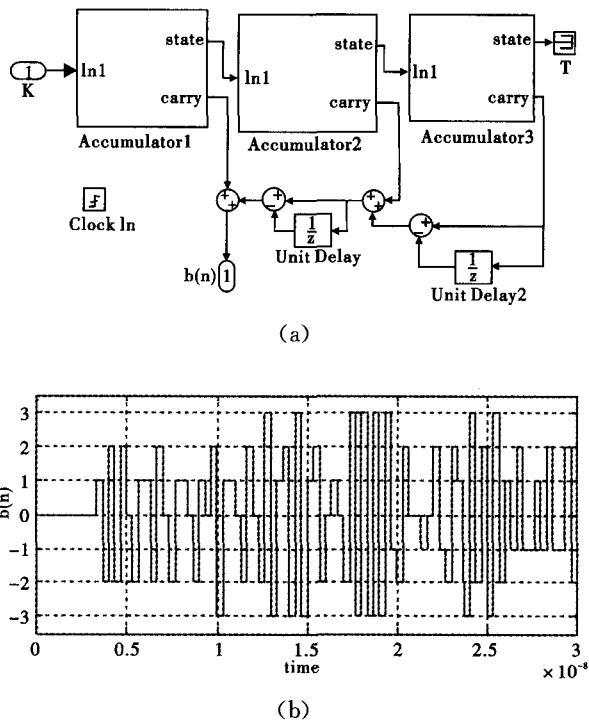


图 3 基于 Simulink 的三阶 MASH 模型及其输出

2.3 鉴频鉴相器(PFD)和电荷泵(CP)电路

鉴频鉴相器是对参考频率与经过 N 倍分频后的 VCO 输出频率进行比较, 并将频差和相差转化成电信号, 即 UP 或 DOWN 脉冲信号, 来控制电荷泵的充放电, 从而达到 $f_{vco} = Nf_{ref}$, 实现频率的跟踪和锁定. 基于 Simulink 的电路模型如图 4 所示^[4].

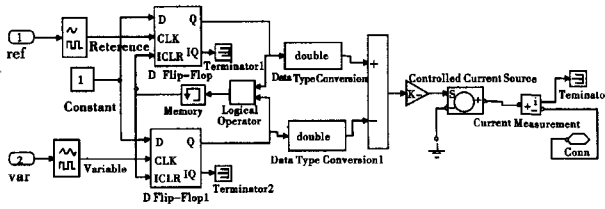


图4 PFD和CP的Simulink模型

2.4 环路滤波器

环路滤波器与频率综合器的其他组成单元有着紧密的联系,并影响着频率综合器的参考杂散、锁定时间和相位噪声等系统性能,因此,合理的设计其参数至关重要.三阶无源滤波器的传递函数可表示为

$$Z_{3rd}(s) = \frac{V_{out}(s)}{I_{cp}(s)} = \frac{1}{s(C_1 + C_2 + C_3)} \cdot \frac{1 + sR_1C_1}{1 + s \cdot \frac{R_1C_1(C_2 + C_3) + R_3C_3(C_1 + C_2)}{C_1 + C_2 + C_3} + s^2 \frac{R_1R_3C_1C_2C_3}{C_1 + C_2 + C_3}} \quad (3)$$

$Z_{3rd}(s)$ 有三个极点和一个零点,第一个极点由 C_1 产生,并且 C_1 与 R_1 共同产生一个零点,用于环路的稳定; C_2 的作用在于平滑输入控制电压的纹波并产生第二个极点;加入 R_3C_3 这一低通环节的目的在于抑制参考杂散和更好的滤除高频量化噪声,其对参考杂散的衰减度计算公式如下:

$$\alpha = 10 \log(1 + (2\pi f_{ref} R_3 C_3)^2) \quad (4)$$

这里,我们定义 $\omega_{p2} = b\omega_z$, $\omega_{p3} = k\omega_{p2}$. 一般而言, $C_1 \gg C_2$, C_3 和 $R_1 > R_3$,则零极点可近似为

$$\omega_z = \frac{1}{R_1 C_1}, \omega_{p1} = 0 \quad (5)$$

$$\omega_{p2} = b\omega_z \approx \frac{1}{R_1(C_2 + C_3)} \quad (6)$$

$$\omega_{p3} = k\omega_{p2} = kb\omega_z \approx \frac{(C_2 + C_3)}{R_3 C_2 C_3} \quad (7)$$

从而,四阶锁相环开环传递函数为

$$G_{4th}(s) = \frac{I_{cp} K_{vco}}{2\pi N} \cdot Z_{3rd}(s) \quad (8)$$

开环相位裕度为

$$\phi_m = \phi_z - \phi_{p2} - \phi_{p3} = \arctan\left(\frac{\omega_c}{\omega_z}\right) - \arctan\left(\frac{\omega_c}{\omega_{p2}}\right) - \arctan\left(\frac{\omega_c}{\omega_{p3}}\right) \quad (9)$$

由于第三个极点 ω_{p3} 距离带宽 ω_c 较远,为了计算的简便,我们忽略上式的第三项,则开环相位裕度近似为

$$\phi_m = \arctan\left(\frac{\omega_c}{\omega_z}\right) - \arctan\left(\frac{\omega_c}{\omega_{p2}}\right) \quad (10)$$

等式两边对 ω_c 微分,可得

$$\omega_c = \sqrt{\omega_{p2} \omega_z} = \omega_z \sqrt{b} \quad (11)$$

可以看到第三个极点(R_3C_3 低通环节)对系统稳定性的影响很小,在某些情况下可以忽略(满足 $5f_c < f_{p3} < f_{ref}$, $C_3 < \frac{C_1}{5}$),为了计算的简单化,我们使用二阶环路带宽 ω_c 来近似:

$$Z_{2nd}(s) = R_1 \frac{1 + sR_1C_1}{sR_1(C_1 + C_2) + s^2 R_1 C_1 R_2 C_2} = R_1 \frac{1 + s/\omega_z}{s(1 + s/\omega_{p2})} \cdot \omega_z \cdot \frac{b-1}{b} \quad (12)$$

则三阶锁相环开环增益为

$$G_{3rd}(s) = \frac{I_{cp} K_{vco}}{2\pi N} \cdot Z_{2nd}(s) \quad (13)$$

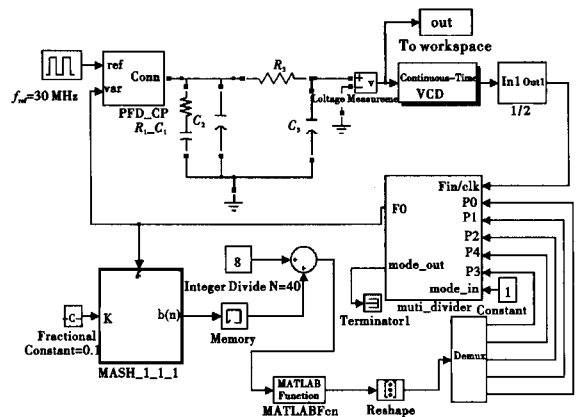
求出环路带宽:

$$\omega_c \approx \frac{I_{cp} K_{vco} R_1}{2\pi N} \quad (14)$$

根据式(3)~(14),编写相应的 Matlab 程序.通过设置电荷泵充放电电流 I_{cp} 、VCO 的灵敏度 K_{vco} 、分频比 N ,环路带宽 f_c ,以及 b 和 k 的值,就能方便地得到环路滤波器中相应的电容和电阻的值;根据这些参数就可写出相应的闭环传递函数,使用 Matlab 自带的函数,就能很方便地仿真出诸如根轨迹、阶跃响应、相位裕度等系统性能^[5].

2.5 整体系统的搭建

MASH 调制器的输出与整数分频比的和,共同构成小数分频比,控制着多模分频器的输出频率;使用 M 语言编写相应的程序,将整形变量转化为二进制数并行输出,作为多模分频器的输入控制信号,如图 5 所示.

图5 基于 Simulink 的 Σ 小数频率综合器系统总图

Simulink 中自带的 VCO 模型完全满足这一阶

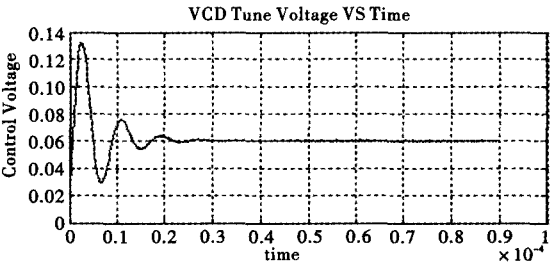
段的仿真要求;在低中频和零中频收发机系统中,必须使用正交频率来进行正交调制,因而在 VCO 输出之后,使用了二分频电路(一般使用 SCL 电路实现)^[6-7].

使用本文给出的环路滤波器参数的计算方法,通过设置合适的系统参数,如表 1 所示,便可计算出滤波器的参数.

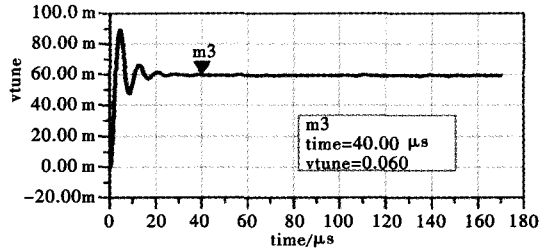
我们使用安捷伦公司的射频仿真软件 ADS 中自带的 Σ 小数频率综合器系统仿真电路对表 1 中的参数进行类似的仿真,其对比结果表明该方法非常有效,如图 6 所示.

表 1 参数的设置及计算结果

参考频率	30 MHz	C_1	4.7243 nF
中心频率	2.4 GHz	C_2	94.487 pF
环路带宽	40 kHz	C_3	0.47243 nF
VCO 灵敏度	100 MHz/V	R_1	4.211 k Ω
电荷泵 I_{cp}	0.3 mA	R_3	336.88 Ω
b	25	相位裕度	51°
k	10	杂散抑制度	68 dB



(a)本模型的 Simulink 的仿真结果



(b) ADS 的仿真结果

图 6 对比结果

3 结束语

本文讨论了目前行为级仿真所存在的问题,并建立了基于 Simulink 的频率综合器电路模型,提出了环路滤波器参数的工程计算方法.通过 Simulink 仿真平台,可以快速有效地对小数频率综合器进行时域仿真,能较全面的获得频率综合器设计的整体和各个电路模块的具体信息,有效地指导实际电路的设计,达到事半功倍的效果.

参考文献:

[1] Behzad Razavi. 射频微电子[M]. 北京:清华大学出版社,2003.

[2] 杨文荣. CMOS 单片集成的 Σ 小数频率综合器设计[D]. 上海:上海大学,2005.

[3] 池保勇 余志平. CMOS 射频集成电路分析与设计[M]. 北京:清华大学出版社,2006.

[4] 杨洪文. 基于 Simulink 的 Σ 小数 N 频率综合器行为级仿真[J]. 微电子学与计算机,2008,25(6):68-70.

[5] Keliu Shu, Edgar Sanchez-Sinencio. CMOS PLL synthesizers: analysis and design[M]. Berlin: Springer, 2005.

[6] Philip Quinlan, Patrick Crowley. A multimode 0.3-200kb/s transceiver for the 433/868/915-MHz bands in 0.25um CMOS[J]. IEEE Journal of solid-state circuits, 2004,39(12):2297-2310.

[7] Michael H Perrott, Theodore L Tewksbury, Charles G Sodini. A 27mW CMOS fractional-N synthesizer using digital compensation for 2.5Mb/s GFSK modulation[J]. IEEE Journal of solid-state circuits, 1997,32(12):2048-2060.

作者简介:

刘宝宝 男,(1982-),硕士研究生.研究方向为收发机射频前端电路设计.

李国刚 男,(1973-),副教授.研究方向为公钥加密算法设计与安全性分析.