

基于国产 SoPC 平台的外部总线的设计与实现

蔡一茂, 赵元富, 兰利东

(北京微电子技术研究所, 北京 100076)

摘 要: 可重构的 SoC(system-on-a-chip)是嵌入式系统发展的一个重要方向,它不仅可以达到较高的性能而且更加的灵活.介绍了一种国产的 SoPC(System on a Programmable Chip)平台,并基于此平台提出了一种用于重构计算的外部总线结构.通过该总线,可以通过改变不同的 IP(intellectual property)核来组成新的系统.同时回顾总结了部分动态可重构的步骤并完成了整个系统,最后给出了可重构系统的测试结果.

关键词: 部分动态可重构;嵌入式系统;外部总线;可重构片上系统

中图分类号: TP302.1

文献标识码: A

文章编号: 1000-7180(2012)05-0090-05

Design and Implementation of the Peripheral Bus Based on Reconfigurable Platform

CAI Yi-mao, ZHAO Yuan-fu, LAN Li-dong

(Beijing Microelectronic Technology Institute, Beijing 100076, China)

Abstract: Reconfiguration system-on-a-chip (SoC) is an important trend of embedded system. It is not only to achieve the higher performance but also flexible enough. In this paper, a SoPC(System on a Programmable Chip) platform is introduced and a new kind of peripheral bus used for reconfigurable computing is proposed. Using this peripheral bus, we can form a new embedded system easily by changing different intellectual property (IP) cores in a short time. This paper also overviews the process of partial dynamic reconfiguration and accomplishes a reconfigurable system. Finally, we give a result of the reconfiguration time in embedded systems.

Key words: partial dynamic reconfiguration; embedded systems; peripheral bus; reconfigurable SoC

1 引言

为了更好地发挥可编程器件的灵活性,处理器跟可编程器件的组合正被大家所广泛关注和接受,这就是可重构的 SoC^[1].可重构的 SoC 一般是由可编程逻辑和通用处理器核组成,这样的结构允许在不改变硬件结构的前提下进行一些参数,功能和指令的更新.可编程片上系统 SoPC(system on a programmable chip)就是可重构 SoC 的一种. SoPC 系统将处理器、存储器、I/O 口等系统设计,以及需要的功能模块集成到一个可编程器件上,构建成一个片上系统.它是可编程系统,具有灵活的设计方式,可裁减、可扩充、可升级,并具备软硬件的在系统可编程的功能^[2].基于 FPGA 的可重构系统就是利用

FPGA 可以多次重复编程配置的特点,实现实时电路重构^[3].Xilinx,Altera 等一些厂商开发可编程器件除了提供给用户可编程功能还将定制的 IP 核,嵌入式处理器、存储器和其他的一些复杂的逻辑都集成在单个芯片上.本文主要基于国产的 SoPC 平台,完成了外部总线的设计.

2 国产 SoPC 平台

国产 SoPC 系统硬件平台的主要内部功能块包括 CPU、FPGA 和 Memory,系统原型确定后,即可将 SoPC 系统的外部引出管脚和内部互连管脚确定.其外部引出管脚包括 FPGA 引出管脚、CPU 引出管脚等.国产 SoPC 系统设计硬件平台架构如图 1 所示.

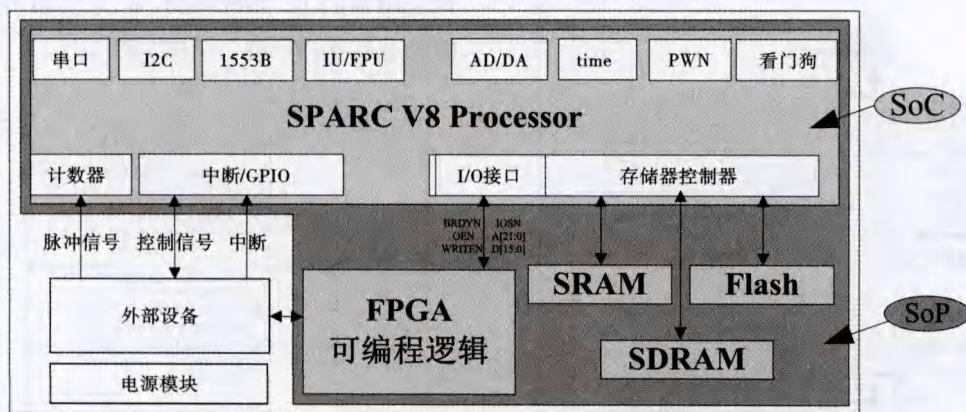


图1 国产 SoPC 硬件平台架构

国产 SoPC 平台采用的是基于 SPARC V8 体系结构的 32 位 RISC 高性能嵌入式处理器,可用于板上嵌入式实时计算机系统,能够满足各种航天应用的功能以及性能指标要求。处理器支持片上 AM-BA 2.0 总线,整数单元,多寄存器窗口,分为指令和数据总线的 Harvard 结构的 Cache 单元。片上外设包括 1553B 总线,支持 PROM、SRAM、SDRAM 的存储器控制器,GPIO 空间,12 路 24 位计数器,12 路 24 位定时器,其中 10 路带外部时钟输入和三种模式输出。外部可编程输入端口的中断控制器,I/O 接口,4 路串行接口,I2C 总线以及 DSU 调试接口。

国产 SoPC 平台的 FPGA 采用的是国产高性能内核,该内核为 30 万系统门,系统工作频率可达到 200 MHz,适用 66 MHz PCI 协议,支持 16 种高性能接口标准。内置 registers/latches 和三态总线,包括时钟管理电路,多级存储系统并支持内部三态总线和支持 IEEE 1149.1 边界扫描逻辑。

存储器 SRAM,SDRAM 和 FLASH 连接到处理器的存储器控制器上。

3 外部总线结构

外部总线是 SoPC 系统中的重要组成部分,外部总线规范是为开发 SoPC 环境下的外设而设计的。外部总线规范为外设的端口和处理器之间的数据传输提供了互联模型。它定义了一种可配置的互联策略,允许设计者选择不同的数据传输模式和进行不同的 IP 的加载,来形成完整的系统设计。总线模块具有结构简单以及可以灵活地配置等特点,其运行时钟、总线位宽、各个接口位宽以及各个外设之间的互联特性等都可以灵活地配置。总线既支持存储器控制器等高速 IP 也支持低速 IP。总线规范可

用于软核、固核和硬核,不需要使用特殊的开发工具和目标硬件,此外它几乎兼容已有的任何逻辑综合工具。整个过程都是基于 RTL 级代码,用户可以根据自己的需要进行代码的编写和删减,以达到简单高效的目的。

3.1 总线的结构

外部总线是由主设备,从设备和译码选择电路三部分组成。总线桥是总线的唯一主设备,整个总线上的传输过程都是由主设备发起的,由从设备负责响应。译码选择电路由译码器,多路选择器组成。总线最大支持 32 个从设备。

主设备:总线桥作为总线上唯一的主设备,负责处理器与外边部的 IP 之间进行数据和控制信号的转换。处理器通过总线桥来控制外部接口的操作,总线桥提供从设备读写的地址和初始控制信号。总线桥的结构如图 2 所示。系统中有两个或以上的从设备时,就需要一个译码器来选择主设备通信所需要的从设备,主设备将地址信号传给译码器,通过译码器产生 psel 信号来选中需要的从设备。译码器也会产生一个对多路选择器的控制信号,控制多路选择器对数据的选通。外部总线中,地址总线的高 5 位即 ADDR[27:23]为地址译码位,最大支持 32 个从设备。多路选择器的作用是在主设备进行数据读取或从设备向主设备传输回应信号时将正确的信号传给主设备,受到译码器产生的控制信号的控制。

从设备:从设备通过 sel 信号被选中,来发生与总线的通信。只有在 sel 有效时,总线对从设备的操作操作才有效。从设备要求数据不能超过 16 位,地址最大支持 23 位,8M 的寻址空间。

外部总线的接口信号如下所示,总线信号于 APB 总线的信号兼容,只要对支持 APB 总线的 IP

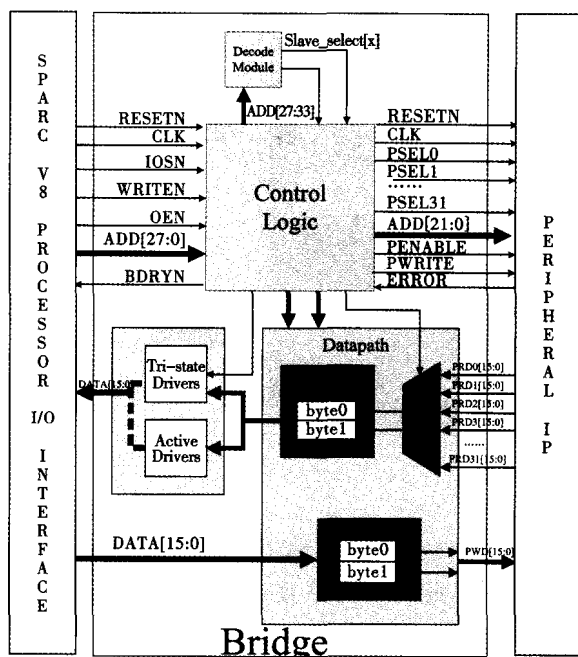


图2 外部总线桥结构

进行简单的封装就可以直接挂在该总线上。

总线信号介绍如下：

CLK(clock):总线时钟,上升沿有效。

RESETN(reset):reset信号,低电平有效。

IOSN(I/O select):I/O空间片选信号,低电平有效。

WRITEN(Write enable):写使能,低电平有效。

OEN(Output enable):数据总线读使能,低电平有效。

BRDYN(bus ready):外部数据准备好信号,低电平有效。

A[27:0], WD[15:0], RD[15:0]处理器地址线,写数据总线,读数据总线。

PESLx(slave select):从设备片选信号,高电平有效。

PENABLE(slave strobe):表示读或写的传输周期。

PWRITE:读写控制信号,高电平表示写有效,高电平表示读有效。

PA[27:0], PWD[15:0], PRD[15:0]:从设备的地址总线,读数据总线,写数据总线。

3.2 IP 接口结构

外部总线规范跟 APB 总线规范基本兼容,只要对支持 APB 总线的 IP 进行简单的封装就可以直接挂在该外部总线上。或者通过已经设计好的接口电

路对用户的 IP 进行包装,可以迅速方便的完成 IP 的加载挂载。IP 接口结构见图 3。

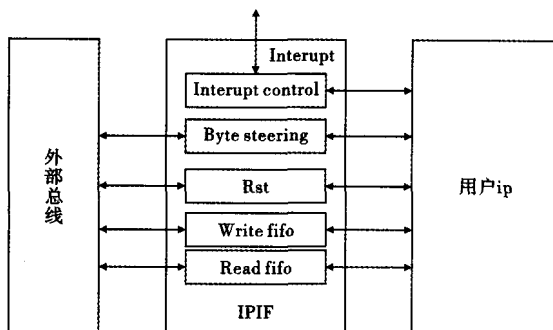


图3 IP 接口结构

外部总线通过定义 IP 核之间公共的逻辑接口和数据交换标准,减少了 SoC 集成中的问题,提高了 IP 的可重用性、可移植性和可靠性,加快了产品市场化的速度。接口的结构如图 4 所示,主要结构包括中断控制器,字节调整逻辑,读写的 FIFO 和 Rst 等,所有的结构可以根据不同 IP 的需要进行裁剪,当需要哪一个部分时可以使用。每个 IP 使用的桥的结构可以不同^[4]。

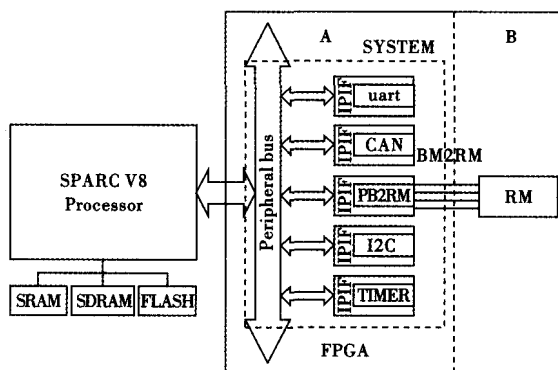


图4 可重构系统结构

4 可重构单元

4.1 结构划分

在进行整改系统设计时,将整个系统划分成两个大模块:固定模块和重构模块。固定模块放置在固定区域,运行时不被重构,包含了程序运行的基本系统和所需的基本外设;而重构模块放置在重构区域中,用以实现不同的硬件加速算法供用户选择。FPGA 资源划分以及模块放置如图 5 所示,在图 5 中区域 A、C 是固定区域,不被重构;区域 B 作为重构区域,可以放置可重构模块。所有跨越区域的连接都通过总线宏, BM2RM 跨越区域 A、B 的边界,作为重构模块和外部总线之间的界面^[5]。

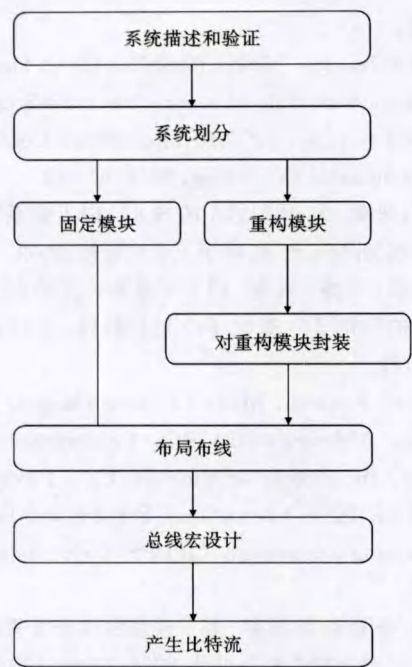


图 5 可重构的设计流程

4.2 模块设计

对每个模块进行单独的设计,综合,布局布线,

整个结构主要有;两个大模块组成:系统模块和可重构模块. 系统模块包括处理器,外部总线和不被重构的 IP 核. RM1 和 RM2 模块是系统中的重构模块. 设计完成后单独在各自工程中对模块进行编译、综合以及布局布线等工作,并将网表发布到指定目录中,方便后期的模块封装工作. 各个模块实现后应在 FPGA 编辑器中检查生成的文件,保证每个模块都被限制在约束文件指定的区域内,总线宏也根据约束文件放在指定位置且在每个模块的生成文件中其占用的长线位置总是不变的.

5 设计流程

整个的设计流程如图 6 所示:首先,按照常规的方法完成一个完整的系统,并进行功能的验证. 该系统应该具有所有的功能模块和重构系统需要的所有单元. 第二步将完整的系统分成固定部分和可重构部分. 重构模块进行封装,在其顶层加上模块的信号接口,对每个模块进行单独的综合与布局布线. 接下来就是进行总线宏的设计,连接重构模块和总线,保证它们之间的通信. 最后产生比特流,设计完成^[5].

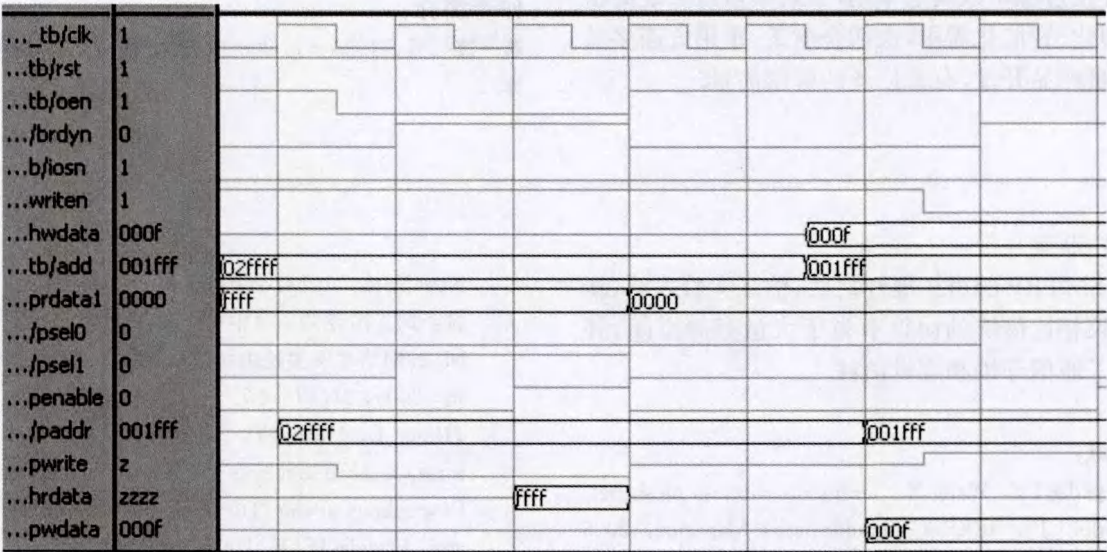


图 6 系统仿真时序

6 实验结果

本设计使用 Verilog HDL 语言实现了外部总线,图 6 是使用 ModelSim 对总线进行仿真的波形图. 我们完成了一个读周期和一个写周期的操作,结果显示功能正确.

该系统由处理器,外部总线,两个可重构模块和其他的外设模块组成. 在系统运行期间,当需要进行

模块重构的时候,处理器将所有被可重构过程中断的模块停止与系统的交互,以免发生错误. 接下来处理器将对新的模块进行部分的重构操作,只刷新 FPGA 的部分区域. 我们测量了模块的重构时间,如表 1 所示.

可以得知使用该外部总线,成功的完成了动态重构,重构不但没有影响内部其他模块的功能而且比静态重构节省了大部分的时间.

表 1 系统重构时间对比

	Static	RM1	RM2
比特流大小/kB	1 532	143	246
重构时间/ms	4 398	339	604
重构时间比	1	0.077	0.137

7 结束语

本文完成了基于可重构平台的外部总线是设计与实现,并给出了一个动态可重构的实例.该总线结构简单,易于实现,可配置,并可以支持多个从设备,应用广泛等特点.可重构计算是未来多核处理器的一个发展趋势,在系统中可预先包含多个不同功能的配置文件,根据现场的需要进行相应的配置,实现部分动态可重构的功能,既节省了开发成本,又满足了一些特殊系统的设计要求,也体现出可重构 SoC 现场升级,灵活运用的设计理念^[6].该方案的提出,使系统的开发过程大为简化,用户只需要简单的步骤就可以完成新的系统或者对原来的系统进行升级,此开发过程可以满足军用,宇航领域对系统高密度、小型化、智能化需求,也适合航天、军用方面多品种少批量产品开发,有着广泛的应用前景.

参考文献:

[1] Daniel Kriesten, Volker Pankalla, Ulrich Heinkel. An application example of a run-time reconfigurable embedded system[C]//2010 International Conference on Reconfigurable Computing, 2010:97-112.

[2] 王刚,张激. 基于 FPGA 的 SOPC 嵌入式系统设计与典型实例[M]. 北京:电子工业出版社,2009.

[3] 李炳新,汪波,张辉. 用于可重构计算的 FPGA 开发平台的研究[J]. 微电子学与计算机, 2010,27(11): 139-142.

[4] Fabrizio Ferrandi, Marco D. Santambrogio, Donatella Sciuto. A design methodology for dynamic reconfiguration: the caronte architecture[C]// Proceedings of the 19th IEEE International Parallel and Distributed Processing Symposium (IPDPS'05). Italy: IEEE, 2005.

[5] 许骏,晏渭川,彭澄康. 基于模块的动态可重构系统设计[J]. 计算机工程与设计,2008,29(8):1367-1369.

[6] 漆锋滨,王珊珊,姜小成,等. 可重构计算及可重构编译技术研究[J]. 微电子学与计算机, 2007, 24(10): 36-38.

作者简介:

蔡一茂 男,(1986—),硕士研究生.研究方向为可重构计算.

(上接第 89 页)

上证明 SMTRP 的可扩展性之后,仿真实验表明,新路由由协议相比传统的协议节省了大量存储空间,并且减少了通信开销和能量消耗.

参考文献:

[1] Akyildiz I F, Wang X. survey on wireless mesh networks [J]. IEEE Communications Magazine, 2005 (43): 23-30.

[2] 丘小兰,李陶深,葛志辉. 无线 Mesh 网络多网关选播 QoS 路由模型研究[J]. 微电子学与计算机, 2010,27(8):116-118.

[3] Jain K, Padhve J, Padmanabhan V, et al. Impact of interference on multi-hop wireless network performance [C]//Proceedings of the 9th Annual International Conference on Mobile Computing and Networking.

New York: ACM, 2003:66-80.

[4] 杨孟珂,杨亚涛,白中英. 基于 HWMP 协议的无线 Mesh 网络多网关路由协议研究[J]. 微电子学与计算机, 2009, 27(12):4-7.

[5] Hester L, Huang Y, Allen A, et al. NeuRFon-net-form: a self-organizing wireless sensor network [C]// Proceedings of the 11th IEEE ICCCN Conference. Miami, Florida:IEEE, 2002:364-369.

[6] Zheng J, Lee M J. A resource-efficient and scalable wireless mesh routing protocol [J]. Ad Hoc Networks, 2007: 704-718.

作者简介:

王江涛 男,(1978—),博士,高级工程师.研究方向为计算机网络.