

薄型双漂移区高压器件新结构的耐压分析

李 琦, 王卫东, 赵秋明, 晋良念

(桂林电子科技大学 信息与通信学院, 广西 桂林 541004)

摘 要: 提出与 CMOS 工艺兼容的薄型双漂移区(TD)高压器件新结构. 通过表面注入掺杂浓度较高的 N^- 薄层, 形成不同电阻率的双漂移区结构, 改变漂移区电流线分布, 降低导通电阻; 沟道区下方采用 P 离子注入埋层来减小沟道区等位线曲率, 在表面引入新的电场峰, 改善横向表面电场分布, 提高器件击穿电压. 结果表明: TD LDMOS 较常规结构击穿电压提高 16%, 导通电阻下降 31%.

关键词: 薄型双漂移区; 调制; 击穿电压; 导通电阻

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2012)02-0129-04

Breakdown Voltage Analysis of High Voltage Device With Thin Double Drift Region

LI Qi, WANG Wei-dong, ZHAO Qiu-ming, JIN Liang-nian

(School of Information and Communication Engineering, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: A novel high voltage device with thin double drift region (TD) is proposed, which is compatible with CMOS technology. The double drift region with different resistivity is formed through implanting N^- layer of high doping concentration on the surface of the device. The on-resistance is lowered due to the change of current line distribution, and the curvature effect in the channel and distribution of the surface electric field are improved by P buried layer under the channel, which results in higher breakdown voltage. The results indicate that the breakdown voltage of TD device is increased by 16% and on-resistance decreased by 31% in comparison to conventional LDMOS.

Key words: thin double drift region; modulation; breakdown voltage; on-resistance

1 引言

LDMOS 是一种常用的横向高压器件, 其优点是工艺简单, 可以采用结隔离和介质隔离实现. 为承受高击穿电压, 要满足降低表面电场原理(RE-SURF)^[1]. 近年来, 为改善器件击穿电压和导通电阻之间的折中关系, 研究人员进行了大量的实验研制和数值仿真, 提出了许多新技术和新结构: 在硅衬底器件中加入变介电常数介质, 可以改变临界击穿电场和提高击穿电压^[2-3]; Hardikar 研制了变掺杂 double RESURF LDMOS, 导通电阻较常规结构降低近一半^[4]; 采用磷离子注入工艺在 SOI 器件的

埋氧层上形成 n 型隔离岛, 使纵向临界击穿电场提高近 3 倍, 显著改善纵向击穿特性^[5]; 石广源研究了 VUMOSFET 阈值电压的最优化设计^[6]; 张波提出了 REBULF 结构, 在衬底中引入全耗尽的低掺杂埋层, 使体内电场重新分布, 击穿电压高达 1 200 V^[7-9].

本文提出与 CMOS 工艺兼容的薄型双漂移区(TD)高压器件新结构, 其机理是通过表面注入掺杂浓度较高的 N^- 薄层, 形成不同电阻率的双漂移区结构, 改变漂移区电流线分布, 降低导通电阻; 沟道区下方采用 P 离子注入埋层来减小沟道区等位线曲率, 在表面引入新的电场峰, 改善横向表面电场分

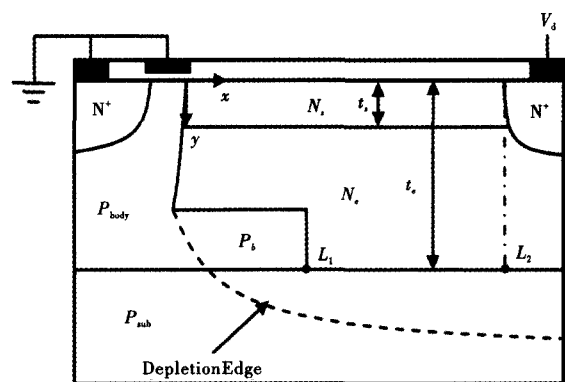
收稿日期: 2011-05-25; 修回日期: 2011-07-17

基金项目: 广西自然科学基金(2010GXNSFB013054); 广西千亿元产业重大科技攻关工程项目(桂科攻 11107001-20)

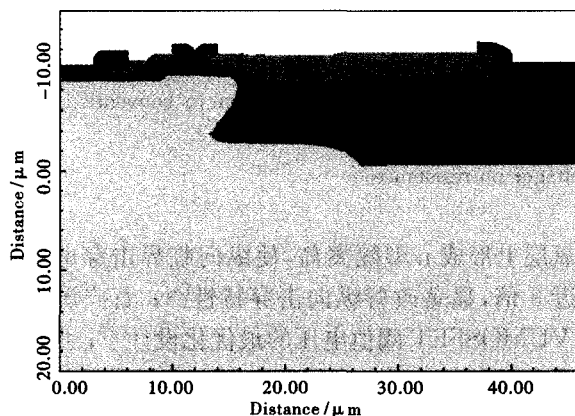
布,增加优化漂移区浓度,提高器件击穿电压。

2 器件结构

图 1(a) 是 TD LDMOS 的结构图。漂移区表面注入 N^- 薄层掺杂浓度和结深分别为 N_s 和 t_s , 漂移区掺杂浓度为 N_e 和漂移区厚度为 t_e , P 型埋层的掺杂浓度、厚度和长度分别为 P_b 、 t_b 和 $L_b = L_1$, P_{sub} 为衬底浓度, 漂移区长度为 $L_d = L_2$ 。图 1(b) 所示为 TD LDMOS 工艺仿真结果。在标准 P 阱 CMOS 工艺基础上, 增加两步工序: (1) 外延之前 P 型埋层注入; (2) 场氧前表面磷注入形成表面 N^- 层。该器件并没有增加额外的特殊工艺步骤, 与低压 CMOS 工艺完全兼容, 降低了工艺成本。



(a) TD LDMOS 结构



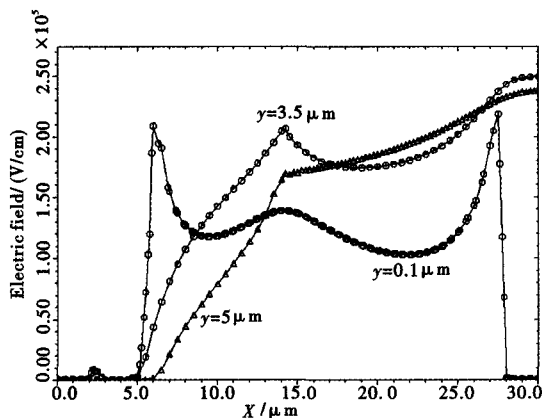
(b) TD LDMOS 工艺仿真

图 1 TD LDMOS 结构与工艺仿真

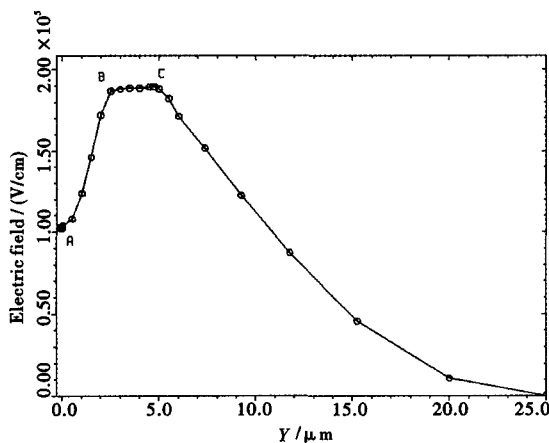
3 结果与讨论

图 2 所示为 TD LDMOS 横向电场和纵向电场分布。在漂移区中部, 相比较常规结构, TD 结构在 P 型埋层附加电场的调制作用下出现新的电场峰值, 当 $y = 3.5 \mu\text{m}$ 时, 即埋层的界面处, 新电场峰值几乎与漏极相同, 约为 $2.1 \times 10^5 \text{ V/cm}$, 该处的埋层电场调制作用最强; 随着趋于表面, 电场峰值逐渐减

弱, 表面处约为 $1.3 \times 10^5 \text{ V/cm}$ 。由于新电场峰值的出现, 导致漂移区始端和末端的电场峰值降低, 漂移区中部的电场提升, 使表面电场分布趋于均匀, 改善了表面电场分布, 从而可以获得更高的横向击穿电压。从图 2(b) 中可以看到 TD 结构在表面 N^- 层中 (AB 段), 纵向电场上升较快, 在 t_s 处 (B 点) 出现一个明显的转折点, 由于 N_s 较低,



(a) 横向电场分布



(b) 纵向电场分布

图 2 TD LDMOS 电场分布

漂移区中纵向电场增加缓慢 (BC 段), 在 P 型衬底中纵向电场直线下降。常规结构漂移区中纵向电场近似直线上升 (AC 直线), 说明 TD 结构改善了纵向电场分布, 其漂移区纵向电场的折线分布提高了纵向击穿电压, 纵向击穿电压提高的幅度为曲线 ABCA 所包围的面积。随着 N_s 的提高, 表面层中电场上升更快 (AB 斜率更大), 纵向击穿电压提高更多。

图 3(a) 所示为埋层长度对击穿电压的影响。P 埋层的附加电场, 使表面 L_1 处出现一个新的电场峰值, 埋层 L_b 越大, 对漂移区表面电场的调制作用越强。 $P_{body} N_s$ 结电场随着 L_b 的增加而降低, $N_s N^+$ 结电场正好相反。埋层长度越大, 优化漂移区浓度越

高. 当埋层浓度较小时, 击穿电压随着 L_1 几乎线性增加, 这是因为漂移区总 N 型杂质浓度较高, 随着 L_b 的增加, $N_s N^+$ 结电场增大, 但是 L_b 最大增加至 L_d 时, 仍然没有达到 $N_s N^+$ 结和 $P_{\text{body}} N_s$ 结相等; 当埋层浓度较大时, 最优 L_1 随着埋层浓度的增加而降低. 图 3(b) 中, 埋层长度为漂移区长度的一半, 这时通过优化 P 埋层浓度和厚度可获得最大的击穿电压. 最优漂移区浓度 N_e 随着埋层掺杂浓度的提高而增大, 在器件的优化中, 为了最大程度地降低导通电阻, 需要增加埋层掺杂浓度, 但是也不能无限制增大, 否则会导致埋层严重不完全耗尽, 器件的击穿电压下降.

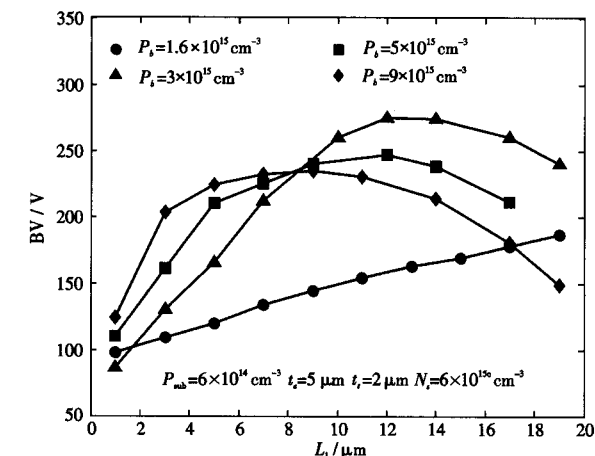
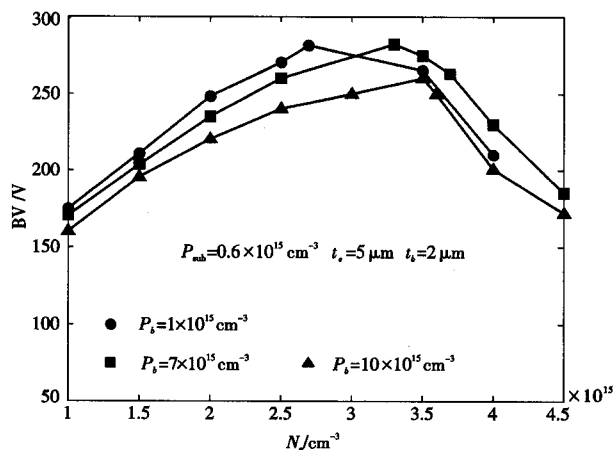
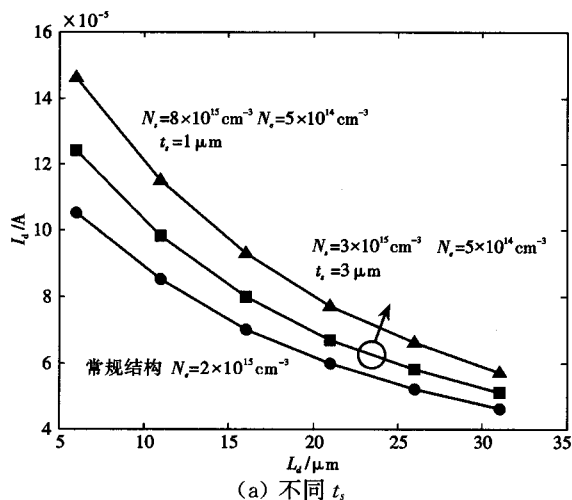
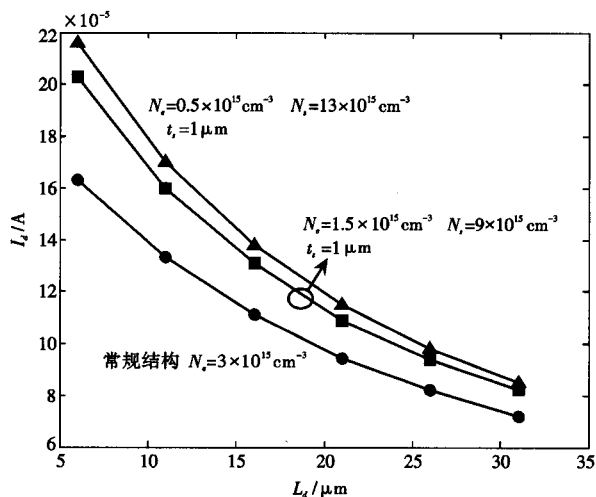
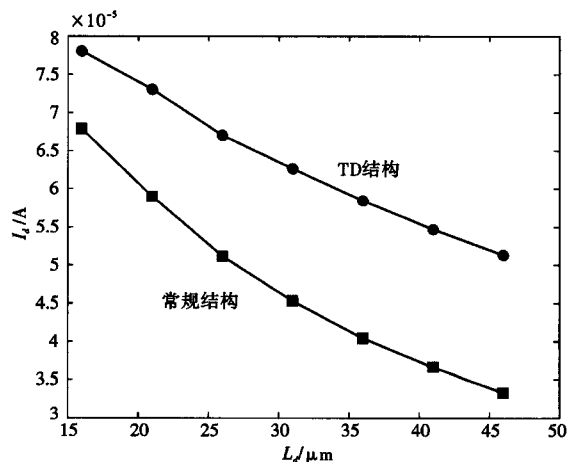
(a) 击穿电压与 L_1 的关系(b) 击穿电压与 N_e 的关系图 3 P_b 和 N_e 对击穿电压的影响

图 4(a) 中保持漂移区总杂质剂量不变, 改变表面 N⁻ 层的厚度和掺杂浓度, 研究正向电流随漂移区长度的变化关系. 固定漂移区总掺杂剂量, 随着表面层厚度的降低 (掺杂浓度的提高), 正向导通电流增加: $L_d = 6 \mu\text{m}$ 时, $t_s = 1 \mu\text{m}$ 的正向导通电流从均匀结构的 $10.4 \times 10^{-5} \text{ A}$ 增加到 $14.9 \times 10^{-5} \text{ A}$, 增幅

达 43%. 图 4 (b) 中固定漂移区总掺杂剂量, 对于相同的表面层厚度, 正向导通电流随着表面层掺杂浓度的提高而增大, 说明表面层杂质剂量的提高具有显著降低导通电阻的作用. 随着漂移区长度的增加, 漏电流降低, 导通电阻增大. 在器件的设计中, 因为

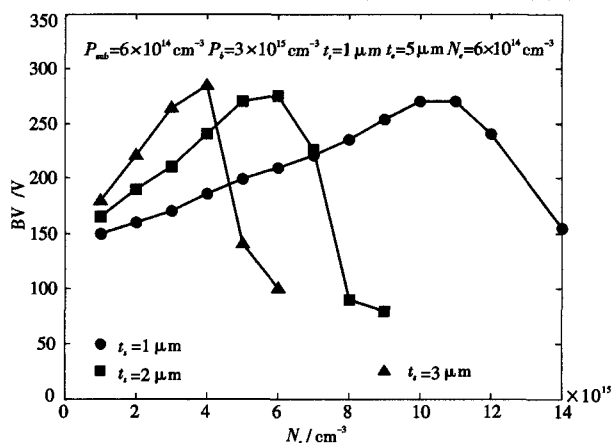
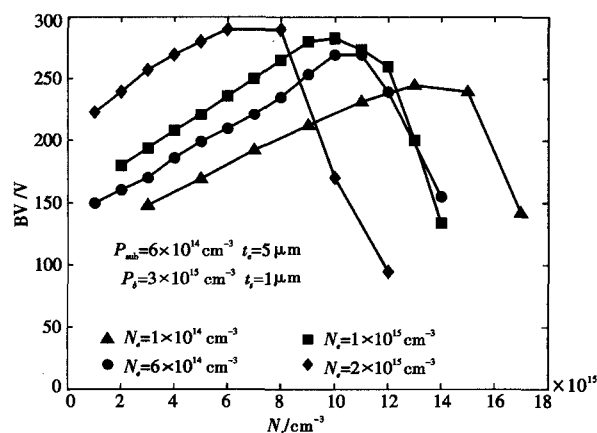
(a) 不同 t_s (b) 不同 N_e 

(c) 优化条件下的器件

图 4 漏电流随 L_d 的变化

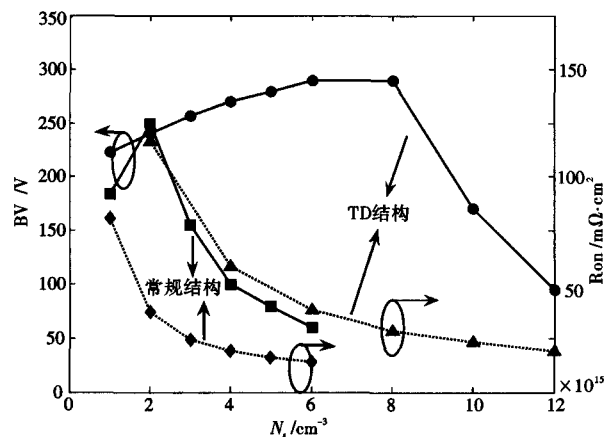
表面层的正向导通路径最短,为降低导通电阻,应采用薄的表面层厚度,使尽可能多的杂质电荷位于表面层中.图 4(c)所示为优化的 TD 结构和常规结构正向电流随漂移区长度的变化.随着 L_d 的增加,正向漏电流下降,导通电阻增大.随着漂移区长度的增大,TD 结构正向电流较常规结构提高明显:提高幅度从 $L_d=16\ \mu\text{m}$ 的 17% 增加到 $L_d=46\ \mu\text{m}$ 的 58%,大大改善器件的正向特性.

图 5(a)中当 N_s 较小时,整个漂移区完全耗尽,随着漏电压的增加,漏极区阻止了漂移区的进一步耗尽, N_sN^+ 结电场较高;当 N_s 较大时,表面电场峰值转移到 $P_{\text{body}}N_s$ 结,随着 N_s 的进一步增加,漂移区部分耗尽,击穿电压迅速下降;当 $P_{\text{body}}N_s$ 结电场和 N_sN^+ 电场相同时,击穿电压达到最大.最优表面 N^- 层掺杂浓度随着 t_s 的增加而降低,这是由 TD 结构的 RESURF 条件决定的.图 5(b)中最优表面 N^- 层掺杂浓度随着 N_e 的增加而降低,这是因为表面

(a) 不同 t_s (b) 不同 N_e 图 5 击穿电压与 N_s 的关系

N^- 层掺杂浓度和漂移区掺杂浓度 N_e 共同组成了漂移区 N 型杂质浓度,所以当漂移区厚度相同时, N_e 越高,最优表面 N^- 层掺杂浓度越低.当 N_e 较小时,纵向耐压层中电荷量减小导致最大纵向击穿电压降低.

图 6 所示为器件击穿电压和导通电阻与 N_s (对于常规结构为 N_e) 的关系.可以看到,TD LDMOS 最大击穿电压为 290 V,相应 N_s 为 $8 \times 10^{15}\text{ cm}^{-3}$,正向导通时比导通电阻为 $28.5\text{ m}\Omega \cdot \text{cm}^2$;对于均匀漂移区结构 $N_e=N_s$,最大击穿电压为 250 V,漂移区浓度为 $2 \times 10^{15}\text{ cm}^{-3}$,正向导通时比导通电阻为 $37.5\text{ m}\Omega \cdot \text{cm}^2$;TD LDMOS 击穿电压较常规结构上升近 16%,比导通电阻下降近 24%,且 TD 结构击穿电压在很宽的范围内都较常规结构大,说明了 TD 结构很大程度改善器件在击穿电压和导通电阻上的矛盾.

图 6 击穿电压和比导通电阻随 N_s 的变化

4 结束语

提出与 CMOS 工艺兼容的薄型双漂移区新结构.其机理是通过表面注入 N^- 薄层形成不同电阻率的双漂移区结构,使正向电流绝大部分通过最短的导通路径从漏极流向源极;在沟道区下方采用 P 离子注入埋层,对沟道区电场整形,在漂移区中部引入新的电场峰,使表面电场分布均匀.随着漂移区厚度的降低,衬底纵向电场对表面电场的调制作用显著增强,对 TD 结构进行优化.

参考文献:

- [1] 李琦,张波,李肇基.带 p 埋层表面注入硅基 LDMOS 模型与优化[J].半导体学报,2007,28(8):1267-1271.

(下转第 137 页)

其他多约束最优化工程问题提供了有益的参考途径。

参考文献:

- [1] Haupt R L. Unit circle representation of aperiodic arrays [J]. IEEE Trans Antennas Propag, 1995, 43(10):1152-1155.
- [2] 于江,陶海红,廖桂生. 阵列天线干扰抑制的一种改进遗传算法 [J], 系统工程与电子技术, 2005, 27(7), 1157-1159.
- [3] 王玲玲,方大纲. 运用遗传算法综合稀疏阵列 [J]. 电子学报, 2003, 31(12A):2135-2138.
- [4] 陈客松,何子述,唐海红. 对称线阵的优化稀疏研究

[J]. 电子与信息学报, 2009, 31(6):1490-1492.

- [5] Roberto Vescovo, Constrained and Unconstrained Synthesis of Array Factor for Circular Arrays [J]. IEEE Trans Antennas Propag, 1995, 43(12):1405-1409.
- [6] Haupt R L, Werner D H. Genetic algorithms in electromagnetics [M]. Wiley-InterScience publication, 2007.

作者简介:

李伟勤 男, (1976—), 讲师. 研究方向为阵列天线设计、数字系统及优化算法.

李新献 男, (1974—). 研究方向为嵌入式系统.

(上接第 132 页)

- [2] Luo X R, Wang Y, Hao D, et al. Novel low-k dielectric buried-layer high-voltage LDMOS on partial SOI [J]. IEEE transactions on electron devices, 2010, 57(2): 535-538.
- [3] 李琦. 薄漂移区横向高压器件耐压模型及新结构 [D]. 西安:电子科技大学, 2008.
- [4] Bo Z, WenLian W, Wanjun C et al. High voltage LDMOS with charge-balanced surface low on-resistance path layer [J]. IEEE electron device letter, 2009, 30(8): 849-851.
- [5] Luo X R, Bo Z, Tianfei L, et al. Numerical and experimental investigation on a novel high-voltage SOI LDMOS in a self-isolation HVIC [J]. IEEE transactions on electron devices, 2010, PP(99):1-10.

- [6] 石广源, 王新, 孙永斌. 功率 VUMOSFET 器件阈值电压最佳化设计 [J]. 微电子学与计算机, 2010(6): 132-133.

- [7] 李琦. 具有浮空埋层的高压器件新结构和击穿电压模型 [J]. 固体电子学研究进展, 2011, 31(1):35-39.

- [8] Cheng J B, Bo Z, Zhaoji L. A novel 1200-V LDMOS with floating buried layer substrate [J]. IEEE electron device letters, 2008, 29(6):645-647.

- [9] 李琦. 表面注入 D-RESURF 器件耐压模型 [J]. 半导体技术, 2011, 36(5):348-351.

作者简介:

李琦 男, (1976—), 博士, 副教授, 硕士生导师. 研究方向为模拟 IC 和功率 IC 设计.