

高速 ADC 中折叠电路的改进

欧阳忠明¹, 邵志标¹, 姚剑峰², 张国光²

(1 西安交通大学 电信学院, 陕西 西安 710049; 2 佛山蓝箭电子有限公司, 广东 佛山 528000)

摘 要: 针对 8bit 125Ms/s 折叠插值 A/D 转换器芯片设计, 文中提出了一种新的折叠波产生算法, 在低压设计中节省了电压设计余度. 折叠电路的尾电流源采用低压宽摆幅的共源共栅结构, 使差分对的尾电流源更匹配, 改善了整个 A/D 转换器的非线性; 折叠电路输出端采用跨阻放大器输出, 提高了折叠电路输出端的带宽; 采用共模反馈电路, 使折叠输出的共模点更稳定, 减小了折叠波的过零点失真. 整个电路采用 2.5V 低电压设计, UMC 0.25 μ m 的工艺模型参数, 用 Hspice 对 A/D 电路进行模拟验证. 结果表明, 此电路取得了预期结果.

关键词: 折叠插值 A/D 转换器; 折叠电路; 尾电流源; 带宽; 共模反馈

中图分类号: TN431

文献标识码: A

文章编号: 1000-7180(2011)09-0131-04

The Modifying of Folding Circuit in High-Speed A/D Converter Chip Design

OYANG Zhong-ming¹, SHAO Zhi-biao¹, YAO Jian-feng², ZHANG Guo-guang²

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China;

2 Foshan Blue Rocket Electronics Co., LTD., Foshan 528000, China)

Abstract: In the 8bit 125MHz Sample/s folding and interpolating A/D converter chip design, one new method of folding wave's production is put forward, which economize the voltage assignment in low-voltage analog design. The wide-swing Cascode topology is used in the tail currents design, which makes the tail currents of differential pairs match better, so DNL and INL of A/D convert system is reduced. A trans-resistance amplifier is used in the output nodes of folding circuit, which increase the analog bandwidth. The CMFB topology makes the common-mode level of output voltage more stable, which decreases zero-crossing distortion. In this project, VDD is 2.5V. The whole A/D system is simulated and validated in Hspice, and the simulation environment is 0.25 μ m CMOS process of UMC.

Key words: folding and Interpolating ADC; folding circuit; tail current; bandwidth; CMFB

1 引言

在数字信号处理技术日益发达的今天, 先进的电子系统应用中需要高速、高精度、低功耗的 A/D 转换器. 折叠插值 A/D 转换器不但具有同快闪 A/D 转换器几乎同等的转换速度, 而且提高了转换精度, 降低了功耗^[1]. 随着 CMOS 工艺的进步, 一方面根据“按比例缩小”规则减小器件尺寸, 减小栅氧厚度来增加驱动电流, 提高整个电路的工作速度; 另一

方面为了避免器件的电场变高, 必须降低电源电压^[2]. 在低压模拟电路设计中需要一些特殊的低压电路设计技术.

针对折叠插值 A/D 中的 A/D 结构, 文中提出了一种新的折叠波产生算法, 为低压设计节省电压设计余度. 采用低电压设计中宽摆幅共源共栅结构的尾电流源, 使每个差分对的电流镜象更加匹配, 降低整个电路的非线性. 输出端采用具有共模反馈的跨阻放大输出, 稳定折叠电路的共模输出点, 从而减

小过零点失真^[3].

2 折叠电路中折叠波的产生算法

文中设计的 8 bit 125 MS/s 折叠插值 A/D 转换器的电源电压为 2.5 V, 模拟电压的处理范围为 1 V_{pp}(0.75V~1.75 V). UMC 0.25μm 工艺模型参数中, NMOS 管的 V_{TN} 在 500mV 左右, 所以第一个差分对工作在导通边缘, 甚至有可能工作在亚阈值区. 为了尽可能使 MOS 管都工作在导通状态, 本设计提出了一种新的折叠波产生算法, 使折叠电路的每个差分对的参考电压都作了偏移, 节省了 1/32 V_{pp} 的电压设计余度, 这对低压设计是至关重要的^[4]. 如图 1 所示, 要产生第一个折叠波, 那么对折叠波的产生有贡献的 8 个差分对中, 各差分对的参考电压分别接 0.75V, 0.75+1/8 V, 0.75+2/8 V ..., 0.75+7/8 V 这 8 个电压. 为了得到 4 个相互偏移的折叠波, 另外 3 个折叠电路的参考电压分别增加 1/32 V, 2/32 V 和 3/32 V.

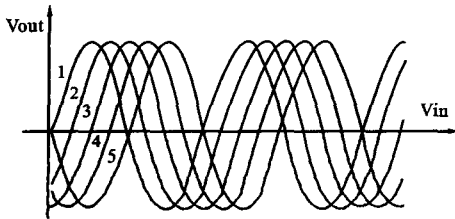


图 1 相互偏移的折叠波

这样产生的 4 个折叠波如图 1 所示. 其中 4 个细线所表示的正弦波即为 4 个折叠波. 要产生图中第 5 个用粗线表示的折叠波, 折叠电路的各差分对的参考电压必须分别增加 1/32V. 比较第 5 个折叠波和第 1 个折叠波, 不难发现, 第 5 个折叠波刚好为第 1 个折叠波的反向. 因为折叠波的输出是全差分的, 所以可以用第 5 个折叠波来得到第一个折叠波, 这样做的好处是使折叠电路的设计更加容易, 此时折叠电路最低的参考电压就变为 0.75V+1/32V, 使差分对中 NMOS 管更容易导通, 也就是说为电路的设计多了一个 1/32V 的电压余度, 这在低电压的设计中是十分重要的.

3 折叠电路的改进设计

折叠率为 8 的 CMOS 折叠电路实现如图 2 所示. 整个折叠电路由 12 个差分对组成, 差分对的输出端交叉耦合相连. 其中第 2 到 9 个差分对是为了实现 8 折叠, 第 1 个和第 10 个差分对为插值电路提供插值边缘. 第 11 个差分对做直流平衡, 第 12 个

dummy 结构的差分对是为了减小寄生电流对输出信号的影响^[5].

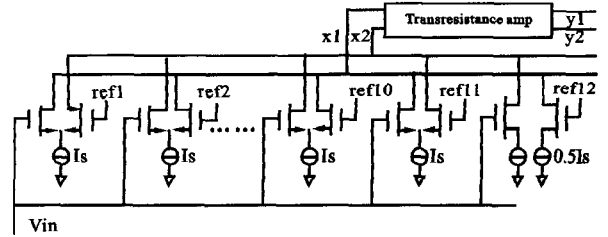


图 2 8 折叠电路的 CMOS 实现

根据折叠电路的工作原理, 随着 V_{in} 的增加, 从第一个差分对开始, 左边的 MOS 管依次导通, 右边的 MOS 管逐渐关闭, 这样才能产生正确的折叠波. 所以从第一个差分对到第十一个差分对, 他们的参考电压依次增加, 这就使得差分对 MOS 管共源端的电压依次升高. 如果只用一个 N 管来做尾电流源的话, 那么由于沟道调制效应, 尾电流源会依次增大, 甚至会漂移 5mV 以上, 这就使得折叠电路输出端折叠波幅度不一致, 使多倍插值后的折叠波过零点失真.

文中对折叠电路尾电流源的设计做了改进, 采用宽摆幅的共源共栅结构的电流镜, 如图 3 所示.

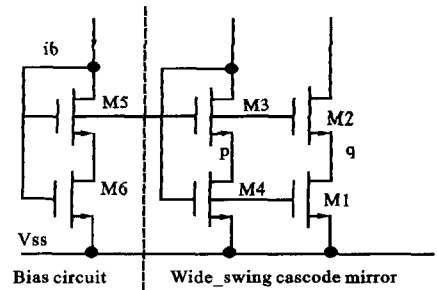


图 3 宽摆幅的共源共栅电流源

其中 M1、M2、M3、M4 组成宽摆幅的共源共栅电流镜, M5、M6 组成一个偏置电路. 在共源共栅结构中, p 点和 q 点的电压近似相等, 所以不管差分对的共源端的电压怎么变, q 点都近似跟 p 点相等, 这样就使得尾电流源更匹配^[4], 从而产生幅度一致的折叠波输出.

折叠电路的一个关键问题就是其输出端的带宽限制, 假如采用纯粹的电阻负载的话, 那么它的输出端的带宽为:

$$f_{-3dB} = \frac{1}{2\pi RC_f} \quad (1)$$

输入信号经过折叠预处理后, 输出信号频率成倍增加, 所以折叠电路的带宽限制会形成一个滤波网络, 造成过零点的偏移^[6-7]. 为了提高折叠电路输

出端的带宽,采用共模反馈电路输出,其输出端如图4所示。

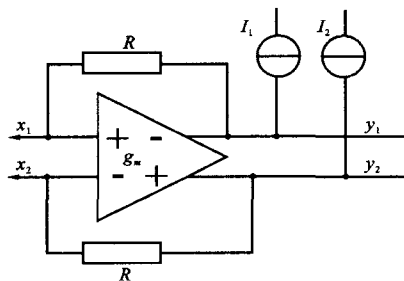


图4 折叠电路跨阻放大器输出

这样得到的折叠电路输出端的带宽变为:

$$f_{-3dB} = \frac{g_m}{2\pi RC_f} \quad (2)$$

其中, g_m 为跨阻放大器的跨导,大大增加了输出端的带宽,使其变为原来的 $g_m R$ 倍,通过计算后,合理选取参数可以使 $1/g_m$ 小于 300Ω 。如果 R 为 $3k\Omega$ 的话,带宽就可以增加 10 倍以上,这样就缓解了折叠电路的带宽限制。跨阻放大器的电路实现如图 5 所示。

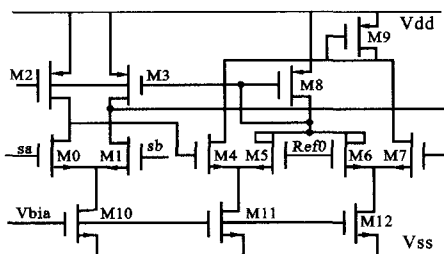


图5 带 CMFB 的共模反馈电路

一般跨阻放大器的放大器由一个差分对组成,尾电流源为 N 管电流源,负载为 P 管电流源。然而 P 管和 N 管电流源会存在不匹配问题,假如 N 管电流源的电流大于 P 管电流源的 2 倍,为了使总的电流相等,就会使 N 管工作在线性区,从而使共模点下降。反之,如果 P 管电流源大于 N 管电流源的一半时,就会使 P 管工作在线性区,使共模点上升。这样就会造成折叠波的输出整体上升或者下降,引起过零点失真。为使折叠波的过零点更加稳定,文中对跨阻放大器电路作了改进,加入了如图 5 所示共模反馈电路,使输出共模点与 $ref0$ 作比较,由比较后的结果来调节 P 管电流镜,从而使 N 管和 P 管电流镜更匹配,稳定了共模输出点。

4 改进后折叠电路的仿真

文中折叠电路的设计采用 UMC 0.25 μm 的工艺模型参数,电源电压为 2.5V。文中对改进后的折

叠电路作了模拟和验证。为了采用新的折叠波产生算法,使每个折叠电路差分对的参考电压都偏移了 $1/32 V_{pp}$ 。图 6、图 7 分别为折叠电路尾电流源改进前后的折叠波输出波形。其输入的测试信号为 1MHz 的三角波。不采用宽摆幅的共源共栅电流镜时,折叠波幅度相差很大;采用了宽摆幅的共源共栅电流镜后,折叠波幅度基本保持一致,从而减小了多倍插值后的过零点失真。图 8~图 10 为折叠电路输出端改进设计前后的折叠波输出波形,其输入的测试波形为 10MHz 的三角波。图 8 为采用纯粹电阻负载的折叠波输出。由于带宽限制,折叠波被 RC 网络滤波后严重失真。图 9 为采用简单跨阻放大器的折叠波输出。缓解了带宽限制,减小了折叠波的失真,但其共模点不稳定。图 10 为采用带共模反馈电路的折叠波的输出波形。可以看出折叠波输出共模点非常稳定。

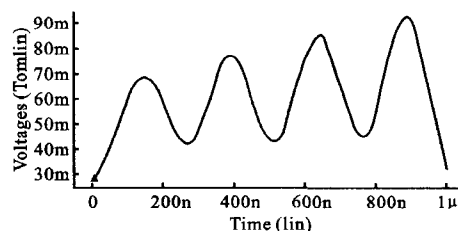


图6 单个 NMOS 管作尾电流源的折叠电路输出

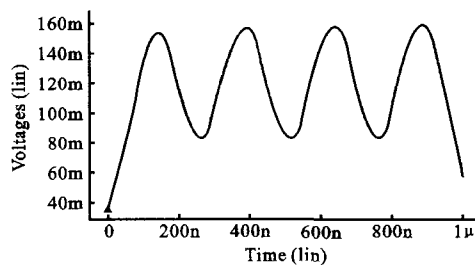


图7 共源共栅结构作尾电流源的折叠电路输出

5 结束语

文中对 8bit 125 Ms/s 折叠插值 A/D 转换器折叠电路的设计进行了改进,提出了新的折叠波产生算法,为低压模拟电路设计节省了一定的电压余度。采用宽摆幅的共源共栅电流源,使折叠电路中每个采用宽摆幅的共源共栅电流源,使折叠电路中每个差分对的尾电流源更加匹配;折叠电路用带有共模反馈电路的跨阻放大器输出代替了纯粹的电阻输出,提高了折叠电路输出端的带宽,并且使折叠波获得了比较稳定的共模输出点。采用 UMC 0.25 μm 工

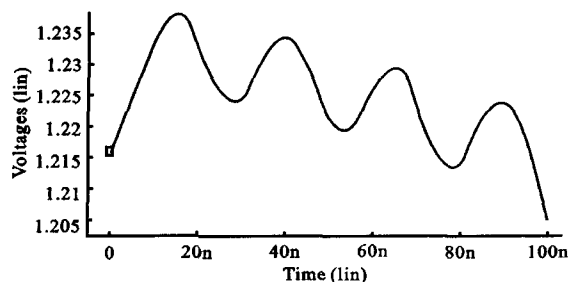


图8 电阻作负载的折叠电路输出

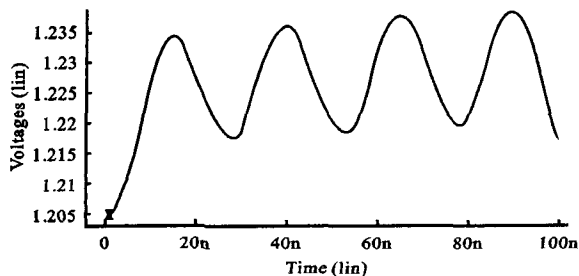
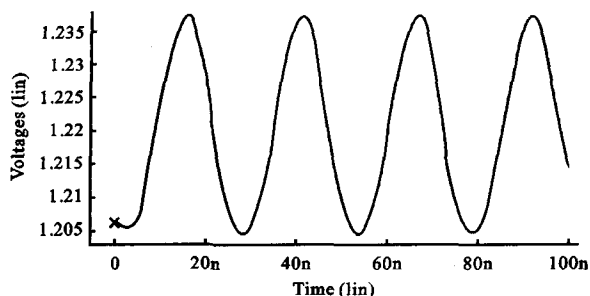


图9 跨阻放大器作负载的折叠电路输出

图10 带有 CMFB 的跨阻放大器
作负载的折叠电路输出

艺参数模型,使用 Hspice 工具对整个折叠电路改进前后的折叠波输出进行了模拟.结果表明,提出的改进措施取得了明显效果,论证了文中的优化设计,该设计也用到 200MS/s 的 ADC 中,取得了良好的效果.

参考文献:

- [1] Bram Nauta, Venes G W. A 70-MS/s 110-mW 8bit CMOS folding and interpolating A/D converter [J]. IEEE J Solid - State Circuits, 1995, 30 (12): 1302 - 1310.
- [2] Uyttenhove K, M S J Steyaert. Speed-power accuracy tradeoff in high-speed CMOS ADCs [J]. IEEE Trans Circuits Syst- II, 2002, 49(3): 280-284.
- [3] Sotirios Limotyrakis, KiYoung Nam, Bruce A Wooley. Analysis and simulation of distortion in folding and interpolating A/D converters [J]. IEEE Trans Circuits and Systems-II, 2002, 49(3): 161-168.
- [4] Mikael Gustavsson, Jacob J Wikner, Nianxiong Nick Tan. CMOS Data Converters For Communications [M]. Boston, Dordrecht, London: Kluwer Academic Publishers, 2007.
- [5] Wooley B A, Vleugels K, Limotyrakis S. Folding and Interpolating A/D Conversion, [J]. IEEE Transactions on Circuits And systems II Analog And Digital Signal processing, 2002, 49(3): 161-169.
- [6] ROB E J, Van De Grift, An 8bit video ADC incorporating folding and interpolating techniques [J]. IEEE JSSC, 1987, 22(6): 953-994.
- [7] Liu Ming Huang, Liu Shen-Juan, An 8bit 10MS/s folding and interpolating ADC using the continuous-time auto-zero technique [J]. IEEE J Solid-State Circuits, 2001, 36(1): 122-128.

作者简介:

欧阳忠明 男, (1980-), 硕士, 研究方向为 RF 通信电路研制.