

基于 FPGA 的以太网 MAC 控制器的实现

王时雨^{1,2}, 贺占庄², 张盛兵¹

(1 西北工业大学 软件与微电子学院, 陕西 西安 710072;

2 西安微电子技术研究所 陕西 西安 710054)

摘 要: 以太网 IEEE802.3 协议根据 LAN 的特点,把数据链路层分成 LLC(逻辑链路控制)和 MAC(介质访问控制)两个子层. MAC 层协议作为数据帧收发的基础,是以太网技术的核心,主要负责上层数据和物理层的数据流量控制和数据流的检测、校验工作.介绍了基于 FPGA 的 10 MHz/100 MHz 以太网 MAC 控制器的设计,整个设计用 Verilog 语言实现.自主设计开发验证板,使用 Altera 厂商的 FPGA(EP1C20F400C8)并验证.

关键词: MAC 协议;FPGA;Verilog

中图分类号: TP393

文献标识码: A

文章编号: 1000-7180(2012)02-0171-05

Design of MAC Controller Based on FPGA

WANG Shi-yu^{1,2}, HE Zhan-zhuang², ZHANG Sheng-bing¹

(1 College of Software, Northwestern Polytechnical University, Xi 'an 710072, China;

2 Xi'an Institute of Microelectronics Technology, Xi 'an 710054, China)

Abstract: Ethernet IEEE802.3 agreements on the basis of the LAN, Data link layer depart into LLC and MAC two layers. The MAC agreement is basis of receive data frame or send data frame, is the core of the ethernet technology, It is mainly responsible for the data and the physical layer data traffic control and data of the inspection and verification. This passage introduce design of 10 MHz/100 MHz MAC controller, Use Verilog language designed for all. Design the Validation board by myself. Use the FPGA (EP1C20F400C8) made by Altera to validate the function.

Key words: MAC Agreement;FPGA;Verilog

1 引言

随着计算机网络技术的飞速发展,人们也在资源共享中越来越依赖网络,并开发出了多种局域网技术.其中,以太网由于其较高的灵活性,在局域网技术使用过程中得到了迅速发展,应用于各种场合.

而在 PC 高速发展的今天,军用电子装备国产化、小型化也成为技术发展的目标与方向.随着微电子技术及可编程逻辑器件的发展,由于 FPGA 器件的可并行处理能力及其可重复在系统编程的灵活性,其功能越来越强,应用也越来越广泛^[1].采用 FPGA 来实现电路功能,不仅符合嵌入式开发小型化、高集成化、高可靠性以及低功耗的要求,而且,设计周期较短,设计成本较低.现今,微处理器、专用逻

辑器件、以及 DSP、算法等以 IP 软核的方式嵌入到 FPGA 中,使得 FPGA 可实现的功能日益强大.

IP 核(Intellectual Property core)是用 verilog 等硬件描述语言描述的功能块,Verilog HDL 可以用在多个层次上为数字设计建模^[2].使用 IP 核的方式实现元件系统,引用方便,修改基本元件功能及 IP 核复用十分容易. IP 核分为硬 IP 与软 IP,其中硬 IP 内核有固定的布局布线和具体的生产工艺.软 IP 则是经过行为级优化和功能验证的硬件语言文本文件.在 SoC 设计中,IP 的使用可以缩短设计周期、降低设计风险,已成为 SoC 设计不可缺少的部分^[3].

本文提出基于 FPGA,IP 软核的设计方案,介绍 MAC 控制器的实现方式及验证.

2 MAC 控制器

MAC 协议: Media Access Control 协议(介质访问控制协议),在 IEEE802 协议标准中,MAC 层为七层网络通讯模型中数据链路层的子层,它位于数据链路层和物理层之间.在局域网和城域网中,所有的设备(工作站,终端控制器,网桥等)共享传输介质,所以需要一种方法能有效地分配传输介质的使用权,这种功能就叫做介质访问控制(MAC)协议^[4].

3 MAC 网络控制器的设计

3.1 MAC 控制器的顶层设计

控制器严格遵守 IEEE802.3 标准中 MAC 层定义的 CSMA/CD 介质访问控制协议.网络数据在发送的过程中需将数据打包成标准的 CSMA/CD 帧格式,在数据帧的传送过程中检测介质是否空闲,其结果决定是否产生 CRC 校验码并开始发送数据.在数据帧发送和接收时,对数据帧进行 CRC 校验,有效剔除错误数据,提高数据传输效率.

MAC 控制器将所需发送的网络数据生成标准的网络数据帧.在接收数据帧时,则对接收到的数据帧进行 CRC 校验.此次控制器设计按照自顶向下的设计思想,对控制器采用模块化设计,按功能可划分为十四个功能模块.主要有 CRC 校验模块、数据帧发送缓存和接收缓存模块、数据帧发送控制和接收控制模块、数据流控制模块、数据帧发送地址和接收地址模块等,为了便于维护,以及在日后功能定制及功能兼容方面提供便利,各模块功能相对独立,框图思路清晰,如图 1 所示.

3.1.1 CRC 校验模块

控制器中的 CRC 校验模块用于检测发送数据帧时,数据帧在发送、传输和接收的过程中是否出现错误.如果校验正常,则表示网络数据帧收发及传送正确,可正常进行下一步操作流程.

CRC 校验模块分为 CRC 校验码产生模块和 CRC 校验模块.

CRC 校验码产生模块在复位时进行初始化,当数据在发送时,发送数据控制单元(MAC_tx_control)指示由 CRC 校验码产生模块产生校验码加载在数据帧中.当数据帧在进入数据接收缓存之前,接收数据控制单元(MAC_rx_control)指示由 CRC 校验模块对接收到的数据帧进行校验,如果校验出错,则自动丢弃该帧.

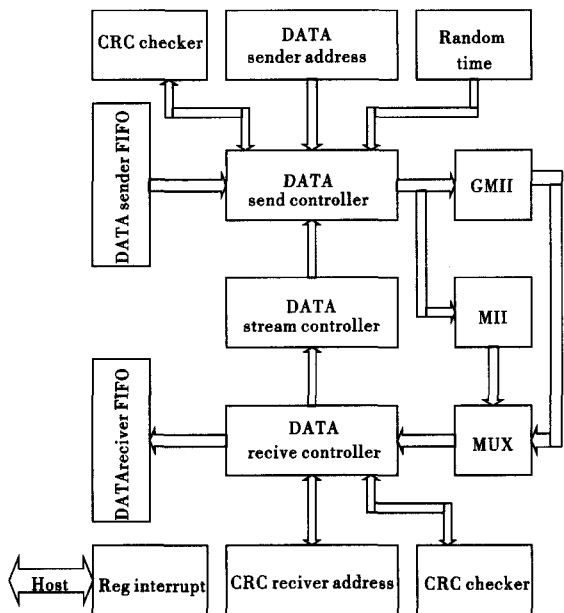


图 1 MAC 网络控制器的总体框图

采用 CRC 校验可以有效地捕捉错误信息,对错误信息敏感,并且可以减少错判、漏判的概率,在网络高密度数据传输过程中能够充分有效地利用传输介质,大幅减少错误信息对介质的占有率.

3.1.2 数据帧发送模块(MAC_tx_address)

数据帧地址模块(MAC_tx_address),将在组成标准的数据帧格式的过程中加入目标节点部分和源节点部分,其分别表示为所要发送数据帧的发送源地址和接收数据帧的目的地址.源节点与目标节点长度相同,同为 16 位或 48 位.

发送模块按步骤转换数据为标准帧格式,由物理层提供发送时钟,完整的帧格式在进行 CRC 校验后将校验值提供给数据帧,并加载在数据帧尾部表示帧正确,待发送.

3.1.3 随机时间量模块

数据帧在发送的过程中涉及到传输介质的申请使用.当网络上的某一节点准备开始发送数据,首先需要确定介质是否空闲可用.如果介质空闲,该节点可以发送数据帧.如果检测到介质正在忙碌,则需要间隔一段时间继续进行检测,直到介质空闲可以发送数据帧.随机时间量模块根据算法在每次检测到介质忙碌时,产生一个时间间隔量,每两次检测之间间隔此时间量.检测到一定次数时,不再继续检测并给发送节点报告错信息.

间隔时间量采用退避算法,设数据帧从起点到终点所需的传送时间为 $a=256$ bit times,一个时间

片(A)则为 $2a$ 。当第一次发生冲突时,设参数量 $L=2$,从1个到 L 个时间片中选取一个随机数作为退避时间的间隔量。如果下次检测介质还在忙碌之中,参数量 L 加倍。设置最大检测次数为10次,检测次数若达到10次,将不再继续检测。最大重传次数为16次,到达最大传输次数后,不再重传,并给发送节点报告错信息。

随机延时时间量: $T=2^N \times R \times A$

(N :冲突次数; R :伪随机数; A :时间片)

由于采取间隔时间退避算法,可以使发送数据主机可以实时监控介质状态,选择有利时机发送数据,合理利用资源,减少主机资源利用率。

3.1.4 发送控制器模块(MAC_tx_control)

检查数据帧是否组好,将组好的数据帧发送至目标地址。

3.2 状态机设计

3.2.1 发送控制器状态机设计

数据发送控制模块主要负责数据的发送功能,将需要发送的数据组成标准的数据帧格式。根据MAC数据发送控制器的功能,将目标设备控制器状态机划分为十五个状态,发送控制模块的状态转换如图2所示。

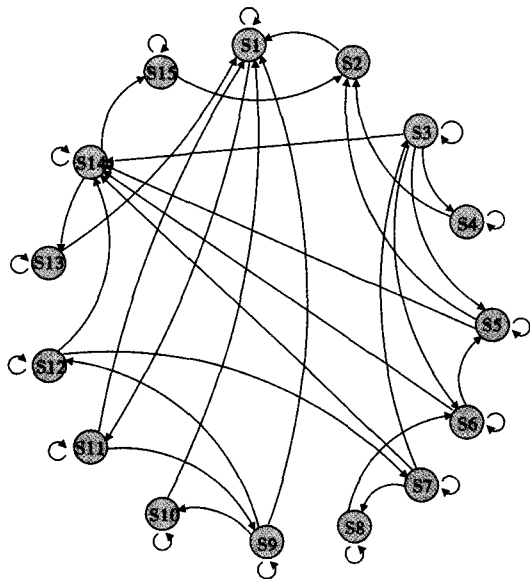


图2 发送控制模块状态转换图

S1:StateDefer为状态机起始状态,系统复位时进入S1。此状态下,数据包长度计数清零。

在S2状态中,发送重试次数清零,FIFO完成读取数据。在状态S2中的工作结束后,直接跳转至状态S1。

S3状态下,FIFO读取有效数据,开始计数数据包长度。在半双工工作模式下,发生冲突时跳转至S14。当FIFO未读取到数据时或读取数据发生错误时跳转至S4。当FIFO读取完正确数据时,跳转至S6。当FIFO读取完正确数据后检测到数据包长度的值大于或等于59,跳转至S5。

状态S4中,FIFO为空,继续读取数据。当FIFO读完数据,跳转至S2。

进入S5后对数据帧加载校验模块,加载完成后跳转至S2。当工作在半双工工作模式下有介质冲突存在时,跳转至状态S14。

在S6状态下,开始读取数据并暂存在临时寄存器中,并对长度较短的数据按照标准帧格式进行填充。处理完数据后,若工作在半双工模式下,产生发送冲突,则状态跳转至S14。否则当数据长度超过59时,跳转至S5。

状态S7中,CRC校验初始化。当在半双工工作模式下,产生发送冲突时,进入S14。PAUSE帧开始发送时,进入状态S8。

在S8状态下开始读取数据并放入临时寄存器,当数据包长度为17时跳转至状态S6。

状态S9表示空闲状态,即在全双工工作模式下,数据包的发送间隔超过4个,或是在半双工模式下没有数据报发送则为空闲状态。当以半双工工作模式开始接受和发送数据时,进入状态S1,否则,进入状态S10。全双工工作模式下或半双工工作模式下,FIFO读取数据以及发送PAUSE帧时,跳转至状态S12。

在状态S10中,模块停止发送工作。当PAUSE帧次数为64时跳转至S1:StateDefer。

进入状态S11,设定两个数据包之间的接收间隔。当控制器工作在半双工工作模式下或全双工工作模式下,相邻数据包之间的实际间隔数比设定间隔数少4时跳转至S9。

在S12状态中,对用户发送的数据进行处理,在用户所需发送数据的基础上,产生组成标准数据帧所用的前导码。在半双工工作模式下产生冲突时,跳转至S14。当前导码加载完全后,跳转至状态S7。

状态S13中由于传输介质可能正在被占用,在S13状态中,数据帧发送重试计数。当重试次数达到最大重试次数时,跳转至S1状态。

进入S14,开始进行冲突次数计数。若介质冲突为16次并且实际发送重试次数小于所设定的最大重试次数,跳转至S13;或是实际发送重试次数超过

使用 Modelsim SE 6.5 工具软件进行功能仿真,完成了 MAC 控制器 IP 核用户接口和系统接口收发功能的验证.图 5 所示为系统主接口的仿真波形.

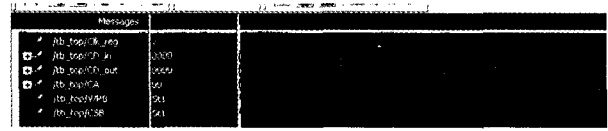


图 5 Host interface 仿真时序图

4.2 结果分析

基于商业计算机工业取得的巨大成就,将商业计算机通信模型应用于下一代航空电子系统已成为不可避免的趋势,由此 AFDX 应运而生^[6].本文 10 MHz/100 MHz 以太网 MAC 控制器的设计是以 AFDX 应用为背景,通过对 IP 核的功能仿真和时序仿真,结果表明其完成了网络 MAC 层协议功能.由图 5 可以看出,主接口在自环测试中发送和接受数据结果正确,数据传输过程可靠稳定,设计满足应用要求.硬件测试采用 Altera 厂商的 FPGA (EP1C20F400C8)芯片和独立 PHY 接口芯片 Intel 公司的 LXT971,并通过 RJ45 网络接口读取 MAC 控制器所发送和接收的正确数据.图 6 中列出所用 FPGA 的各种资源利用率.

Total logic elements	1868/20060(9%)
Total pins	153/301(51%)
Total memory bits	38528/294912(13%)

图 6 FPGA 各资源利用率

5 结束语

本文用 VerilogHDL 硬件描述语言,按照自顶而下的设计流程,完成 MAC 控制器 IP 核的设计目标,实现一个 RTL 级的 IP 软核.这种 MAC 控制器的实现方法简单,占用资源较少,可随时进行修改.结合 FPGA 实现的方式,可与用户自定义的控制逻辑一起集成到可编程逻辑器件上,不仅具有较高的可移植性和可集成性,而且使小型嵌入式系统更加简单且集成度更高.

参考文献:

[1] 徐欣,于红旗,易凡,等.基于 FPGA 的嵌入式系统设计[M].北京:机械工业出版社,2005.
[2] 夏宇闻,甘伟,译. Verilog HDL 入门[M].北京:北京航空航天大学出版社,2008.
[3] 韩建,陈岚,栗雅娟,等.基于用户的 IP 核评测方法[J].微电子学与计算机,2009,26(11):43-47.
[4] 雷震甲,臧明相,王保保.计算机网络[M].西安:西安电子科技大学出版社,2003.
[5] 吕欣欣,刘淑芬. FPGA 通用验证平台建立方法研究[J].微电子学与计算机,2010,27(05):46-49.
[6] 刘中,李成贵.交换式以太网在航空电子系统中的应用[J].武器装备自动化,2006,(1):16-17.

作者简介:

王时雨 男,(1984—),硕士研究生.研究方向为嵌入式系统设计.
贺占庄 男,(1962—),研究员,硕士生导师.研究方向为计算机控制技术、嵌入式计算机应用.
张盛兵 男,(1962—),博士生导师.研究方向为高性能微处理器体系结构、SOC 设计与测试、嵌入式系统设计.

(上接第 170 页)

[11] 盘莉莉.无线移动自组网的 AODV 路由协议性能研究[J].微电子学与计算机,2010,27(2):184-187.

作者简介:

杨 扬 女,(1987—),硕士研究生.研究方向为网络技术应用.
杨秋翔 男,(1969—),硕士,教授.研究方向为网络拓扑发现关键技术.