

一种 1GHz 多频带压控振荡器的设计

吕荫学, 刘梦新, 罗家俊, 叶甜春

(中国科学院微电子研究所, 北京 100029)

摘 要: 基于 3.3V 0.35 μm TSMC 2P4M CMOS 体硅工艺, 设计了一款 1GHz 多频带数模混合压控振荡器. 采用环形振荡器加上数模转换器结构, 控制流入压控振荡器的电流来调节压控振荡器的频率而实现频带切换. 仿真结果表明, 在 1V~2V 的电压调节范围内, 压控振荡器输出频率范围为 823.3MHz~1.061GHz, 且压控振荡器的增益仅有 36.6MHz/V, 振荡频率为 1.0612GHz 时, 频率偏差 1MHz 处的相位噪声为 -96.35dBc/Hz, 在获得较大频率调节范围的同时也能保持很低的增益, 从而提高了压控振荡器的噪声性能.

关键词: 频率合成器; 锁相环; 压控振荡器; 多频带; 数模转换

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2013)02-0001-04

A 1GHz Multiband Voltage-Controlled Oscillator Design

LV Yin-xue, LIU Meng-xin, LUO Jia-jun, YE Tian-chun

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Based on the 0.35 μm 3.3V TSMC CMOS process, a design for a 1 GHz multi-band mixed-signal VCO is proposed. The VCO is use Analog to Digital Convertor to adjust the current of the VCO delay cells, so as to achieved multi frequency band. The simulation results presented that the VCO voltage adjustment range is 1V to 2V, and output frequency range is 823.3 MHz to 1.061 GHz with gain of only 36.6 MHz/V. The novel VCO has a wide frequency range and also keep a very low gain, which improved the VCO noise performance.

Key words: frequency synthesis; PLL; VCO; multi-band; ADC

1 引言

锁相环路频率合成是一种间接频率合成方法, 在现代通信和信息处理系统中扮演着最为关键的角色. 它不仅作为射频通信系统发送接收的本地振荡源和数字信号处理器的时钟源而无处不在, 而且它的性能指标在系统性能指标中起着决定性作用^[1].

压控振荡器(VCO)作为锁相环路的核心模块, 可为锁相环电路提供稳定的本振信号, 其相位噪声、调节范围、增益对整个锁相环路的性能起着决定作用. 对于传统压控振荡器而言, 宽调节范围意味着高增益, 而高增益其代表的噪声干扰免疫能力越差, VCO 的输出信号相位噪声也就越差. 常用的压控振荡器主要有环形压控振荡器和 LC 压控振荡器. 环形压控振荡器由于其宽调节范围、低功耗、面积小、易于集成等优点应用在

通信的许多领域, 但是其相位噪声性能较差; 相比而言, LC 振荡器则具有优良的相位噪声特性、频率稳定度高、受温度和电源电压的影响小的优点, 但其需要高品质因素的无源器件, 而且集成电感所占的芯片面积大, 同时其可调节频率范围窄.

为解决上述问题, 本文基于 0.35 μm TSMC CMOS 工艺设计一款 1GHz 多频带环形压控振荡器, 压控振荡器用数模转换器控制流入压控振荡器的电流实现多频带切换, 在减小压控振荡器增益以提高压控振荡器噪声性能的同时, 又能够获得大调节范围.

2 电路设计

2.1 多频带压控振荡器

压控振荡器(VCO)其输出频率是输入电压的函数, 一个理想的压控振荡器输出频率是其输入电

压的线性函数^[2]:

$$\omega_{\text{out}} = \omega_0 + K_{\text{VCO}} V_{\text{ctrl}} \quad (1)$$

其中, ω_0 为 VCO 的中心频率, K_{VCO} 为 VCO 的增益, V_{ctrl} 对应 VCO 控制电压, ω_{out} 为 VCO 输出频率。

通常来说, 对 VCO 的要求是线性度好、增益 K_{VCO} 小, 这表明该 VCO 对杂散信号的免疫能力好, 并且功耗低及调频范围宽。多频带 VCO 通过在 VCO 上增加频带控制单元来实现频带的选择^[3-5], 其主要优点是在有限的调节电压范围内, 在保持较低的增益 K_{VCO} 的情况下实现较宽的频率调节范围, 从而改善电路的相位噪声性能。

VCO 的噪声性能在很大程度上决定锁相环的相位噪声和抖动性能, 因此在设计多频带压控振荡器之前, 必须选择抗干扰的延迟单元。差分结构具有较强的抗干扰能力是目前环形振荡器的主流结构, 本文设计的压控振荡器延时单元采用四级电压转换电流的压控振荡器结构, 同时为提高频率以满足设计需要, 压控振荡器采用双延时环路, 除了正常的延时环路外, 还有一个负相差延时环路^[6], 可以达到很高的振荡频率, 如图 1 所示。采用该结构, 可获得更宽的调节范围和线性度, 且功耗也较低。在考虑噪声性能时, 由于 VCO 输出电压范围为 $0 \sim V_m$, 根据 Razavi 模型^[7] 和 Abidi 模型^[8], 设计时应尽量提高 V_m 的数值, 同时在满足频率要求的情况下适当增加晶体管的尺寸, 以减小散射噪声。

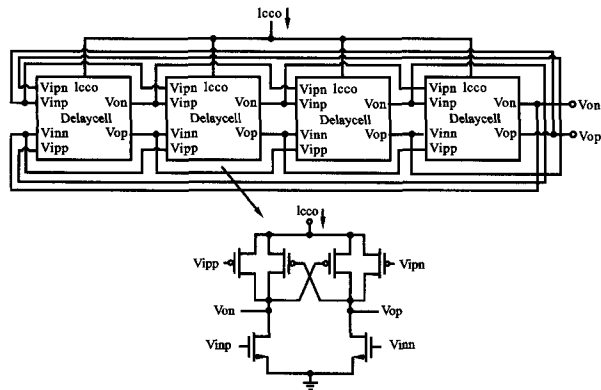


图 1 多频带压控振荡器延迟单元

电压转换电流电路是将控制电压转换为电流, 通过调节电流控制振荡器的频率。环形振荡器的频率由延迟单元的延迟时间决定, 而延迟时间是由电流对节点电容的充放电时间决定, 因此改变充放电电流就可以改变延迟单元的延迟时间, 所以通过调节压控振荡器的充放电大小可以调节环形振荡器的振荡频率。由此, 为实现多频带 VCO, 设计的多频带压控振荡器的

V-I 转换电路如图 2 所示。其中 M0—M2、R0—R1 为电压转换电路部分, 输入管的源极添加了负反馈电阻以提高 V-I 电路的线性度。对于电流源而言, 其输出电阻越大, 则电流随电压的变化越平坦, 电流越恒定, 同时线性电阻区的电压范围越小, 因此这里采用自校准共源共栅结构 (Regulated-Cascode) 以提高输出电阻和输出电压范围。图 2 中 M4—M12 即为自校准共源共栅结构的实现方式。通过控制 NM₀—NM_n 的开关状态可以实现 VCO 的多频带特性。同时, 为了解决锁相环追锁过程中因过冲造成的频带间的重复跳频, 将频带之间做重叠, 从而避免因为过冲造成锁相环无法锁定的问题, 频带重叠的范围由锁相环系统的阻尼因素决定^[5]。

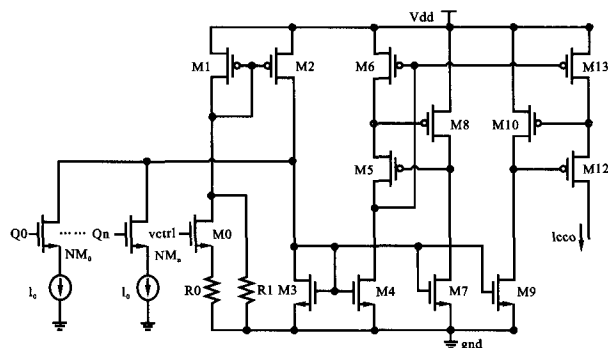


图 2 多频带压控振荡器 V-I 转换电路

2.2 多频带压控振荡器控制单元

本文多频振荡器控制单元采用数模转换器的方式实现, 如图 3、图 4 所示。其由两个电压比较器及计数器组成, 这里使用的比较器为 N 型和 P 型迟滞比较器^[5], 以减少因为电压上的抖动而造成比较器的重复判断。其中电压比较器用来比较控制电压 V_{ctrl} 与 V_{href} 的大小。如果控制电压 V_{ctrl} 大于 V_{href} (压控振荡器电压调节范围的上限) 时, 压控振荡器振荡频率小于锁定频率, 则比较器输出信号 DOWN 为高电平, 此时计数器会向下计数, 代表 Q0—Qn 的高电平数减小, 对应的 NM₀—NM_n 开启数减少, 流入压控振荡器的电流增大, 振荡器频率增大, 多频带压控振荡器控制单元向上做跳频动作, V_{ctrl} 被预制到 $V_{\text{DD}}/2$; 如果电压控制电压 V_{ctrl} 小于 V_{lref} (压控振荡器电压调节范围的下限) 时, 压控振荡器振荡频率大于锁定频率, 则比较器输出信号 UP 为高电平, 此时计数器向上计数, 代表 Q0—Qn 高电平增加, 对应的 NM₀—NM_n 开启数增加, 流入压控振荡器的电流减小, 振荡器频率增大, 多频带压控振荡器控制单元向下做跳频动作, V_{ctrl} 被预制到 $V_{\text{DD}}/2$; 而当 V_{ctrl} 介于 V_{lref} 和 V_{href} 之间时, 计数器 UP 和 DOWN 信号

输出均为0,此时锁相环路在频带进行追锁动作。

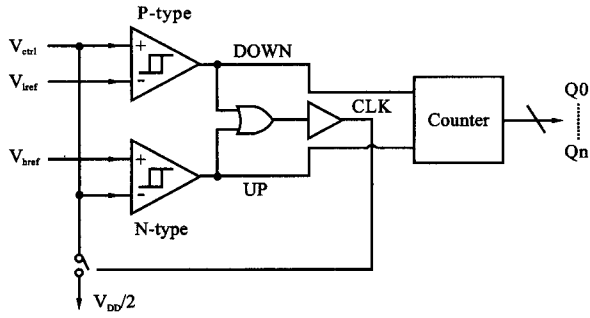


图3 多频带压控振荡器控制电路

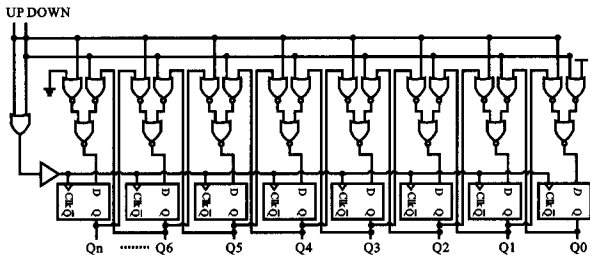


图4 多频带压控振荡器计数单元

3 仿真结果及分析

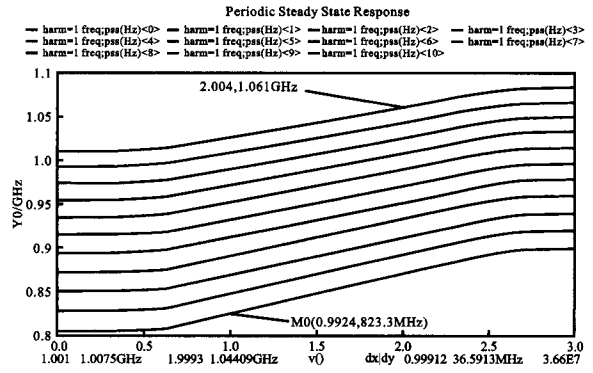
本文设计的压控振荡器基于0.35 μm TSMC 3.3V CMOS工艺实现,为验证多频带压控振荡器的频带切换功能,设计了一款三阶锁相环路,具体参数如表1所示。

表1 锁相环路关键参数

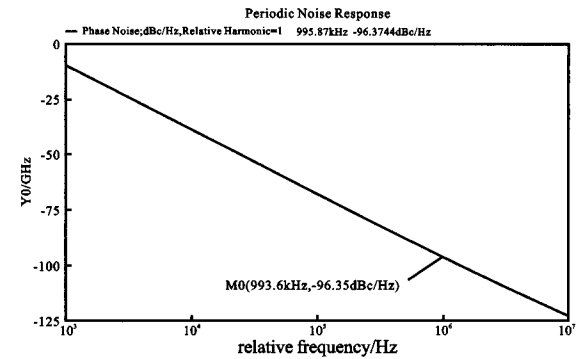
工艺	0.35 μm TSMC 3.3V CMOS
分频比 N	1/32
输入参考频率 F_{ref}	30MHz
环路带宽 ω_n	2MHz
锁相环路相位裕度 Φ	53°
输出频率范围	823.3MHz—1.061GHz
压控振荡器控制电压范围	1V—2V
压控振荡器增益 K_{VCO}	36.6MHz/V
频带切换电流	30 μA
压控振荡器频带数	11
电荷泵电流 I_{CP}	100 μA
环路滤波器参数	$R_1=44.6\text{k}\Omega$ $C_1=17.7\text{pF}, C_2=1.77\text{pF}$

压控振荡器的控制电压对输出频率特性曲线如图5(a)所示。可以观察到,在压控振荡器的控制电压范围1V~2V内其有较好地线性度,频带数为11,频带重叠约为50%,每个频带内压控振荡器增益约为36.6MHz/V。其噪声特性曲线如图5(b)所示,可以看出,在1kHz~1MHz频偏范围内,曲线呈-20dB/dec下降,振荡频率为1.0612GHz时,频偏1MHz处的相位噪声为-96.35dBc/Hz。由于多频带压控振荡器的控制单元增加了其电路的复杂性,会造成其噪声性能有所下降,但是其较低的增益增

强了其对外部杂散信号的抗干扰能力,具体设计时需要根据实际需求进行优化折中。



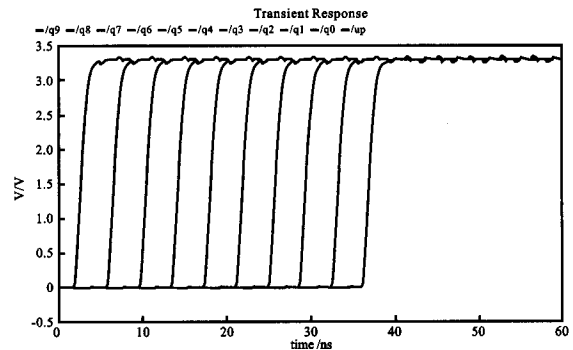
(a) 多频带压控振荡器控制电压对输出频率特性曲线



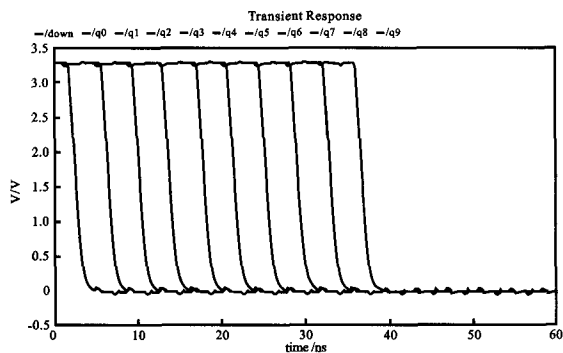
(b) 1.0612 GHz时多频带压控振荡器噪声特性

图5 多频带压控振荡器特性曲线

本文设计的迟滞比较器的迟滞电压在160mV左右,可以满足设计的压控振荡器的需求。图6给出了计数器向上、向下计数时的状态图。当UP信号为高电平时,DOWN信号为低电平是,计数会向下做计数动作,因此Q[9:0]会从111111111一直下数,直到Q[9:0]变成000000000;当UP信号为低电平时,DOWN信号为高电平是,计数会向上做计数动作,因此Q[9:0]会从000000000一直上数,直到Q[9:0]变成111111111;当UP和DOWN信号均为0时,计数器不做计数动作。计数的输出状态直接控制MOS管NM₀~NM₉的开启状态,从而控制流入压



(a) UP为低,DOWN为高时,计数器向上计数



(b) UP 为高, DOWN 为低时, 计数器向下计数

图 6 计数器计数状态图

控振荡器的电流大小, 当 MOS 管导通的越多, 代表流入压控振荡器的电流越小, 压控振荡器频率也就越低, 反之, 当 MOS 管全部关闭时, 流入压控振荡器的电流越大, 所以压控振荡器的频率就越高。

为验证本文设计的多频带压控振荡器能否正常工作, 设计了一款三阶锁相环电路。其输入频率为 30MHz 的参考信号, 对应的压控振荡器此时振荡频率为 960MHz, 在其工作范围内, 用此信号去验证多频带压控振荡器的功能, 锁相环追锁过程如图 7 所示。可以看出, 其在时间 $2.5\mu\text{s}$ 之前都在做压控振荡器的跳频段动作, 在时间 $2.5\mu\text{s}$ 之后为锁相环路的追锁过程, 可以看出其在 $4\mu\text{s}$ 左右的时间可以锁定。由此可知, 设计的压控振荡器在锁相环电路中能够正常工作, 满足设计的要求, 如果要获得更宽的调节范围, 在不改变压控振荡器增益的情况下, 只需要增加压控振荡器的频带数即可, 而且频带内的压控振荡器的增益可以设计的很小。

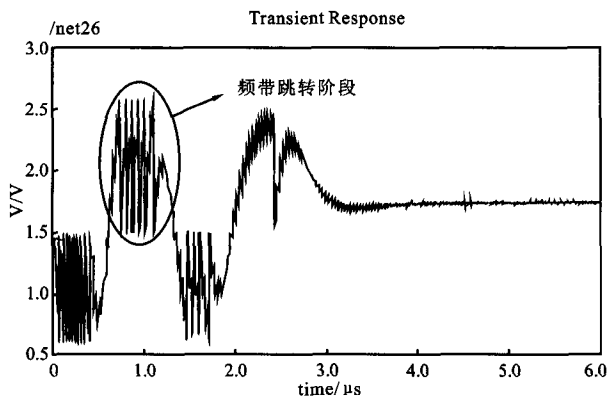


图 7 多频带压控振荡器追锁过程

4 结束语

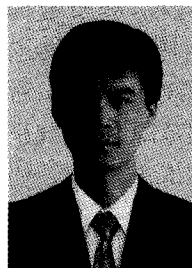
文中基于 TSMC $0.35\mu\text{m}$ 工艺设计了一种 1 GHz 数模混合多频带环形压控振荡器结构, 采用数

模转换器改变流入压控振荡器延时单元的电流来实现多频带压控振荡器频带的切换。在 1V 电压调节范围内, 压控振荡器输出频率范围为 $823.3\text{MHz} \sim 1.061\text{GHz}$, 频带增益只有 36.6MHz/V 。如果要增加调节范围只需要增加数模转换器的输出位数而不需要增大压控振荡器的频带增益, 有效解决了传统压控振荡器的制约问题, 通过三阶锁相环电路验证了该压控振荡器的设计可行性。

参考文献:

- [1] 池保勇, 余志平, 石秉学. CMOS 射频集成电路分析与设计[M]. 北京: 清华大学出版社, 2006: 457 - 541.
- [2] 毕查德. 拉扎维. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003: 413 - 415.
- [3] Lin T H, Lai Y J. An agile VCO frequency calibration technique for a 10-GHz CMOS PLL[J]. IEEE J. Solid - State Circuit, 2007(2): 340 - 349.
- [4] Lin T H, Kaiser W J. A 900MHz 2.5mA CMOS frequency synthesizer with an automatic SC tuning loop [J]. IEEE J. Solid - State Circuit, 2001 (3): 424 - 431.
- [5] Paletmo S M, Gyve J P de. A multi-band single-loop PLL frequency synthesizer with dynamically-controlled switched tuning VCO[C]//IEEE Midwest Symposium on Circuits and Systems. USA, Lansing, 2000(2): 818 - 821.
- [6] Seog-Jun Lee, Beomsup Kim, Kwyro Lee. A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme[J]. IEEE J. Solid-State Circuit, 1997, 32(2): 289 - 291.
- [7] Behzad Razavi. A study of phase noise in CMOS oscillators[J]. IEEE J. Solid-State Circuit, 1996, 31(3): 331 - 343.
- [8] Demir A. Phase noise and timing jitter in oscillators with colored-noise sources [J]. IEEE Trans. Circuits and Systems I: Fundamental Theory and Applications, 2002, 49(12): 1782 - 1791.

作者简介:



吕萌学 男, (1982-), 博士. 研究方向为 SOI/CMOS 高性能抗辐照集成电路设计。