

忆阻器实现逻辑门的方法研究

朱平平¹, 甘朝晖¹, 蒋 旻²

(1 武汉科技大学 信息科学与工程学院, 湖北 武汉 430081;

2 武汉科技大学 计算机科学与技术学院, 湖北 武汉 430081)

摘 要: 在分析忆阻器特性及相关文献的基础上提出了一种只使用忆阻器元件实现基本逻辑门的电路方案, 理论分析及 Spice 仿真实验结果证实了方案的可行性. 所设计的逻辑门电路简单, 实现的逻辑门无需时序操作就能工作, 其在电路尺寸、集成密度、电路功耗等方面拥有很大的优势.

关键词: 忆阻器; 逻辑门电路; 组合逻辑

中图分类号: TM50

文献标识码: A

文章编号: 1000-7180(2012)12-0012-05

Method Research of Logic Gates Implementation Based on Memristor

ZHU Ping-ping¹, GAN Zhao-hui¹, JIANG Min²

(1 College of Information Science and Engineering, Wuhan University of Science and Technology, Wuhan 430081, China;

2 College of Computer Science and Technology, Wuhan University of Science and Technology Wuhan 430081, China)

Abstract: In the paper, we proposed a method of logic gate implementation, which only one kind of device, memristor is used. It is confirmed that the circuits we designed meet the basic Boolean logic function through the theoretical analysis and simulation experimental results by Spice. The basic logic gates designed in the paper do not need sequential operation, and have a great advantage in terms of circuit size, integration density and power consumption.

Key words: memristor; logic gate circuit; combinational logic

1 引言

电学理论中的基本变量有四个, 即电压(v), 电流(i), 电荷(q)以及磁通(φ), 这四个量之间的两两组合有六种数学关系存在. 其中的两种关系分别为 $q(t) = \int_{-\infty}^t i(\tau) d\tau$ 和 $\varphi(t) = \int_{-\infty}^t v(\tau) d\tau$, 另外三种关系是对电路理论中已知的三种基本无源元件的定义: 电阻($dv = Rdi$), 电容($dq = Cdv$)和电感($d\varphi = Ldi$). 文献[1]从完备性和对称的角度出发, 结合麦克斯韦电磁方程, 将 φ 和 q 之间的关系所定义的元件命名为忆阻器(memristor; memory resistor)^[1], 其数学表达式为:

$$d\varphi = M(q)dq \quad (1)$$

其中, $M(q)$ 是忆阻器的忆阻值, 具有电阻的量

纲, $M(q)$ 与流过忆阻器的电荷量相关. 在预测忆阻器存在的同时还指出, 忆阻器是一种具有记忆功能和非线性电阻特性的器件, 这也是称其为忆阻器的原因. 直到 2008 年, 文献[2]成功制备出了忆阻器的原型器件, 有关忆阻器的研究才全面展开. 作为一种新的无源电子元件, 忆阻器得到了很大的关注^[3].

忆阻器以其电阻的开关效应及非易失性^[2]在逻辑应用方面也有大量的研究.

在存储器、逻辑门、可编程逻辑门阵列等方面, 忆阻器也有了诸多的应用研究, 但是绝大部分方法都是用忆阻器的开关状态来表示逻辑“1”和“0”^[5-9], 而不是用电压或者电荷来表示逻辑状态. 而在当今已经广泛使用的逻辑电路中, 都是用电压来表示逻辑状态的. 另外, 很多实现逻辑功能的电路

还需要加上诸如晶体管^[7-9]、固定电阻^[5-6]等器件才能完成. 一些简单的逻辑功能有时也需要一定的操作时序才能实现^[5-6]. 本文提出一种只用忆阻器组成基本逻辑门的实现方案, 通过理论分析及 Spice 仿真证实了所设计的电路实现了基本布尔逻辑功能. 该方案的实现无需使用晶体管、固定电阻等元件, 用电平的高低状态表示逻辑, 逻辑功能的实现也无需操作时序. 该方案实现的逻辑电路在电路尺寸、集成密度、电路功耗等方面比传统的晶体管集成电路实现的逻辑门具有较大的优势.

2 忆阻器的特性

HP 实现的忆阻器原型器件是一种二端为金属中间为氧化物的器件, 在两端铂(Pt)电极之间置入一层 5nm 厚的氧化物掺杂薄膜, 其中的薄膜可分为两层: 一层是绝缘的 TiO_2 , 电阻较高, 属未掺杂区, 定义为负端^[8], 另一层是加入了正 2 价氧空穴形成的 TiO_{2-x} , 具有一定导电性能, 电阻较低, 属掺杂区^[2], 定义为正端^[8]. 在外加电场的作用下, 薄膜中正 2 价的氧空穴会发生迁移, 从而使得 TiO_2 和 TiO_{2-x} 厚度发生变化, 即掺杂区与非掺杂区的界面发生移动, 由于两层薄膜的导电性不一样, 忆阻器的电阻值也会随着界面的移动而发生变化, 这就是 HP 提出的边界迁移模型, 如图 1 所示. 假设金属电极间薄膜的厚度为 D , 掺杂区的厚度为 w , 当整个薄膜都是掺杂区时, 其电阻很小, 为 R_{ON} , 当整个薄膜都是非掺杂区时, 其电阻很高, 为 R_{OFF} , 这里 $R_{OFF} \gg R_{ON}$. 因此, 忆阻器的电阻可以看作是两个可变电阻的串联, 这里假设忆阻器中的离子在均匀电场中的迁移是线性的, 因此, 界面的移动也是线性的. 当在忆阻器两端外加偏置电压 $v(t)$ 时, 由欧姆定律可得:

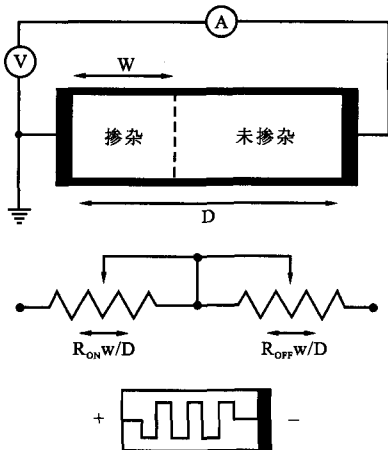


图1 忆阻器模型等效电路^[2]

$$v(t) = \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right) i(t) \quad (2)$$

$$\frac{dw(t)}{dt} = \mu_V \frac{R_{ON}}{D} i(t) \quad (3)$$

对式(3)两端求积分有:

$$w(t) = \mu_V \frac{R_{ON}}{D} q(t), \quad w(t) \in [0, D] \quad (4)$$

将式(4)代入(2)中, 考虑到 $R_{OFF} \gg R_{ON}$, 可推出:

$$M(q) = R_{OFF} \left(1 - \frac{\mu_V R_{ON}}{D^2} q(t) \right) \quad (5)$$

由上式可知, μ_V 越大或 D 越小时, 忆阻器的阻值受 $q(t)$ 的影响越大. 由于因子 $1/D^2$ 的作用, 使得忆阻器阻值受 $q(t)$ 影响的作用在纳米级器件上表现得比微米级器件更为明显^[2].

由式(5)知, 当通过忆阻器的正向电荷足够多时, 即 $w(t) = 0$ 时, $M(q) = R_{ON}$, 这时忆阻器的阻值非常低, 认为其处于开通的状态; 相反, 当通过忆阻器的正向电荷很少时, 即 $w(t) = D$ 时, $M(q) = R_{OFF}$, 这时忆阻器的阻值非常高, 认为其处于关断的状态. 当 μ_V 越大或 D 越小时, 忆阻器开关状态之间的转换所需要的电荷就越多, 即越容易发生开关状态之间的转换.

忆阻器的典型 I-V 曲线如图 2(a) 所示, 施加在忆阻器上的激励是正弦电压信号: $v(t) = \sin(\omega_0 t)$. 当电压为正时, 流经忆阻器的电流为正, 则流经忆阻器的正向电荷增加, 其阻值减小; 当电压反相时, 流经忆阻器的电流为负, 流经忆阻器的正向电荷减少, 阻值增加. 当电压由正向负变化过零时, 电流亦由正向负变化过零, 此时忆阻器的电阻值最小, 忆阻器表现为开通状态; 反之, 当电压由负向正变化过零时, 电流亦由负向正变化过零, 此时忆阻器的电阻值最大, 忆阻器表现为关断状态. 从图中可以看出, 忆阻器的伏安特性是一个典型的滞回曲线.

正弦激励信号的频率越高时, 在忆阻器两端电压为正的时间里流经忆阻器的正向电荷量就越少, 其阻值变化就很小; 反之, 在电压为负的时间里流经忆阻器的反向电荷量也就越少, 其阻值变化也就很小, 故其 I-V 曲线就越接近于一条直线, 即近似于固定电阻.

为了更好地研究忆阻器, Zdeněk BIOLEK^[10] 等人在 HP 所实现的忆阻器的原型器件基础上分别提出了忆阻器的 SPICE (Simulation Program with Integrated Circuit Emphasis) 模型, 使没有条件制备忆阻器物理器件的研究者能够借助仿真模型开展忆

阻器的研究. 文献[10]中提出的非线性迁移模型, 允许研究者根据实际需要设定其中的 6 个参数, 这些参数分别是最大阻值 R_{OFF} 、最小阻值 R_{ON} 、初始阻值 R_{init} 、薄膜厚度 D 、迁移速度 μ_V 以及模型中使用的窗口函数的一个参数 p , 其仿真模型的 I-V 曲线如图 2(b)所示, 与图 2(a)十分接近, 其动态变化过程与图 2(a)一致, 其伏安特性也是一个典型的滞回曲线.

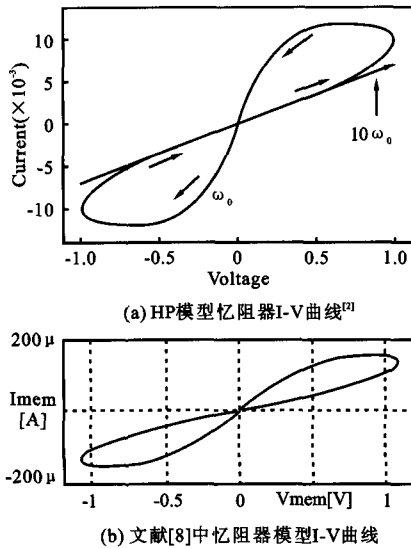


图 2 忆阻器 I-V 曲线

3 基本逻辑门电路的设计实现与仿真

传统的逻辑电路是利用晶体管的开关作用实现的, 其开关过程同样可以看作是电阻的变化导致的. 以 N 沟道 MOSFET 为例, 当栅源电压 v_{GS} 小于开启电压 V_T 时, 管子处于截止工作状态, 漏极电流 $i_D = 0$, 可认为源漏极之间的电阻 r_{DS} 很大; 当 $v_{DS} \leq (v_{GS} - v_T)$ (v_{DS} 为漏源电压) 时, 管子处于可变电阻区, 此时 $r_{DS} = \frac{1}{2K_n(v_{GS} - v_T)}$ (其中 K_n 为电导常数); 当 $v_{GS} \geq v_T$, 且 $v_{DS} \geq (v_{GS} - v_T)$ 时, 管子导通处于饱和区, 此时 r_{DS} 很小. 虽然同样是因为电阻的变化而表现出的开关现象, 但是与 MOSFET 不同的是: 忆阻器是二端器件, 没有第三个控制端, 其状态的变化与两端的压差有关, 因此单纯使用一个忆阻器无法实现用电平高低状态表示逻辑的功能, 应该考虑用多个忆阻器串、并联的结构来构造逻辑门.

忆阻器又可以看作是与二极管类似的单向导通器件. 当在忆阻器的正负端之间加上正向偏置电压时, 其阻值会逐渐减小至最小值 R_{ON} , 当在忆阻器的正负端之间加上反向偏置电压时, 其阻值会逐渐增大至最大值 R_{OFF} , 即可认为施加正向偏置时忆阻器

导通, 施加反向偏置时忆阻器截止. 但是, 与二极管不同的是, 虽然反向偏置会使忆阻器阻值变得很大, 但不能认为是无限大, 因此, 忆阻器也不能借用 DRL (Diode Resistor Logic) 的结构来构造逻辑电路.

忆阻器有开关状态转换的特性, 也有类似二极管的性质, 但忆阻器在本质上还是一个可变电阻, 而且是一个 $R_{OFF} \gg R_{ON}$ 的可变电阻. 因此, 单纯用忆阻器来设计用电平高低状态表示逻辑的逻辑门电路时, 逻辑功能是在输入信号的作用下忆阻器的阻值发生变化从而导致输出电压发生变化而实现.

3.1 基本逻辑门的设计

3.1.1 与门

实现与门的电路如图 3(a)所示, 将两个忆阻器 ($M1, M2$) 的正端对接, $F1$ 作为输出端, $A1, B1$ 作为输入端. 设 $A1, B1, F1$ 的电压分别为 v_{A1}, v_{B1}, v_{F1} , $M1, M2$ 的电阻分别为 r_{M1}, r_{M2} , 则 $v_{F1} = \frac{r_{M2}}{r_{M1} + r_{M2}} v_{A1} + \frac{r_{M1}}{r_{M1} + r_{M2}} v_{B1}$, 假设高电平的电压为 V_H , 低电平电压为 V_L (下同). 电路的工作过程如下:

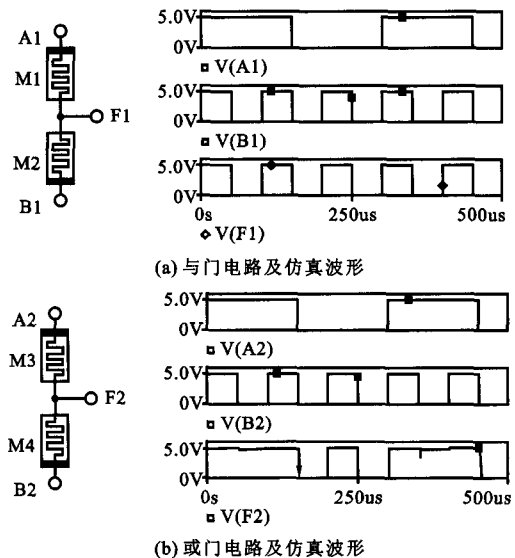


图 3 基本逻辑门电路的实现及其仿真波形

①当输入 $A1 = B1 = "0"$ ("0"表示低电平, 逻辑 0; "1"表示高电平, 逻辑 1, 下同) 时, 无论 r_{M1}, r_{M2} 前一状态的值为多少, $v_{F1} = V_L$, 输出 $F1 \equiv "0"$;

②当输入 $A1 = "0", B1 = "1"$ 时, $M1$ 上施加的是正向偏置电压, $M2$ 上施加的是反向偏置电压, 无论 $M1, M2$ 前一状态的阻值是多少, 输入信号作用一段时间之后, $r_{M1} = R_{ON}, r_{M2} = R_{OFF}$, 此时 $v_{F1} = \frac{R_{OFF}}{R_{ON} + R_{OFF}} V_L + \frac{R_{ON}}{R_{ON} + R_{OFF}} V_H \approx \frac{R_{OFF}}{R_{ON} + R_{OFF}} V_L \approx$

V'_L , 即输出 $F1="0"$;

③当输入 $A1="1"$ 、 $B1="0"$ 时, $M1$ 上施加的是反向偏置电压, $M2$ 上施加的是正向偏置电压, 无论 r_{M1} 、 r_{M2} 前一状态的值是多少, 输入信号作用一段时间之后, $r_{M1} = R_{OFF}$, $r_{M2} = R_{ON}$, 此时 $v_{F1} = \frac{R_{ON}}{R_{ON}+R_{OFF}} V_H + \frac{R_{OFF}}{R_{ON}+R_{OFF}} V_L \approx \frac{R_{OFF}}{R_{ON}+R_{OFF}} V_L \approx V'_L$, 即输出 $F1="0"$;

④当输入 $A1=B1="1"$ 时, 无论 r_{M1} 、 r_{M2} 前一状态的值为多少, $v_{F1}=V_H$, 输出 $F1="1"$ 。

由以上分析可知, 当且仅当 $A1=B1="1"$ 时, $F1="1"$, 即该电路实现了逻辑与的功能: $F1=A1 \cdot B1$ 。

为了验证电路的功能, 我们通过 Spice 仿真软件仿真所设计的电路, 此处取 $D=1\text{nm}$, $\mu_V=10^{-10}\text{cm}^2\text{S}^{-1}\text{V}^{-1}$, $p=1$, $M1$ 、 $M2$: $R_{bit}=14\text{K}\Omega$, $R_{OFF}=16\text{K}\Omega$, $R_{ON}=0.1\text{K}\Omega$ 。

仿真波形如图 3(a)所示, 图中 $V(A1)$ 、 $V(B1)$ 为输入信号, $V(F1)$ 为输出信号, 从图中可以看出, 仅当输入信号均为高电平时, 输出信号才为高, 其他输入状况下, 输出均为低电平, 该电路实现了逻辑“与”的功能。

3.1.2 或门

实现或门的电路如图 3(b)所示, 将两个忆阻器 ($M3$ 、 $M4$) 的负端对接, $F2$ 作为输出端, $A2$ 、 $B2$ 作为输入端, 电路的工作过程如下:

①当输入 $A2=B2="0"$ 时, 无论 r_{M3} 、 r_{M4} 前一状态的值为多少, $v_{F2}=V_L$, 输出 $F2="0"$;

②当输入 $A2="0"$ 、 $B2="1"$ 时, $M3$ 上施加的是反向偏置电压, $M4$ 上施加的是正向偏置电压, 无论 r_{M3} 、 r_{M4} 前一状态的值为多少, 输入信号作用一段时间之后, $r_{M3} = R_{OFF}$, $r_{M4} = R_{ON}$, 此时 $v_{F2} = \frac{R_{ON}}{R_{ON}+R_{OFF}} V_L + \frac{R_{OFF}}{R_{ON}+R_{OFF}} V_H \approx \frac{R_{OFF}}{R_{ON}+R_{OFF}} V_H \approx V'_H$, 即输出 $F2="1"$;

③当输入 $A2="1"$ 、 $B2="0"$ 时, $M3$ 上施加的是正向偏置电压, $M4$ 上施加的是反向偏置电压, 无论 r_{M3} 、 r_{M4} 前一状态的值为多少, 输入信号作用一段时间之后, $r_{M3} = R_{ON}$, $r_{M4} = R_{OFF}$, 此时 $v_{F2} = \frac{R_{OFF}}{R_{ON}+R_{OFF}} V_H + \frac{R_{ON}}{R_{ON}+R_{OFF}} V_L \approx \frac{R_{OFF}}{R_{ON}+R_{OFF}} V_H \approx V'_H$, 即输出 $F2="1"$;

④当输入 $A2=B2="1"$ 时, 无论 r_{M3} 、 r_{M4} 前一状态的值为多少, $v_{F2}=V_H$, 输出 $F2="1"$ 。

由以上分析可知, 当且仅当 $A2=B2="0"$ 时,

$F2="0"$, 即该电路实现了逻辑或的功能: $F2=A2+B2$ 。

通过 Spice 仿真软件仿真所设计的电路, 此处取 $D=1\text{nm}$, $\mu_V=10^{-10}\text{cm}^2\text{S}^{-1}\text{V}^{-1}$, $p=1$, $M3$ 、 $M4$: $R_{bit}=2\text{K}\Omega$, $R_{OFF}=16\text{K}\Omega$, $R_{ON}=0.1\text{K}\Omega$ 。

仿真波形如图 3(b)所示, 图中 $V(A2)$ 、 $V(B2)$ 为输入信号, $V(F2)$ 为输出信号, 从图中可以看出, 仅当输入信号均为低电平时, 输出信号才为低, 其他输入状况下, 输出均为高电平, 因此, 该电路实现了逻辑“或”的功能。

由以上电路分析及仿真实验可知, 单纯使用多个忆阻器可以实现用电平的高低状态表示逻辑的逻辑门, 很好地实现了与、或布尔逻辑功能。

3.2 扩展实验

为了进一步验证所设计的基本逻辑门的功能, 我们以这些逻辑门为基本单元实现了一些组合逻辑电路, 并通过仿真实验验证所设计的电路是否能实现所要求的组合逻辑功能。

① $F4=A4 \cdot B4 \cdot C4$

如图 4(a)所示, 用两个与门构成了一个三输入的与门。其中 ($M9$ 、 $M10$) 构成了一个基本的与门, ($M11$ 、 $M12$) 也构成了一个基本的与门, ($M9$ 、 $M10$) 的输出 $F4'$ (即 $F4s$) 作为 ($M11$ 、 $M12$) 的一个输入。仿真波形如图 4(a)所示, 由波形可以看出: $F4'=A4 \cdot B4$, $F4=F4' \cdot C4$, 因此 $F4=A4 \cdot B4 \cdot C4$, 这说明该电路实现了三输入与门的功能。

② $F5=A5+B5+C5$

如图 4(b)所示, 用两个或门构成了一个三输入的或门。其中 ($M13$ 、 $M14$) 构成一个基本的或门, ($M15$ 、 $M16$) 也构成一个基本的或门, ($M13$ 、 $M14$) 的输出 $F5'$ (即 $F5s$) 作为 ($M15$ 、 $M16$) 的一个输入。仿真波形如图 4(b)所示, 由波形可以看出: $F5'=A5+B5$, $F5=F5'+C5$, 因此 $F5=A5+B5+C5$, 即该电路实现了三输入或门的功能。

③ $F6=A6 \cdot B6+C6$

如图 4(c)所示, 用一个与门和一个或门构成了一个三输入的与或门。其中 ($M17$ 、 $M18$) 构成一个基本的与门, ($M19$ 、 $M20$) 构成一个基本的或门, ($M17$ 、 $M18$) 的输出 (即 $F6s$) 作为 ($M19$ 、 $M20$) 的一个输入。仿真波形如图 4(c)所示, 从波形图中可以看出: $F6'=A6 \cdot B6$, $F6=F6'+C6$, 因此 $F6=A6 \cdot B6+C6$, 即该电路实现了三输入与或门的功能。

可以看出, 用本文所设计的“与”、“或”逻辑门作为基本逻辑门单元能够实现完成一些组合逻辑功能

的电路,进一步说明所设计的基本逻辑门满足基本的逻辑门功能。

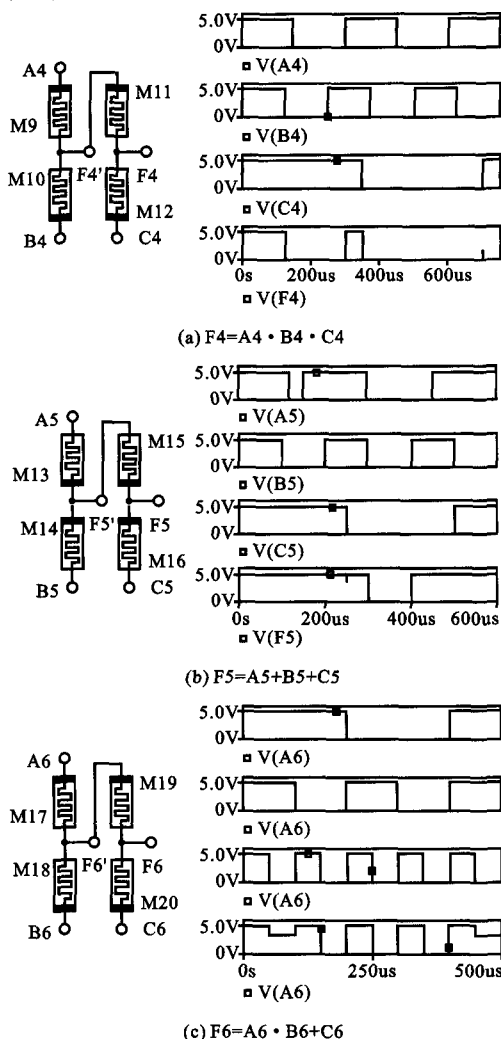


图4 组合逻辑功能的实现电路及仿真波形

3.3 分析

通过以上分析及仿真结果可以看出,本文所提出的只使用忆阻器实现传统的用电平高低状态表示逻辑的基本逻辑门电路的实现方案具有一些独特的优点。

我们用忆阻器实现的逻辑门在逻辑表示上用的是传统常用的电压,而不是忆阻器阻值的开关状态。所实现的电路并没有使用晶体管、固定电阻等其它元器件,而仅仅使用的是忆阻器,这使得在电路的制备上变得相对简单些。相比于本文第一部分所提到的用忆阻器实现的逻辑应用,我们的方案在实现逻辑功能的时候不需要时序操作。由于是纳米级的器件^[2],当用忆阻器实现逻辑电路时,相比于微米级的晶体管电路,能实现更高密度的集成,而且忆阻器也更容易实现3D的制备。另外,用忆阻器实现逻辑应用时,其功耗相对于晶体管电路来说是相当

低的^[11]。

虽然我们的方案有上述优点,但是也有些不足之处。从仿真波形上可以看出,在有些输入信号发生变化的地方,输出信号有些毛刺,以图3(a)与门的仿真波形为例,在 $200\mu\text{s}$ 处出现了毛刺,因为在 $50\mu\text{s}$ 至 $100\mu\text{s}$ 间 $v_{A1}=V_H$ 、 $v_{B1}=V_L$,所以 $r_{M1}=R_{OFF}$ 、 $r_{M2}=R_{ON}$,在 $100\mu\text{s}$ 至 $200\mu\text{s}$ 间 $v_{A1}=v_{B1}$,所以 r_{M1} 、 r_{M2} 保持不变,当在 $200\mu\text{s}$ 处 v_{A1} 、 v_{B1} 变为 $v_{A1}=V_L$ 、 $v_{B1}=V_H$ 时, r_{M1} 开始由 R_{OFF} 减小至 R_{ON} , r_{M2} 开始由 R_{ON} 增大至 R_{OFF} ,由于 r_{M1} 、 r_{M2} 变化需要一定时间,这使得 v_{F1} 在输入突然改变时因 r_{M1} 、 r_{M2} 还没开始变化所以会有所上升,但随着 r_{M1} 、 r_{M2} 的变化 v_{F1} 会下降至低电平, r_{M1} 、 r_{M2} 的变化时间即是毛刺的持续时间。由公式(5)可知,当流经忆阻器的电荷量一定时,其阻值的变化速率与迁移速度 μ_V 成正比,与薄膜厚度 D 的平方成反比,因此,若能制备出更小尺寸或是迁移速率更高的忆阻器,则电阻随电荷的变化速率也会更快,即忆阻器的开关速度更高。另外一个不足之处是没有实现非门的功能

4 结束语

本文提出了只用忆阻器一种元件实现基本逻辑门电路的方案。理论分析及仿真结果说明根据该方案所设计的电路能够实现基本的布尔逻辑操作,扩展实验进一步证实了方法是可行的。本文方案没有使用晶体管、固定电阻等元件;用电平高低状态表示逻辑,这与晶体管逻辑电路在逻辑的表示上是一致的,实现逻辑功能时无需时序操作。相比于晶体管集成电路,用忆阻器实现逻辑门在电路尺寸、集成密度、电路功耗等方面因忆阻器本身的特性而具有天然的优势。

参考文献:

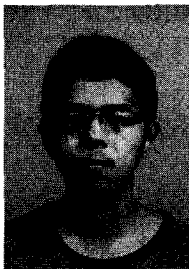
- [1] Chua L O. Memristor-the missing circuit element[J]. IEEE Trans Circuit Theory, 1971,18(5):507-519.
- [2] Strukov D B. The missing memristor found[J]. Nature, 2008,453(7191):80-83.
- [3] 蔡坤鹏. 第四种无源电子元件忆阻器的研究及应用进展[J]. 电子元件与材料,2010,29(4):78-82.
- [4] Julien Borghetti, Zhiyong Li. A hybrid nanomemristor/transistor logic circuit capable of self-programming[J]. PNAS, 2009,106(6):1699-1703.
- [5] Kvaterny S, Kolodny A. Memristor-based IMPLY Logic Design Procedure[C]//ICCD(2011). USA: Amherst, 2011:142-147.

(下转第21页)

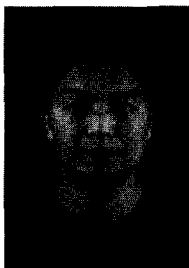
tronics[C]//Circuits and Systems (ICECS). Lebanon, Beirut, 2011.

- [5] 刘鸿瑾,张铁军,侯朝焕. 基于快速舍入的双精度浮点乘法器的设计[J]. 微电子学与计算机, 2006, 23(6): 162-165.
- [6] Gong Renxi, Zhang Shangjun, Zhang Hainan. Hardware implementation of a high speed floating point multiplier based on FPGA[C]//Proceedings of 2009 4th International Conference on Computer Science & Education. China: Wuhan, 2009.
- [7] 旷捷,毛雪莹,彭俊淇,等. 基于 FPGA 的单精度浮点数乘法器设计[J]. 电子技术应用, 2010(5): 17-19.
- [8] Venishetti S K, Akoglu A. A highly parallel FPGA based IEEE-754 compliant double-precision binary floating-point multiplication algorithm[C]//Field-Programmable Technology. Taiwan: Taipei, 2007.

作者简介:



肖 鹏 男,硕士研究生. 研究方向为集成电路设计.



江先阳 男,博士,副教授. 研究方向为 VLSI 设计、计算机体系结构、可重构计算等.

(上接第 16 页)

- [6] Raja T, Mourad, S. Digital logic implementation in memristor-based crossbars [C]//ICCCAS (2009). USA: California, 2009: 939-943.
- [7] Wei Lu, Kuk-Hwan Kim. Two-terminal resistive switches (memristors) for memory and logic applications [C]//ASP-DAC (2011). Japan: Yokohama, 2011: 217-223.
- [8] Q Xia, W Robinett. Memristor-CMOS hybrid integrated circuits for reconfigurable logic[J]. Nano letters, 2009, 9(10): 3640-3645.
- [9] Rose G S. Leveraging memristive systems in the construction of digital logic circuits[J]. Proceedings of

the IEEE, 2011(99): 1-17.

- [10] Zdeněk BIOLEK. SPICE model of memristor with non-linear dopant drift [J]. Radioengineering, 2009, 18 (2): 210-214.
- [11] Yang J J. High switching endurance in TaOx memristive devices[J]. Appl Phys Let 97, 2010, 232102(1-3): 10.

作者简介:

朱平平 男, (1986-), 硕士研究生. 研究方向为忆阻器、嵌入式应用.