

基于预充电和双采样技术的 S/H 电荷共享消除技术

孙振亚, 眭志凌, 陈 华, 徐双恒, 朱 欢, 张 军

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 针对开关电容采样/保持(S/H)电路中由负载电容记忆效应引起的电荷共享问题进行了建模. 电荷共享效应会导致运放建立幅度增加, 根据所推导的运放建立总公式, 得出建立幅度增加会增大对运放功耗和带宽要求, 或者降低建立速度. 为改善该现象, 基于预充电思想和双采样技术提出了一种优化方案, 能在保持原 S/H 电路速度不变时, 消除电荷共享效应对运放功耗和带宽的额外要求. 仿真实现的 12 位 100Msps 双采样/保持电路证明了其有效性.

关键词: 开关电容; 采样/保持; 记忆效应; 电荷共享; 预充电

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)03-0016-04

Modeling and Optimization of the Charge Sharing Effect of Switched-capacitor S/H Circuit

SUN Zhen-ya, SUI Zhi-ling, CHEN Hua,

XU Shuang-heng, ZHU Huan, ZHANG Jun

(State Key Lab. of Electronic Thin Films and Integrated Devices, University of Electronic Science & Technology, Chengdu 610054, China)

Abstract: Charge sharing phenomenon due to load capacitance's memory effect in switched-capacitor sample-and-hold(S/H) circuit is modeled, which gives it may cause the opamp settling amplitude increasing. According to the total equation derived from the settling behavior of opamp, the increased amplitude may further cause more power, larger bandwidth or lower speed. For improving this phenomenon, an optimizing methodology is proposed based on pre-discharge theory and double sampling technology, which can eliminate the extra requirement of power and bandwidth without reducing the initial speed of S/H circuit. A 12bit, 100Msps double S/H circuit achieved by simulation proves the availability of this method.

Key words: switched-capacitor; sample-and-hold; memory effect; charge sharing; pre-charge

1 引言

开关电容采样/保持(S/H)电路广泛应用于模数转换器(ADC). 运放在保持阶段对信号建立过程决定了 S/H 电路乃至整个 ADC 系统的速度和精度. 信号建立通常分为大信号建立和小信号建立两个阶段^[1]. 牺牲功耗可提高压摆率进而减小大信号建立时间^[2], 而增大带宽和优化相位裕度可以获得小信号的快速建立^[3-5]. 在开关电容运放建立的过

程中, 电荷共享现象^[6]会对信号建立的速度、运放的功耗和带宽等指标产生影响. 该现象因负载电容由于记忆效应而存储的记忆电荷引起, 这些记忆电荷导致运放在建立的起始时刻出现电荷共享现象, 使运放理想建立的起始电压发生电压跳变, 从而导致信号实际建立的幅度可能大于理想建立的幅度.

本文通过建立电荷共享效应的模型, 深入研究开关电容 S/H 电路中的电荷共享效应对运放信号建立带来的不利影响. 基于预充电思想和双采样技

收稿日期: 2012-06-24; 修回日期: 2012-07-19

基金项目: 国家教育博士点基金(200806141100)

术,提出一种改善该效应的方法,并通过理论分析和设计实例证明了该方法的有效性。

2 电荷共享效应理论建模

2.1 电荷共享效应对运放建立的影响

电路模型如图1所示。开关电容采样/保持电路拓扑为一般电容反转式结构,图1是其保持阶段模型。跨导运放(OTA)为全差分结构,根据对称性这里只取单边电路进行分析。 C_H 表示反馈电容(采样电容), V_H 表示电容 C_H 采样得到的信号值。 C_m 与 C_o 为运放的输入和输出端寄生电容,由于 C_m 与 C_o 总是与运放相连,其记忆电荷在运放每次工作时都被计入,不会带来额外影响,所以下面的分析将认为 C_m 与 C_o 所带记忆电荷为0。 C_n 表示运放后级等效负载电容,其记忆电荷来源于后级电路。时钟 Φ_1 与 Φ_2 分别控制 C_H 与 C_n 的接入, Φ_1 与 Φ_2 的时序完全相同。

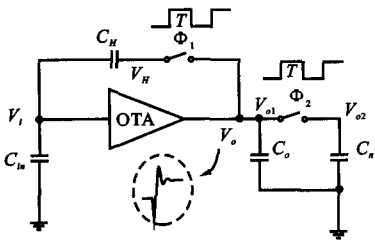


图1 开关电容 S/H 电路保持阶段模型

电荷共享发生在 C_n 接入运放的时刻,由于开关的导通电阻很小,所以充放电时间常数很小,这一过程在运放还未来得及响应的极短时间内就完成了。为简化计算,忽略开关的导通电阻而近似认为电荷共享在瞬间完成。假设 $V_H \in [-S_0, S_0]$,其中 S_0 表示运放所能承受的最大信号摆幅。并设 C_n 的记忆电压为 V_n ,则 $V_n \in [-S_0, S_0]$ 。其它节点电压 V_i 、 V_{o1} 、 V_{o2} 分别如图1所示。于是得到初始条件: $V_i(0_-) = V_o(0_-) = V_{o1}(0_-) = 0$, $V_{o2}(0_-) = V_n$ 。再根据节点电荷守恒定律可以列出方程,

$$\begin{cases} V_i(0_+)C_m + [V_i(0_+) - V_o(0_+)]C_H = -V_H C_H \\ [V_i(0_+) - V_i(0_+)]C_H + V_o(0_+)(C_n + C_o) = V_H C_H + V_n C_n \end{cases} \quad (1)$$

定义参数 $S_{sh} = |V_H - V_o(0_+)|$ 表示信号实际需要建立的幅度,求解方程得到:

$$S_{sh} = \left| \frac{(C_m + C_H)[V_H(C_o + C_n) - V_n C_n]}{C_n C_H + C_m(1 + C_H)(C_o + C_n)} \right| \quad (2)$$

在实际中,高精度应用需要较大的 C_H 满足工艺对电容匹配精度的要求;运放输入寄生电容 C_m 主要源自输入管的栅极电容,输出寄生电容 C_o 则通常

由多部分组成;而负载电容 C_n 则由后级电路决定。根据实际经验 C_m 与 C_o 一般可达到1pF左右,所以这里假设 $C_m = C_o = c$ 。并取 $(C_H, C_n) = (c, c)$ 、 $(c, 10c)$ 、 $(10c, c)$ 、 $(10c, 10c)$ 四组值分别模拟四种实际的应用情况。采用Matlab对式(2)进行分析,并将 S_{sh} 、 V_H 和 V_n 对 S_0 归一化,得到 S_{sh} 随 V_H 和 V_n 的变化规律如图2所示。

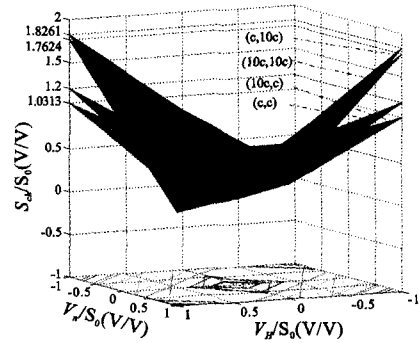


图2 实际建立幅度 S_{sh} 随 V_H 和 V_n 的变化规律

从图2可以看到, S_{sh} 可能大于 S_0 也可能小于 S_0 ,这与需要建立的信号幅度 V_H 有关,也与负载电容引入的电压 V_n 有关。图中的等高线显示 S_{sh} 的变化规律分布对称,当 V_H 与 V_n 符号相反时,最有可能使 S_{sh} 大于 S_0 。由于实际中 V_n 的不确定性,因而很难预测其影响是好还是坏。所以在设计时,需要分析最坏的影响,并使运放的性能足以满足该点建立的要求。算出四种情况下 $S_{sh, \max}$ 分别为: $1.2S_0$ 、 $1.8261S_0$ 、 $1.0313S_0$ 、 $1.7624S_0$ 。可见它们都大于理想建立幅度 S_0 ,在 $(c, 10c)$ 情况下 $S_{sh, \max}$ 最大,超过 S_0 近一倍,达82.61%。并且随着 C_n 增加, $S_{sh, \max}$ 显著增大。

2.2 电荷共享效应对运放建立的影响

实际中采用的运放通常是一种A类跨导运放,定义使其输入管电流刚刚达到饱和的临界输入电压为 ΔV_{th} 。当输入信号摆幅 $S \geq \Delta V_{th}$ 时,信号在 $[0, S - \Delta V_{th}]$ 范围内属于大信号建立,在 $[S - \Delta V_{th}, S]$ 范围内属于小信号建立^[1]。为综合分析两个建立过程的相互制约关系,设分配给大信号和小信号建立的时间比例因子分别为 k_1 和 k_2 ,则 $k_1 + k_2 = 1$ 。

对大信号建立,假设运放的单臂偏置电流为 I_{ss} , μ 为MOS管的迁移率, C_{ox} 为单位面积栅氧化层电容, W 和 L 分别为输入管的宽和长,则由摆率公式可以得到:

$$(S - \sqrt{2I_{ss}/(\mu C_{ox} W/L)})/(k_1/2f_s) = I_{ss}/C_L \quad (3)$$

其中 f_s 表示S/H电路的采样速率; C_L 为运放驱动的负载电容,其由后级等效负载 C_n 、运放寄生电容 C_o 和反馈电容 C_H 的Miller等效部分组成,近

似等于 $C_n + C_o + C_H$.

对小信号建立, 将运放模拟成二极点响应系统^[3], 可以求出在建立精度 D 要求下实现最小时间建立的约束条件为

$$\frac{k_2}{2f_s} = \frac{\pi}{\omega_1 [\beta_0 (1 + A_0) - (1 + \beta_0)^2 / 4]^{1/2}} \quad (4)$$

其中 A_0 表示运放直流增益, ω_1 表示运放第一主极点; β_0 表示第二主极点与第一主极点之比, 其值由 A_0 和 D 确定.

于是联立, 式(3)、式(4), 并根据 $k_1 + k_2 = 1$ 化简可以求得

$$S = \sqrt{2I_{ss} / (\mu_n C_{ox} W / L)} + (I_{ss} / C_L) \times \{1 / (2f_s) - A_0 \pi / \{f_T [\beta_0 (1 + A_0) - (1 + \beta_0)^2 / 4]^{1/2}\}\} \quad (5)$$

其中 f_T 表示运放的单位增益带宽. 从式(5)可以看出, 当运放增益和精度要求一定时, 建立幅度 S 与运放偏置电流 I_{ss} 和带宽 f_T 成正比, 与建立速度 f_s 成反比.

这就意味着, 当电荷共享导致建立幅度 S 超过理想幅度 S_0 时, 在原有运放性能下会降低信号建立的速度, 限制采样的最大速率; 如果要求保持建立速度不变, 则必然会提高对运放功耗和带宽的要求.

3 优化方案与实现技术

本文基于预充电思想, 采用双通道采样技术^[5]对 S/H 电路提出了一种改进方法. 预充电思想的原理是在后级负载接入前先对本级运放输出节点进行完全建立, 使之达到需要的建立幅度. 图 3 是采用该方法的技术原理图. 其中通道 1 和通道 2 交叉工作, 由两相不交叠时钟 Φ_{11} 与 Φ_{12} 分别控制, 它们的频率都降为原时钟 Φ_1 的一半, 因而电路最终实现的采样速度仍然是以前的 $1/2T$. 但由于 Φ_{11} 与 Φ_{12} 的周期变为了以前的 2 倍, 这样在后级电路和时序 Φ_2 不变的情况下, 相当于信号建立时间增大了 1 倍. 事实上, 负载 C_n 只在信号建立时间 $2T$ 的后半 T 内接入, 前半 T 则实现了输出节点的预建立.

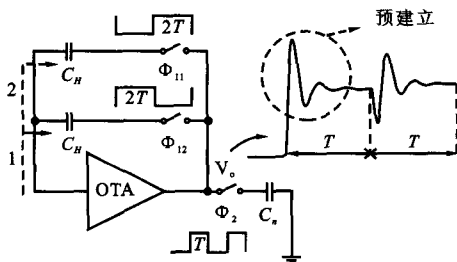


图3 采用双通道采样技术实现预充电

当后级负载电容接入时电荷共享现象仍会发生, 然而此时却不会带来额外的影响. 由于该电路在每个周期的保持阶段只有单通道工作, 故仍可采用图 1 所示的电路模型, 这时初始条件变为: $V_i(0_-) = 0, V_o(0_-) = V_{o1}(0_-) = V_H, V_{o2}(0_-) = V_n$. 同样根据节点电荷守恒定律, 可列方程求得发生电荷共享后信号需要重新建立的幅度为

$$S_{pre-ch} = \left| \frac{(V_H - V_n)(C_{in} + C_H)C_n}{C_n C_H + (C_{in} + C_H)(C_o + C_n)} \right| \quad (6)$$

定义归一化改善因子 $\eta = (S_{ch, max} - S_{pre-ch, max}) / S_{ch, max}$. 求出 $(C_H, C_n) = (c, c), (10c, c), (c, 10c), (10c, 10c)$ 时对应的改善因子 η 分别为 33.33%、4.76%、4.71%、33.34%. 可以看到影响改善效果最主要因素仍是负载电容, 负载电容越小, 改善效果越明显. 然而 η 最大仍只有 33.34%, 即 $S_{pre-ch, max}$ 仍有大于 S_0 的可能.

然而, 此时并未考虑运放的响应条件已发生改变. 在预充电环境下, 信号已完成建立并处于保持状态, 此时输出节点电压的任何微小扰动都会被运放及时响应并得到补偿. 所以当电荷共享发生时, 尽管时间很短, 运放的响应补偿动作也同时进行, 实际中电压的跳变幅度将远小于 S_{pre-ch} .

4 仿真验证和比较分析

基于 SMIC 0.18 μm CMOS 工艺, 采用 Cadence Hspice 工具, 仿真本文设计的 12 位 100Msps 双采样/保持电路, 得到输出最高点建立波形如图 4 所示. 可以看到双采样/保持电路一个周期为 10ns, 单周期内实现了预建立和建立两个动作, 最坏情况下电荷共享导致的电压跳变在 $S_0/2$ 左右.

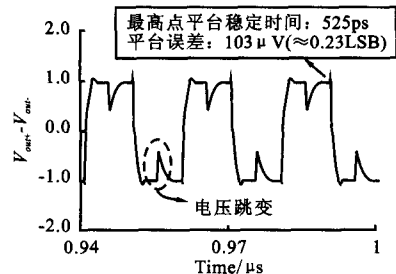


图4 双采样/保持电路输出最高点建立波形

通过观察图 4 的输出特性曲线可知, 双采样/保持电路(图 3 所示)先经由通道 1 将输入信号直接送到输出端, 实现输出信号预建立到最大输出摆幅 S_0 ; 接着进入通道 1 和通道 2 交叉切换阶段, 此刻运放输出端置位到共模电平, 输出端与运放负载短接后获得了 $S_0/2$ 左右电压跳变; 最后经由通道 2 使得

在输出端完成最大 $S_0/2$ 的信号再建立,实现了 $103\mu\text{V}$ 建立误差和 525ps 平台稳定时间。

由此可见,双通道采样预充电方法能比传统的保持阶段预放电方法降低了输出信号的建立时间,从而实现更高的速度。同时,它能在保持原电路速度不变时降低对运放功耗和带宽要求。

5 结束语

通过建立电荷共享效应的模型并推导运放信号建立的总公式,分析了开关电容 S/H 电路中由负载电容记忆效应引起的电荷共享这一普遍现象对信号建立的影响,得出在选取的四组情况下电荷共享最坏会使建立幅度增加 82.61% ,进而导致增大对运放功耗和带宽的要求或者降低建立速度。为改善该现象,提出了一种双通道采样预充电的实现方法。相比于传统的预放电方法,它能在保持原电路速度不变时消除该效应对运放功耗和带宽的额外要求,同时降低了时钟设计的难度。设计的 12 位 100Msps 的双采样/保持电路证明了该方法的有效性。

参考文献:

- [1] Santosh Devasia. Design of feedforward Input for output-settling control with dual-stage actuators [J]. IEEE Transactions on Mechatronics, 2007, 12(6): 670-679.
- [2] Andrea Pugliese, Francesco Antonio Amoroso, Gregorio Cappuccino, et al. Settling time optimization for three-stage CMOS amplifier topologies [J]. IEEE Transactions on Circuits and Systems—I: Regular Papers, 2009, 56(12): 2569-2582.
- [3] Shirazi A N, Mirhaj S A, Ashtiani S J, et al. Linearity improvement of open-loop NMOS source-follower sample and hold circuits [J]. IET Circuits Devices Syst., 2011, 5(1): 1-7.
- [4] Charles T Peach, Un Ku Moon, David J Allstot. An 11.1mW 42MS/s 10b ADC with two-step settling in $0.18\mu\text{m}$ CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45(2): 391-400.
- [5] Yu W, Temes G C. Power-up calibration techniques for double-sampling $\Delta\Sigma$ modulators [J]. Electronics Letters, 2009, 45(19): 15-16.
- [6] Yu Z, Pertijs M A P, Meijer G C. Ultrasound beam-former using pipeline-operated S/H delay stages and charge-mode summation [J]. Electronics Letters, 2011, 47(18): 46-47.

作者简介:

孙振亚 男,(1986-),硕士研究生.研究方向为数模混合信号集成电路。

陆志凌 男,(1986-),硕士研究生.研究方向为数模混合信号集成电路研究。