

32×32 位三端口寄存器堆的加固设计

宋丽丽, 来逢昌, 肖立伊

(哈尔滨工业大学 微电子中心, 黑龙江 哈尔滨 150001)

摘 要: 为了克服集成电路在辐射环境下所受的影响, 在 SMIC0.18 μm 工艺下, 设计一款应用于 LEON3 处理器核中的加固的 32×32 位三端口寄存器堆. 存储单元内部采用改进的双向互锁存储单元(DICE)结构, 外围组合电路采用 C-element 结构. 电路模拟结果表明, 室温条件下, 工作电压为 1.8V, 寄存器堆工作在 200MHz 时, 能够实现两读一写的功能, 并能同时消除单粒子翻转(SEU)和单粒子瞬态(SET)效应. 与汉明码加固方式相比, 该方法具有较高的抗辐射能力和较快的速度.

关键词: 寄存器堆; DICE; C-element 单元; 单粒子翻转; 单粒子瞬态

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2012)12-0027-04

Design of 32×32 Bit 3-port Hardened Register File

SONG Li-li, LAI Feng-chang, XIAO Li-yi

(Microelectronics Center, Harbin Institute of Technology, Harbin 150001, china)

Abstract: In this paper, a 32×32 bit 3-port hardened register file used in LEON3 processor is implemented in SMIC 0.18 μm CMOS technology. Memory cell is formed of DICE that is modified. Peripheral combination circuit is carried out with C-element. The results of circuit simulation show that when the register file work at 200MHz and the temperature is 27°C with 1.8V power supply, the function of 2-read 1-write can be implemented, and SEU, SET can be avoided at the same time. Compared with hamming coding for register file, the design has higher anti-radiation ability and faster velocity.

Key words: register file; DICE; C-element; SEU; SET

1 引言

集成电路在太空环境中受到高能粒子撞击容易发生软错误, 本设计对应用于 LEON3 处理器核中的三端口寄存器堆进行加固, 使之适用于高辐射的太空环境.

LEON3 是 32 位处理器, 它基于 SPARC V8 指令结构, 是 VHDL 综合模型. 指令包含对三个寄存器的操作, 其中两个操作数寄存器, 一个结果写回寄存器, 实现两读一写的功能^[1].

太空中的高能粒子辐射产生的转移电荷量超过器件的临界电荷, 对于时序电路会发生单粒子翻转(Single Event Upset, SEU), 对于组合电路会发生单粒子瞬态效应(Single Event Transient, SET),

影响数据的正确性. 应用于太空环境中的寄存器堆, 对抗辐射性能有很高的要求^[2-3].

目前, 存储器的加固方式主要有 ECC(Error Correction Codes)、三模冗余、存储单元加固等方式, 组合电路的加固方式主要有三模冗余、C-element 单元等方式.

三模冗余对组合电路的加固同样会带来很大的面积, 功耗, 延迟冗余, 而将 C-element 单元放入寄存器堆的传输路径中, 能够起到消除 SET 的影响, 但带来的冗余非常小.

本文设计了一款抗辐射性能很高的三端口寄存器堆, 采用改进的 DICE 结构和 C-element 单元对存储单元和组合电路分别加固, 能同时消除 SEU 和 SET.

2 加固的三端口寄存器堆结构

本文设计的 32×32 位三端口寄存器堆能够实现两读一写的功能,并满足 LEON3 处理器核的工作速度 80MHz. 同时针对寄存器堆在高辐射环境下的应用,对其进行加固,以同时抗单粒子翻转和单粒子瞬态效应. 加固的三端口寄存器堆的整体结构如图 1 所示.

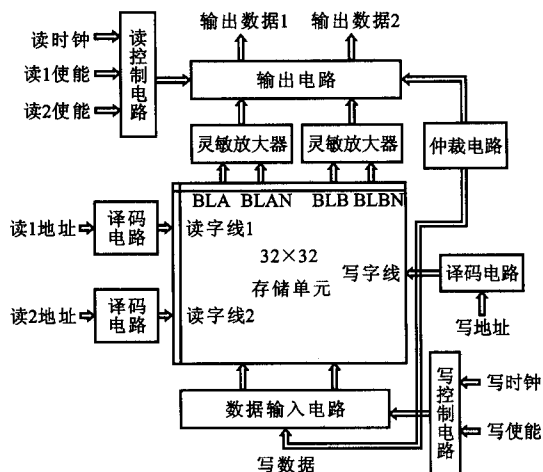


图 1 三端口寄存器堆整体结构

寄存器堆由存储单元和外围电路两大部分组成. 存储单元的加固采用改进的 DICE 结构,既能防止 SEU 的发生,又能适用于三端口寄存器堆的结构设计. 外围电路主要包括地址锁存、地址译码、读出灵敏放大器以及输入输出数据缓冲电路,读写控制,仲裁电路等部分. 外围组合电路的加固采用 C-element 单元,以消除单粒子瞬态效应.

2.1 存储单元加固

寄存器堆的存储单元采用改进的双向互锁存储单元(DICE)结构,能够完全抗单粒子翻转,DICE 结构^[4]如图 2 所示.

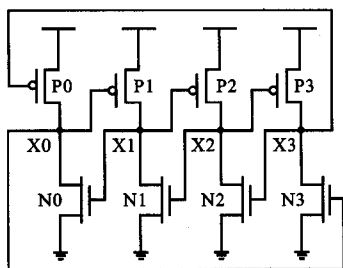


图 2 DICE 结构

DICE 采用单管反相器构成反馈环,其中 P_0, P_1, P_2, P_3 为 PMOS 管, N_0, N_1, N_2, N_3 为 NMOS 管. DICE 四个节点中, X_0-X_2 和 X_1-X_3 分别存储相同的信息,通过传输门的同步存取来进行读写操作.

存储相同信息的节点,在逻辑上被隔离. 当单粒子翻转将其中一个节点的状态改变,由于隔离结构,存储相同状态的另一节点并没有改变状态,进而将错误的状态修正. 当 $X_i (i=0 \sim 3)$ 中的某个存储节点受到脉冲的影响发生变化,隔离的其他节点会很快地恢复. 在其他节点状态的影响下,这种扰动很快会被消除,并恢复正确的状态.

改进的 DICE 结构为三端口存储单元,如图 3 所示. 三端口存储单元采用三对独立的互补位线和三条独立的字线进行单元的读写控制,能够实现三端口寄存器堆在同一周期的读写要求,基于 DICE 的改进结构,还能够对 SEU 完全免疫.

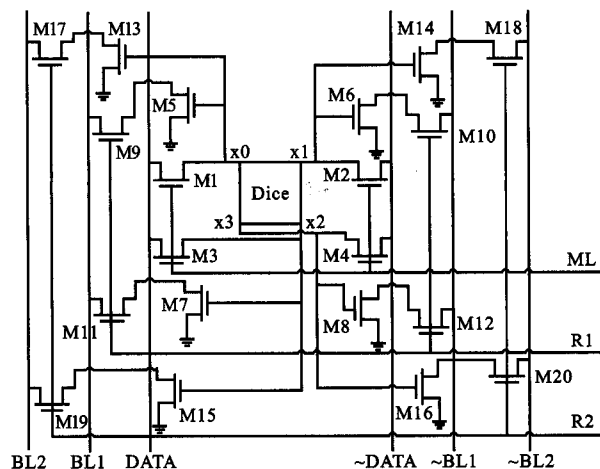


图 3 三端口 DICE 结构

由图 3 可知, WL 为写字线, R_1, R_2 为读字线,分别控制 DICE 单元的写入和读出,因此能够实现两读一写的功能. 三对独立的差分互补位线分别为 $DATA$ 和 $\sim DATA$, BL_1 和 $\sim BL_1$, BL_2 和 $\sim BL_2$. $DATA$ 和 $\sim DATA$ 为写位线,由于写数据具有很强的驱动能力,用传输管直接引入就可以实现存储单元的写操作,由于 DICE 结构有四个存储节点,因此,需要四个传输管 M_1, M_2, M_3, M_4 进行位线的引出,传输管的宽长比要能满足数据的驱动能力. BL_1 和 $\sim BL_1$, BL_2 和 $\sim BL_2$ 分别为两个读出端口的读位线,读位线采用下拉管加传输管的方式,能够防止两个读端口的信号干扰和隔离读操作对存储节点的影响,并能减少沟道注入电荷对存储节点的影响. BL_1 和 $\sim BL_1$ 采用了 M_5, M_6, M_7, M_8 下拉管和 $M_9, M_{10}, M_{11}, M_{12}$ 传输管. BL_2 和 $\sim BL_2$ 采用 $M_{13}, M_{14}, M_{15}, M_{16}$ 下拉管和 $M_{17}, M_{18}, M_{19}, M_{20}$ 传输管. 采用差分互补位线,提高了抗噪声能力,通过灵敏放大器,降低了位线摆幅,加快了读出速度.

指数型电流源能够模拟单粒子事件的发生。因此,在寄存器堆存储单元和外围电路的敏感节点插入指数型电流源,能够模拟单粒子翻转和单粒子瞬态的发生,以检验电路的抗辐射能力。指数型电流源可以模拟 α 离子和中子撞击的发生。

寄存器堆存储单元三端口 DICE 结构的抗辐射性能,可以采用中子撞击产生的电流脉冲来进行模拟,如图 4 所示。

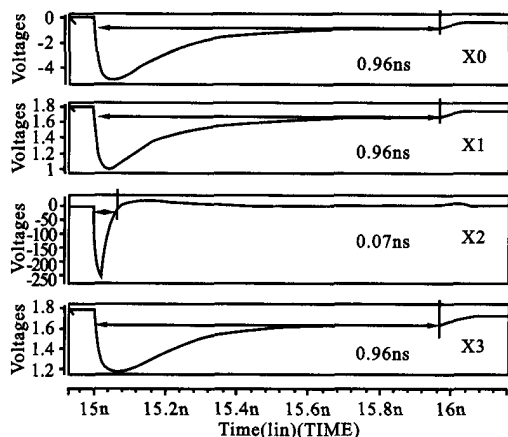


图 4 三端口 DICE 单元的抗辐射性能

由图 4 可以看出,在三端口 DICE 结构的四个存储节点中,设置节点 X3 为高电平,中子撞击后,节点 X3 处产生负脉冲,存储节点产生波动,但是 X2 节点经过 0.07 ns 就恢复了原来的状态,在 X2 节点的作用下,经过较短时间 0.96 ns,所有的节点都基本恢复了原来的状态。经实验表明,无论粒子撞击能量多高,都能保证三端口 DICE 结构能够完全对 SEU 免疫。

2.2 外围电路加固

当粒子撞击组合电路时,会产生瞬态脉冲,使组合电路发生单粒子瞬态效应^[5],可以采用 C-element 单元加延迟链的结构进行修正。C-element 单元是时间冗余技术,与三模冗余方式相比,面积开销低,性价比高。

反相器延迟链加 C-element 单元的修正方案如图 5 所示。Din 为输入信号,Din Delayed 为经过反相器链延迟的信号,当 Din 和 Din Delayed 逻辑相等时,C-element 单元的功能为反相器,若 Din 和 Din Delayed 逻辑不相等,C-element 单元输出高阻态并保持前一状态值。调整反相器链的尺寸,使反相器链的延迟时间比 SET 脉冲的宽度大,因此,当组合电路发生 SET,到达 C-element 单元的 Din 与 Din Delayed 逻辑值不同,因而 SET 脉冲无法传播到输出端,从而消除组合电路中的 SET。

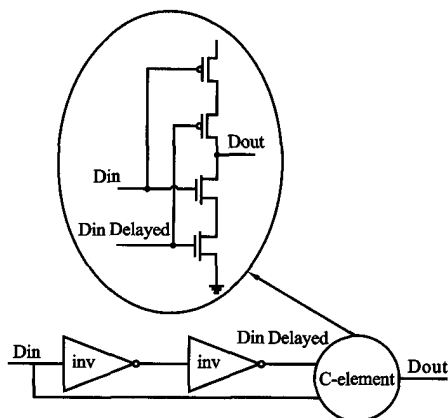


图 5 C-element 单元加延迟链的结构

寄存器堆外围电路采用两个独立的读译码器和一个独立的写译码器。分别实现两个读地址和一个写地址的译码,并能够在同一个时钟周期实现数据的写入和读出。地址输入译码器之前,要经过地址锁存电路,进行数据的锁存,并有使能信号的控制。灵敏放大器采用锁存型结构,加快数据的读出。数据读出前要进行位线的预充。仲裁电路由传输门、比较器和多路选择器组成,主要针对同一地址读写,当读写使能都为高电平时,将要写入的数据直接输出到输出端。

在寄存器堆的外围电路中,在数据传输路径中插入 C-element 单元,能够有效的阻止单粒子瞬态的传播。以仲裁电路中的比较器为例,当比较器中的四输入与非门发生单粒子瞬态效应时,用电流源进行模拟,比较器加入 C-element 单元的抗辐射性能如图 6 所示。

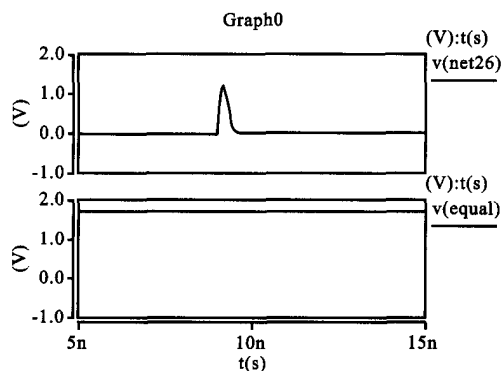


图 6 比较器加入 C-element 单元的抗辐射性能

仲裁电路中的比较器包括同或门,异或门,四输入与非门,四输入或非门,主要实现读写地址的比较以及读写使能的判断,然后输出控制信号 equal。若读地址和写地址相等且读使能和写使能都为高电平的情况下,控制信号 equal 为 1,否则,控制信号 equal 为 0。由图 6 可以看出,当比较器中四输入与非

门(nand4)内部敏感节点 net26 在 9 ns 时产生单粒子瞬态脉冲,脉冲峰值电压超过 1V,但经过 C-element 单元后,输出端 equal 已经消除了单粒子瞬态的影响。

3 结果分析

整体功能以及抗辐射性能的验证采用 nanosim 仿真工具,以验证寄存器堆正确的读写功能,即同时读同一地址,同时读不同地址,同时读写不同地址,同时读写同一地址.并在读操作之前对寄存器堆进行组合电路和存储单元的软错误注入,即分别在 40 ns,63 ns,130 ns,170 ns 进行软错误注入,由图 7 可以看出,寄存器堆在正常读写的同时,并没有发生软错误,表明寄存器堆的加固是有效的。

当同时读写同一地址时,需要采用仲裁电路直接将写数据输出到读端口.当寄存器堆工作在 1.8 V 电压下,工作频率为 200 MHz 时,功能仿真图如图 7 所示,横坐标以 0.001 ns 为时间单位。

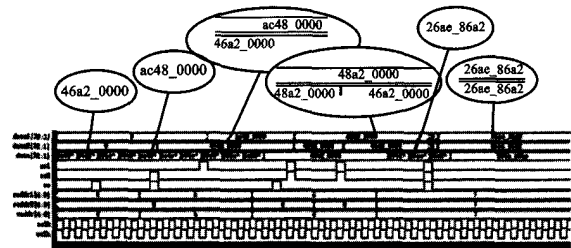


图 7 三端口寄存器两读一写功能仿真图

从图 7 中可以看出,在地址 00000 中,先写入一个数 46a2_0000,然后验证在地址中是否写入了这个数,同时验证在不同地址中进行读写.于是令读使能 re2 为高电平,写使能也为高电平,可以看到,读使能 re2 在地址 00000 中读出的数为 46a2_0000,是第一个写使能写入到地址 00000 中的数,而此时在地址 01010(即 a)中写入数据 ac48_0000,通过令读使能 re1 为高电平,可以看出在地址 01010 中读出的数为 ac48_0000,于是,寄存器能够完成读操作,写操作,并能同时读写不同地址中的数据.然后验证同时读同一地址中的数据,令读使能 re1 和 re2 同时为高电平,此时, re1 和 re2 都读地址 11110(即 e)中的数据,已经在地址 11110(即 e)中写入数据为 48a2_0000,当读使能工作时,可以看出,两个读端口输出的数据都为 48a2_0000.再验证两个读使能都读同一地址中的数据,令 re1 为高电平,并读地址 11110(即 e)中的数据,令 re2 为高电平,并读地址 00000 中的数据,在地址 11110 中的数据为 48a2_

0000,在地址 00000 中的数据为 46a2_0000,可以看出,寄存器堆实现了同时读不同地址中的数据.最后验证当读写在同一地址的情况,此时,通过仲裁器将写入的数据直接输出到输出端,并写入到这一存储单元.如图 7 所示,当读使能 re1、re2 和写使能同时为高电平时,在读端口 1 和读端口 2 输出的数据为写入的数据 26ae_86a2,实现了读写同时进行。

本设计与汉明码加固方式进行了速度和抗 SEU 能力的比较,如表 1 所示。

表 1 本设计与汉明码加固方式的速度和抗 SEU 能力比较

速度		抗 SEU 能力
汉明码加固	编码器最大延迟为 0.85 ns,译码器最大延迟为 1.3 ns	能够抗某一位的单粒子翻转,读取时修正,有修正延迟,会产生 SEU 积累
本设计	无编码器和译码器延迟	能够抗任一位的单粒子翻转,即时修正,无 SEU 积累

本设计由于没有编码器和译码器,因而延迟比汉明码加固方式要小.本设计的抗 SEU 能力比汉明码加固方式可靠,能够抗任意一个存储单元的单粒子翻转,并且没有 SEU 积累。

对于速度要求很高的寄存器堆来说,汉明码编码器和译码器的延迟会严重影响寄存器堆的性能.而存储器的加固方式可以避免上述问题,能够满足 LEON3 处理器核的速度要求。

4 结束语

本文设计了一款抗辐射性能很高 32×32 位三端口寄存器堆,采用改进的 DICE 结构和 C-element 单元对存储单元和外围电路分别进行加固,能够同时抗 SEU 和 SET.与汉明码加固方式相比,本设计在抗辐射性能和速度上都有很大优势.实验结果表明,室温条件下,工作电压为 1.8 V,寄存器堆工作在 200 MHz 时,该寄存器堆能够实现正确的两读一写功能,并能满足 LEON3 处理器核的速度要求,软错误注入实验表明,该寄存器堆的加固是有效的。

参考文献:

[1] The SPARC Architecture Manual (version8) [M]. SPARC International Inc. 1992.
[2] Gill B, Nicolaidis M, Wolff F, et al. An efficient BICS design for SEUs detection and correction in semiconductor memories[C]//Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE'05). Munich, 2005:592-597.

- [7] 庞清乐,孙同景,杨福刚,等. 基于粗集理论的归一化方法[J]. 计算机工程,2007,35(8):36-38.

- [8] 陈志贤,黄皓. 应用扩张矩阵理论的攻击特征提取[J]. 计算机科学,2010,37(4):49-51.

作者简介:



曹继邦 男,(1987—),硕士研究生. 研究方向为网络安全.



郑瑞娟 女,(1980—),博士,副教授. 研究方向为网络信息安全、入侵容忍.



吴庆涛 男,(1975—),博士,副教授,硕士生导师. 研究方向为网络与信息安全、智能计算.



张聚伟 男,(1978—),博士,副教授. 研究方向为无线传感器网络.

(上接第 30 页)

- [3] Oliveira R, Jagirdar A, Chakraborty T J. A TMR scheme for SEU mitigation in scan flip-flops[C]// Proceedings of the 8th International Symposium on Quality Electronic Design (ISQED'07). San Jose: 2007:905-910.
- [4] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology[J]. Nuclear Science, 1996,43(6):2876-2878.
- [5] Mongkolkachit P, Bhuvu B. Design technique for mitigation of alpha-particle-induced single-event transients in combinational logic[J]. IEEE Transactions on

Device and Materials Reliability, 2003,3(3):89-92.

作者简介:

宋丽丽 女,(1986—),硕士研究生. 研究方向为超大规模集成电路设计.

来逢昌 男,(1961—),副教授. 研究方向为超大规模集成电路设计、深亚微米芯片物理实现技术.

肖立伊 女,(1961—),教授,博士生导师. 研究方向为VHDL-AMS混合信号模拟器设计、SoC/IP核设计与标准化.