

极低功耗单片 AC/DC 电源管理 IC 的设计

姜 伟, 赵 野, 黑 勇

(中国科学院微电子研究所, 北京 100029)

摘 要: 为了进一步降低 AC/DC 电源管理 IC 在正常工作和待机工作时的功耗, 本文从分析整个系统的功耗出发, 分别设计出相应的电路, 有针对性的降低每一部分功耗, 从而降低整个系统的功耗, 提高系统的效率. 整个系统实现控制电路和大功率管的单片集成, 采用 QR、PFM 和 BURST 三种工作模式. 在 CSMC $1\mu\text{m}$ 700V BCD 工艺下完成了整个系统的设计和仿真验证. 仿真结果表明, 该电源管理 IC 达到了预期的性能要求.

关键词: AC/DC; 低功耗; 启动电路; 采样电路

中图分类号: TN431.1

文献标识码: A

文章编号: 1000-7180(2012)08-0037-05

The Design of Ultra-Low Power Integrated AC/DC PMIC

JIANG Wei, ZHAO Ye, HEI Yong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to decrease the power dissipation and increase the efficiency of AC/DC PMIC in normal and stand-by state, the paper begins with analyzing the total power dissipation of the whole system and then presents the circuits to decrease the power dissipation of relevant parts. The control circuits and power MOS are integrated in a chip and the chip can work in QR mode, PFM mode and BURST mode. The whole chip is designed and simulated based on CSMC $1\mu\text{m}$ 700V BCD technology. The simulation results meet the requirement of the previous expectations.

Key words: AC/DC; low power; start-up circuit; current sensing circuit

1 引言

电源在人们的日常生活中有广泛的应用, 主要应用于笔记本电脑、手机、电视机、空调器等领域. 离线式开关电源自 20 世纪 90 年代问世以来, 显示出强大的生命力, 并以其优良的特性备受人们青睐^[1]. 近年来, 随着国内外对能源问题的关注度增加以及人们节能意识的提高, 对开关电源的效率提出了更高的要求, 效率和功耗已经成为设计工程师关注的重点.

多模式控制策略虽然改善了开关电源的效率, 但对诸如启动电路、采样电路、驱动电路等的功耗没有足够的重视. 本文在采用多模式控制策略的前提下, 通过对启动电路、采样电路和驱动电路进一步优

化设计, 最大程度地降低整个系统的功耗, 提高系统的效率.

2 系统功耗分析

整个系统的功耗主要有功率管的开关功耗、功率管的栅极充放电的功耗、控制电路的功耗、启动电路的功耗、采样电路的功耗、驱动电路的功耗以及其他一些功耗. 功率管的开关功耗为: $P_{sw} = C \cdot f \cdot V_{ds}^2$; 功率管的栅极充放电的功耗为: $P_c = V_{GS} \cdot Q_G \cdot f$, 这两种功耗都可以通过采用 QR、PFM 和 BURST 三种工作模式的控制策略来降低^[2]. 在 PFM 模式下, 功率管的开关频率随负载的减轻而降低; 进入 BURST 模式后, 通过跳过一定周期的开关信号, 使得开关频率进一步降低, 从而使上述两种功

耗降低;而 QR 模式的加入,使得功率管在 V_{ds} 处于波谷的时候打开,进一步降低了功率管的开关功耗. 控制电路的功耗可以通过 BURST 模式来降低,在该模式下,通过关掉一些不必要的功能模块减小控制芯片的功耗.

启动电路、采样电路以及驱动电路的功耗可以分别通过设计相应的电路来降低甚至消除,下面予以分别阐述.

3 启动电路的设计

开关电源需要一个电路,在其启动时提供启动电流并在工作时与高压电源隔离,这样的电路称为启动电路^[3]. 在开关电源启动时,启动电路对外接启动电容充电,一旦启动完成,由辅助线圈给芯片供电. 针对传统启动电路功耗大、启动速度慢的缺点,本文设计了一种新颖的启动电路,具有功耗小、启动速度快、可集成和易于实现等优点.

3.1 传统的启动电路

传统的启动电路如图 1 所示. VIN 为经过硅桥整流后的高电压,大约为 311V, R 为启动电阻,其值为 $2\text{m}\Omega$. 当电源上电后, VIN 作用在 R 上产生启动电流,大小约为 $150\mu\text{A}$,对 100nF 电容 C 进行充电,当电容充电至内部 UVLO 的上限电压 16V 时,整个芯片完成启动,芯片内部各模块开始工作. 启动时间为: $t = C \frac{U}{I} = 100 \times \frac{16}{150} \approx 10\text{ms}$. 启动完成后,芯片的供电由辅助线圈来完成,但此时电阻上的启动电流依然存在,这就带来了额外的功耗浪费,其值为:

$$P = I^2 R = 150^2 \times 2 = 45\text{mW}.$$

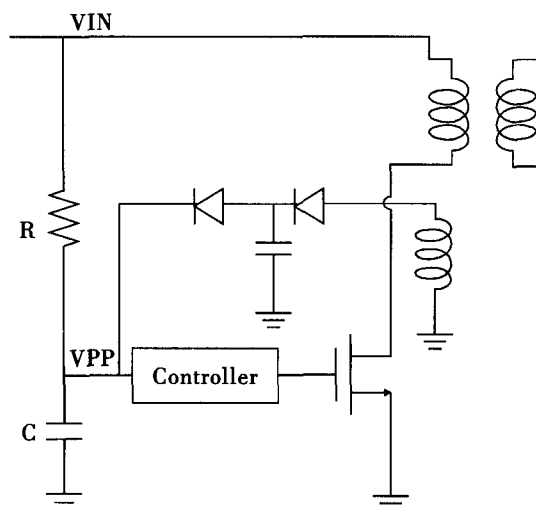


图 1 传统启动电路示意图

需要指出的是,在启动完成之后,这部分功耗会白白浪费掉,如果想要提高启动速度的话,电阻值要相应减小,由此带来的功耗损失会更大,不符合低功耗设计的初衷. 而且,由于启动电阻阻值比较大,也不便于集成到芯片内部. 针对出现的以上问题,本文提出了一种可以集成到芯片内部的低功耗高压启动电路.

3.2 提出的低功耗启动电路

本文提出的新型低功耗启动电路如图 2 所示. VIN 为经过硅桥整流后的高电压,大小约为 311V , J1 为工艺提供的结型场效应管,其 V_{ds} 可耐压 700V ,夹断电压为 -8V , LS 为电平移位电路,把低压逻辑信号转换成高压逻辑信号, Tran2_1 为 2 选 1 的高压开关,两个输入端分别为接 VPP 和 GND,其输出控制 J1 的栅极.

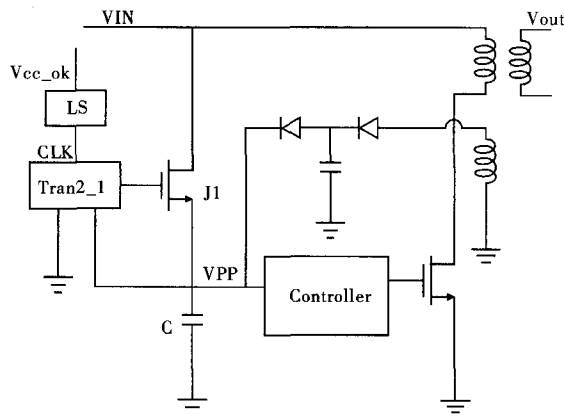


图 2 新型低功耗启动电路

在启动阶段,当 VPP 未达到 UVLO 上限时,内部 Regulator 的 Vcc_ok 为低,通过电平移位电路后作用在 Tran2_1 的 CLK 端,使得 Tran2_1 选择输出 VPP,作用在 J1 的栅极,这样 J1 的栅极和源极电压差为 0,管子处于导通状态,电流通过 J1 对 C 进行充电, VPP 上升. 当 VPP 达到 UVLO 的上限 (16V) 时, Vcc_ok 变高,通过电平移位电路后,使得 Tran2_1 选择输出 GND 作用在 J1 栅极,这样 J1 的栅极为 GND,源极为 16V , $V_{gs} = -16\text{V} (< -8\text{V})$, 此时 J1 夹断,停止对 C 充电,完成启动. 当由于某些原因使得 VPP 电压下降到小于 UVLO 的下限电压 (8.5V) 时, Vcc_ok 变为低, Tran2_1 选择输出 VPP, J1 再次打开,重复以上充电过程.

3.3 仿真结果及分析

在 Linux 环境下用 Hspice 对设计的电路进行仿真验证,仿真结果如图 3 所示.

图 3 中,上曲线为图 2 中通过 J1 的充电电流,

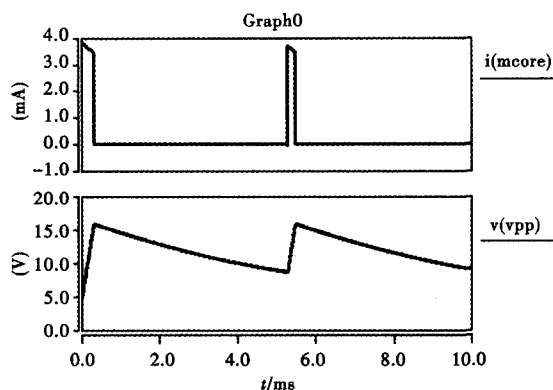


图3 新型启动电路的仿真结果

下曲线为电容 C 上的电压. 通过上述仿真结果可以看出: 在启动阶段, 有一个大约 4.5mA 的启动电流对 C 进行充电, 当启动完成后这个启动电流关断, 比起传统的启动电路, 该电路避免了启动完成后, 启动电流一直存在而带来的功耗损失. 其启动时间为: $t = C \times \frac{U}{I} = 100 \times \frac{16}{4.5} < 0.4\text{ms}$, 和仿真结果基本吻合, 这比图 1 所示的传统启动电路快了 20 多倍.

值得指出的是, 虽然启动电流比较大, 但是该电流仅存在于启动阶段, 当启动完成后该电流变为零, 所以在启动完成后整个启动电路消耗的功耗几乎为零, 比起传统的启动电路功耗大大降低, 提高了开关电源的效率. 另外, 目前工艺已经可以提供 700V 的高压 JFET 管, 所以该启动电路可以集成在芯片中.

4 采样电路的设计

开关电源有两种控制模式: 电压控制模式和电流控制模式. 由于电流模式具有对输入电压变化响应快、可进行逐周期过流保护等优点而被广泛采用. 在功率管导通时, 通常会有一个大电流流过, 需要对此电流进行快速准确的检测, 这就需要一个电流采样电路^[4].

4.1 传统的电流采样电路

从图 4 可以看出, 这种采样电路虽然结构简单, 但是因为电流 I 比较大, 所以消耗在采样电阻上的功耗比较大, 假设待采样的电流平均值为 1A , 采样电阻为 0.8Ω , 这样其功耗为 0.8W , 这是相当可观的. 另外, 由于功率管和控制电路是集成在同一芯片上的, 如果采用这种结构需要电阻耐流能力很大, 目前工艺尚不支持这样的功率电阻, 所以这个电阻不能集成在芯片内部. 如果放在芯片外部的话, 封装就会多出一个引脚, 成本就会相应增加. 所以这种采样

电路既不符合低功耗设计的思想, 也不能集成在芯片内部.

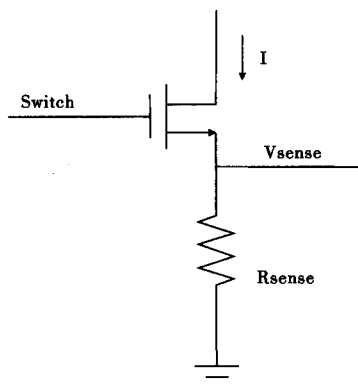


图4 传统的电流采样电路

4.2 提出的低功耗采样电路

图 5 是本文提出的新型低功耗采样电路. $M0$ 为大功率管, $M2$ 为高压 JFET 管, 用于隔离 $M0$ 漏极的高压. 采样的基本原理就是利用 $M0$ 支路和采样支路的电阻, 通过调节 $M1$ 和 R_{sense} 的大小, 使得采样支路上的电阻和 $M0$ 的电阻之比为需要的值, 这样两路的电流之比就为电阻之比的倒数, 实现比例采样. 设计的采样比例为 1000, 假如 $M0$ 中流过的电流为 1A , 则 $M1$ 中流过的电流为 1mA , 要获得和传统采样电路相同的采样电压, 电阻 R_{sense} 的值为 800Ω , 这样采样电阻上消耗的功耗为 0.8mW , 远远小于传统采样电路电阻上的损耗 0.8W , 而且这种电路可以集成到芯片内部.

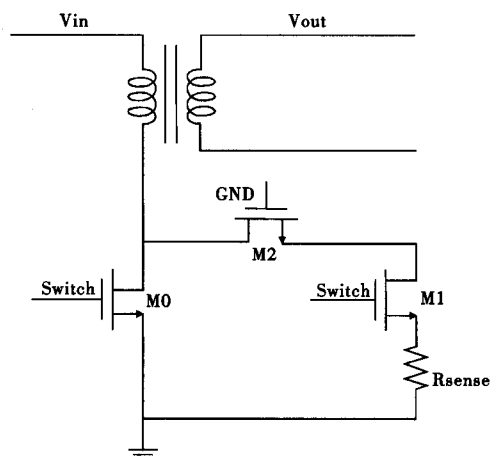


图5 新型低功耗采样电路

4.3 仿真结果及分析

图 6 中下曲线是流过功率管的电流曲线, 上曲线是流过采样电阻的电流曲线, 采样比例 1000 : 1. 从图中可以看出, 这种电路对功率管刚打开时的短

时大电流脉冲也有所抑制,原因是高压 JFET 管 M2 的栅漏之间有比较大的寄生电容,相当于组成一个 RC 滤波电路,把这种短时电流尖峰吸收了。

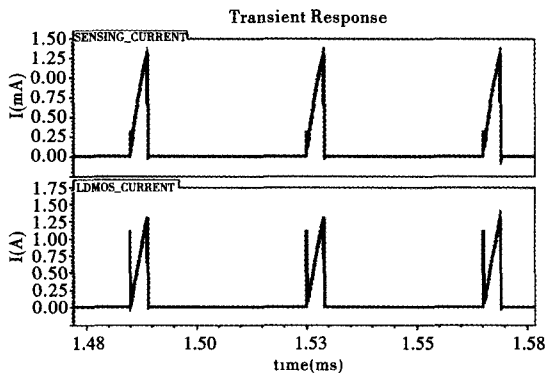


图 6 采样电路的仿真结果

5 驱动电路

由于功率管的栅极有很大的电容,当它工作于比较高的频率时,输入电容就成为输入阻抗的主要方面. 为了使其更可靠的导通与截止,需要设计专门的输出驱动电路,并且要求驱动电路具有灌电流和拉电流的能力,以对功率管的栅电容进行快速的充放电。

5.1 传统的驱动电路

传统的驱动电路多采用多级反相器直接级联的方式,如图 7 所示. 反相器的尺寸逐级增大,通常每一级的宽长比为前一级的 3~4 倍. 可根据驱动能力的要求,选择级联反相器的数目和大小。

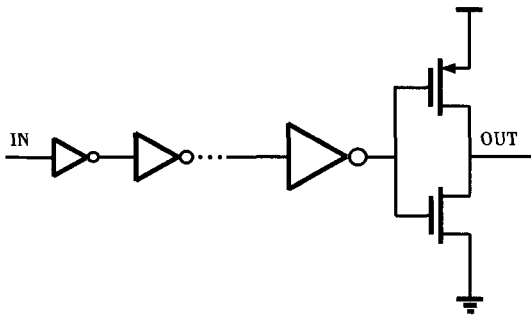


图 7 传统的驱动电路

但是这种驱动电路有一个缺点:在输入由高变低或由低变高的过程中,NMOS 和 PMOS 存在一段短暂的同时导通的时间,具体原因很多文献都有详细分析,在此不再赘述. 由于最后一级的宽长比很大,在两管同时导通的时候,有一个瞬时的大电流流过,这就造成了比较大的功耗损失,甚至损坏电路. 针对以上缺点,本文提出了一种带有死区导通时间

控制的低功耗驱动电路。

5.2 提出的低功耗驱动电路

图 8 为本文提出的带有死区导通时间控制的低功耗驱动电路. 其原理为:当 Switch 信号由低变高时,NMOS 先关断,经过一定延时,PMOS 再打开;当 Switch 由高变低时,PMOS 先关断,然后 NMOS 再打开,这样就避免了 PMOS 和 NMOS 同时导通的现象,降低了驱动电路的功耗. 两者之间的延时可通过调节电容 C_1 和 C_2 的大小来实现。

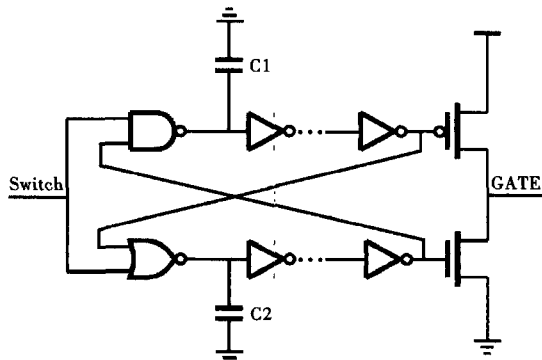


图 8 新型低功耗驱动电路

5.3 仿真结果及分析

图 9 中,上曲线是最后一级中 PMOS 的栅极电压,下曲线为 NMOS 栅极电压. 从上述仿真结果可以看出,Switch 由高变低时,PMOS 先关断,经过 150ns 后, NMOS 打开; Switch 由低变高的时, NMOS 先关断,经过大约 110ns 后, PMOS 打开,符合前面的分析。

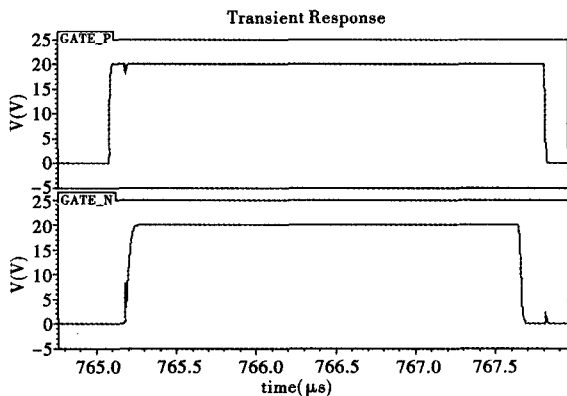


图 9 驱动电路的仿真结果

6 版图设计

图 10 给出了所设计的单片 AC/DC 电源管理 IC 的整体版图,基于 CSMC $1\mu\text{m}$ 700V BCD 工艺完成. 这种功率集成电路 (PIC) 在版图布局的时候要尤其注意,对温度和噪声比较敏感模块,例如带隙

基准电压源,要放在芯片的中间,而一些对温度和噪声要求不高的模块,例如数字逻辑,可以放在靠近大功率管的地方,另外要做好大功率管低压和控制电路的隔离工作^[5-6].

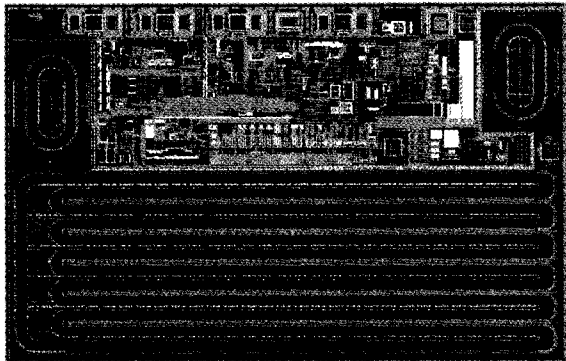


图 10 整个芯片的版图

7 结束语

本文从分析整个 AC/DC 电源管理系统各部分的功耗出发,在采用多模式控制策略的前提下,分别设计了一种低功耗启动电路、低功耗采样电路和低功耗驱动电路.仿真结果表明,将电路放在整个系统中可以如预期一样正常工作,大大降低了整个系统的功耗,并且可以完全集成在同一芯片内.

参考文献:

- [1] 王予,张培,胡海如.开关电源原理及发展方向[J].中国科技信号,2007(14):85-86.

- [2] Wang J, Gong W C, He L N. Design and implementation of high-efficiency and low-power DC-DC converter with PWM/PFM modes[C]//7th International Conference on ASIC. China: Guilin, 2007:596.
- [3] James Lei, San Jose, Calif. High Voltage start-up circuit and method therefor[P]. USA, 5815383, 1998.
- [4] Cheung Fai Lee, Philip K T Mok. A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique[J]. IEEE Journal of Solid-State Circuits, 2004(39):265-268.
- [5] 陈兴弼. 功率 MOSFET 与高压集成电路[M]. 南京:东南大学出版社,1989.
- [6] Alan Hastings. The Art of Analog Layout Second Edition [M]. 2nd ed. Beijing: Publishing House of Electronics Industry, 2006.

作者简介:



姜伟男,(1987—),硕士研究生.研究方向为电源管理集成电路设计.

赵野男,(1977—),副研究员.研究方向为模拟集成电路和电源管理 SoC 设计.

黑勇男,(1974—),研究员.研究方向为可重构数字信号处理器、低功耗数字基带芯片.

(上接第 36 页)

- [2] John L Computer architecture: a quantitative approach, 3E[M]. Boston: Ap Professional, 2006.
- [3] 薛勃,周玉洁. MIPS32 指令集兼容的 CPU 模拟器设计[J]. 计算机工程, 2009, 35(1):263-265.
- [4] 东野长磊,戚梅. 一种带 Cache 的嵌入式 CPU 的设计与实现[J]. 微型机与应用, 2010(14):17-19.
- [5] 易海峰. 一种兼容处理器指令译码单元的优化设计[J]. 微电子学与计算机, 2004, 21(12):119-122.
- [6] 赖兆磐,潘明,张辉. 基于 FPGA 流水线 CPU 控制器的

设计与实现[J]. 微计算机信息, 2008(7-2):233-235.

- [7] 曹学飞,张盛兵,张骏. 32 位 CISC 微处理器流水线的设计[J]. 微电子学与计算机, 2007, 24(4):186-189.

作者简介:

刘秋菊女,(1970—),硕士,副教授.研究方向为计算机应用.

刘书伦男,(1978—),讲师.研究方向为计算机体系结构.