

0.13 微米 CMOS 双通道超宽带低噪声放大器设计

张 弘, 梁 元

(西安电子科技大学 微电子学院, 陕西 西安 710071)

摘 要: 本文设计了一款超宽带低噪声放大器, 并对设计流程进行分析仿真. 该低噪放采用双通道结构, 有效的输入阻抗匹配、平稳的增益和低噪声等性能可以同时实现. 应用 ADS 工具 TSMC 0.13 μm CMOS 工艺库的仿真结果表明, 其最大功率增益为 14.2dB, 在 8GHz 频点的 IIP3 为 -4dBm, 输入、输出反射系数分别小于 -10.2dB 和 -10.89dB, 噪声指数单调下降到 1.46dB, 并且总功耗和带内最大增益摆幅较低.

关键词: CMOS 射频集成电路; 超宽带低噪声放大器; 双通道

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2012)10-0037-05

0.13 μm CMOS Dual-Channel UWB LNA Design

ZHANG Hong, LIANG Yuan

(School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: In this paper, the design and simulation of an ultra-wide band CMOS low noise amplifier (LNA) is reported. By using of dual-Channel topology, the input matching and flat gain as well as low noise are achieved simultaneously. The LNA was simulated by ADS TSMC 0.13 μm CMOS design kit, obtaining a maximum gain of 14.2dB and IIP3 of -4dBm at around 8GHz. The input return loss is under -10.2dB, meanwhile output counterpart better than -10.89dB. The noise figure (NF) falls to 1.46dB monotonically, and the whole hierarchy consumes fair low power and maximum gain rippling is low.

Key words: CMOS RF integrated circuit; UWB LNA; Dual-channel

1 引言

对无线通信系统的研究表明, 前端低噪声放大器(Low Noise Amplification, LNA)的性能对整个接收系统至关重要. 如何设计具有低噪声、低功耗、高线性度并且平稳增益的低噪放成为了前端设计首要解决的问题^[1].

在低噪放设计流程当中, 输入阻抗匹配是相当重要一个环节. 近年来已经相继提出了多种匹配结构, 并且已经实际生产测试^[2-3]. 传统的阻性负反馈结构, 拓展了带宽并能简化输入阻抗匹配, 但这种方法会牺牲增益, 需要消耗更大的功率. 共栅结构往往产生过大的噪声. 对于采用源极感性反馈的结构, 工作频带较宽时比较困难. 而采用感性级联峰值技术(Inductive Series Peaking, ISP)可以补偿由于反馈

网络带来的增益损失, 噪声指数也因增大的正向增益以及反馈的运用而下降, 因此可以提供一个附加通道来实现噪声消除.

本文设计的 LNA 由两个模块(通道)所构成. 其中 A 通道利用 ISP 技术提供宽带内(3~14 GHz)信号放大, 而通道 B 利用反馈来实现输入阻抗匹配. 由 B 通道提供的低频段增益较小从而减小功耗, 而为了同时拓展带宽, B 通道在高频段应当提供足够大的增益来补偿 A 通道增益损失. LNA 设计中还采用全局噪声消除技术, 部分地抵消由 B 通道产生的噪声.

2 电路设计与分析

图 1 为本文所采用的双通道技术和噪声消除技术设计的超宽带 LNA. 电路中晶体管 M_1, M_2 , 串联

峰值电感 L_{g1}, L_{g2} , 以及负载电阻 R_{D1}, R_{D2} 构成了 A 通道; M_3-M_5 以及反馈组件 R_{fb}, R_{s1} 构成了 B 通道, 其余部件构成偏置电路, 为 M_1 提供稳定的直流偏置电压。

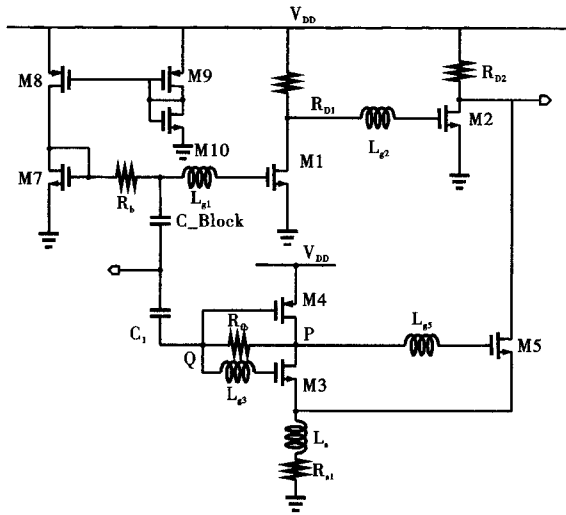


图1 采用双通道技术和噪声消除技术的LNA 电路图

对于 50Ω 系统而言 ($R_s = R_L = 50 \Omega$), 该低噪放可以用图2所示的模块图表示。其中 $H_A(s)$ 以及 $H_B(s)$ 分别表示通道 A 和通道 B 的传输函数。而 Z_{inA} 和 Z_{inB} 分别表示 A 通道和 B 通道输入端的等效阻抗。

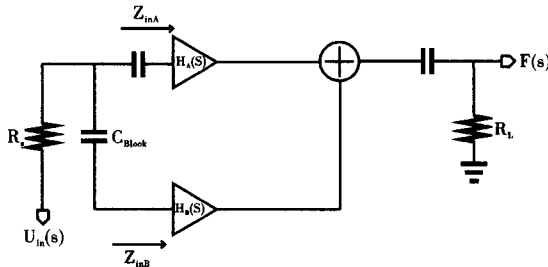


图2 低噪放设计模块图

当匹配完成时, 整个结构的频率响应可以表示为:

$$F(s) = [H_A(s) + H_B(s)] \frac{U_{in}(s)}{2} \quad (1)$$

这里, $H_A(s)$ 会在低频段主导整个低噪放的正向增益, 而 $H_B(s)$ 在高频段提供足够的增益补偿。

输入反射系数可以由下式表达

$$S_{11} = 20 \log \left[\frac{\frac{Z_{inA} \cdot Z_{inB}}{Z_{inA} + Z_{inB}} - R_s}{\frac{Z_{inA} \cdot Z_{inB}}{Z_{inA} + Z_{inB}} + R_s} \right] \quad (2)$$

为了简化计算, 假设 B 通道输入阻抗匹配, 也

就是 $R_s = Z_{inB}$ 得到满足, 因而式(2)可以转换为:

$$S_{11} = -20 \log \left[1 + \frac{2 |Z_{inA}|}{R_s} \right] \quad (3)$$

显然, 输入阻抗的匹配主要由 B 通道完成, 并且 A 通道要提供一个较大的 $|Z_{inA}|$ 。

图3展示了 A 通道的小信号等效电路。由图中可以得到 A 通道的传输函数(为计算简化, 栅漏反馈寄生电容 C_{gd} 已被忽略)。

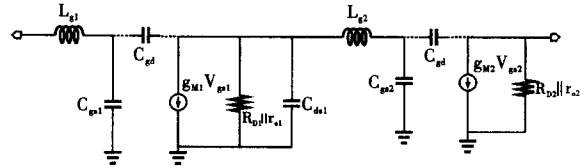


图3 A通道的等效小信号图

$$H_A(s) = \frac{-g_{m1} g_{m2} R_{D2}}{s^3 L_{g2} C_{gs2} C_{ds1} R_{D1} + s^2 L_{g2} C_{gs2} + s(C_{ds1} + C_{gs2}) R_{D1} + 1} \cdot \frac{1}{s^2 L_{g1} C_{gs1} + 1} \quad (4)$$

正如公式(4)所观察到的, 为了拓展带宽, $s^2 L_{g1} C_{gs1} + 1 = 0$ 必须在带内得到满足, 也就是说 L_{g1} 必须在 14 GHz 附近补偿掉 C_{gs1} 。同时, L_{g2} 为整个增益函数提供了适度的修正从而保证带内平稳的增益。A 通道功率增益 S_{21} 如图4所示。

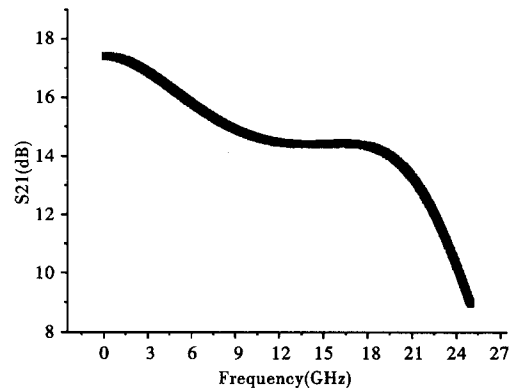


图4 A通道的正向增益

在公式(4)中, 分母项在低频段:

$s^3 L_{g2} C_{gs2} C_{ds1} R_{D1} + s^2 L_{g2} C_{gs2} + s(C_{ds1} + C_{gs2}) R_{D1} \approx 0$ 以及 $s^2 L_{g1} C_{gs1} \approx 0$, 这个假设是足够精确的。于是, 增益在该波段是平稳的。当频率逐渐上升之后, 感性尖峰电感 L_{g2} 开始补偿 C_{gs2} 。于是有 $s^2 L_{g2} C_{gs2} + 1 \approx 0$ 。此时公式(4)可以转换为:

$$H_A(s) = \frac{-g_{m1} g_{m2} R_{D2}}{s(C_{ds1} + C_{gs2}) R_{D1}} \quad (5)$$

从而得到正向增益在一定频段范围内单调下降。然而在 14 GHz 附近,负反馈寄生电容 C_{gd} 将引入一个零点,然而 C_{gd} 并没有出现在计算当中。通过仔细的仿真分析发现 C_{gd} 所提供的零点抑制了高频段增益的下降。另外,也完全有可能通过让通道 B 来补偿高频段增益的损失。A 通道高频段“短暂”的平稳增益简化了 B 通道的设计。最后,串联感性尖峰 L_{g1} 开始补偿 C_{gs1} 并且引入一个极点。随后 A 通道传输函数 $H_A(s)$ 的分母项将主要受 s^5 影响并且

$$Z_{inB} = \frac{s^2 L_{g3} C_{gs3} (sL_s + R_{s1}) + s(L_{g3} + L_s) + R_{s1}}{s^3 L_{g3} C_{gs3} C_{gs4} (sL_s + R_{s1}) + s^2 L_{g3} C_{gs4} + s(C_{gs3} + C_{gs4})(sL_s + R_{s1}) + 1} \\ = \frac{s(L_{g3} + L_s - \omega^2 L_{g3} C_{gs3} L_s) + (R_{s1} - \omega^2 L_{g3} C_{gs3} R_{s1})}{s[(C_{gs3} + C_{gs4})R_{s1} - \omega^2 L_{g3} C_{gs3} C_{gs4} R_{s1}] + [1 + \omega^4 L_{g3} C_{gs3} C_{gs4} L_s - \omega^2 [L_{g3} C_{gs4} + (C_{gs3} + C_{gs4})L_s]]} \quad (7)$$

式中的寄生电阻应经被纳入 R_{s1} 。在本文中,B 通道被用来匹配输入阻抗直到 8GHz。这可以通过调节 L_{g3} 、 L_s 、 $C_{gs3,4}$ 以及 R_{s1} 来实现。

$$R_{s1} - \omega^2 L_{g3} C_{gs3} R_{s1} = 0 \quad (8)$$

$$1 + \omega^4 L_{g3} C_{gs3} C_{gs4} L_s - \omega^2 [L_{g3} C_{gs4} + (C_{gs3} + C_{gs4})L_s] = 0 \quad (9)$$

$$\frac{L_{g3} + L_s - \omega^2 L_{g3} C_{gs3} L_s}{(C_{gs3} + C_{gs4})R_{s1} - \omega^2 L_{g3} C_{gs3} C_{gs4} R_{s1}} = R_s \quad (10)$$

A,B 通道的输入反射系数由图 5 所示。观察图 5 得到 A 通道的输入阻抗匹配在低频时遭到恶化但在高频时(14 GHz 前后)特性较好。B 通道的输入反射系数呈现出相反的特性。

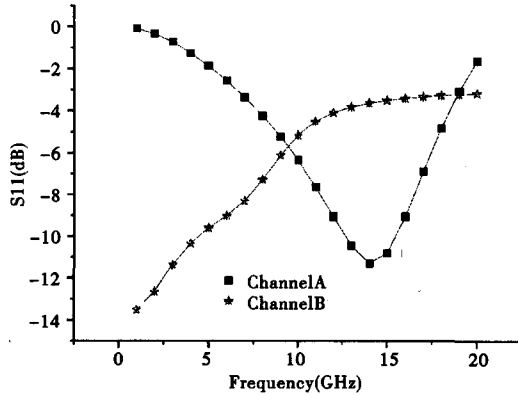


图 5 A、B 通道的输入反射系数

A 通道的噪声指数可以利用图 6 的等效电路图计算得到。噪声指数的表达式由式(11)给出。

$$NF_A(dB) = \frac{V_{n,out}^2}{H_A^2(s)} \cdot \frac{1}{4KTR_s} \\ = \frac{R_s + R_{D1}}{R_s} + \frac{R_{D1} + R_{D2}}{H_A^2(s)R_s} + \\ \frac{\gamma_1 g_{M1d0} R_{D1} \left[\frac{g_{M2} R_{D2}}{1 + s^2 L_{g2} C_{gs2}} \right]^2 + \gamma_2 g_{M2d0} R_{D2}}{H_A^2(s)R_s} \quad (11)$$

急剧下降

$$H_A(s) = \frac{-g_{M1} g_{M2} R_{D2}}{s^5 L_{g2} C_{gs2} C_{ds1} R_{D1} L_{g1} C_{gs1}} \quad (6)$$

至此,A 通道增益特性已经明确。由于串联感性尖峰有效地在带内补偿了本征的栅源电容,在高频段 A 通道的高输入阻抗 $|Z_{inA}|$ 也可以同时得到,于是输入阻抗的调整可以转交给 B 通道,而 B 通道的拓扑结构为带感性尖峰负载的阻性反馈反相器结构^[2]。忽略反相器的负载, Z_{inB} 可以表示为

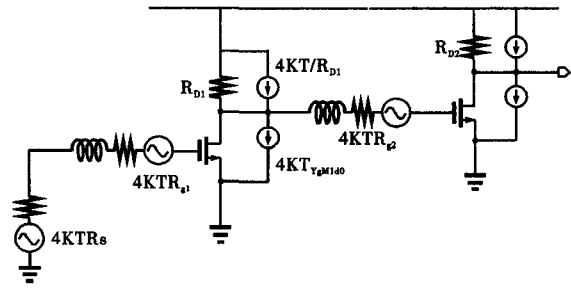
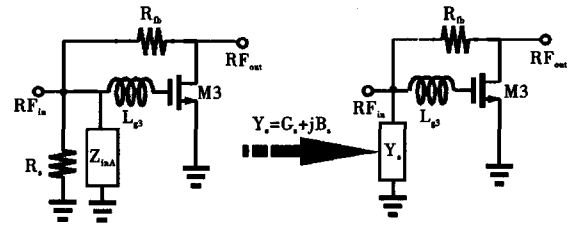


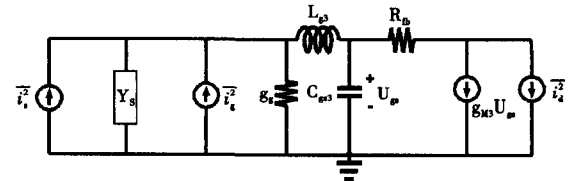
图 6 A 通道的用于计算噪声指数的等效电路

为了计算简化,忽略了闪烁噪声和栅寄生噪声。于是,A 通道低的噪声指数可以通过调节 L_{g1} 增大增益得到,但这会影响高频段输入阻抗匹配。

对于 B 通道,考察 M_3 对于低噪声以及匹配的最优化尺寸,在本次设计中是相当重要的。图 7 展示了用于分析 M_3 最优化尺寸所采用的等效电路图。



(a) 用于分析最优化 M_3 尺寸所采用的等效电路图



(b) 小信号噪声等效图

图 7 等效电路图

通过计算得出噪声指数为:

$$\begin{aligned}
F = 1 + & \frac{\alpha \delta \omega^2 C_{gs}^2}{5 g_{M3} G_s} \\
& + \frac{\gamma g_{M3} [(1 + R_{fb} R_L)^2 + (R_{fb} B_s)^2]}{\alpha G_s (1 - g_{M3} R_{fb})^2} \\
& + \frac{R_{fb} [(g_{M3} + G_s)^2 + B_s^2]}{G_s (1 - g_{M3} R_{fb})^2} \\
& - 2 |c| \sqrt{\frac{\delta \gamma}{5}} \frac{\omega C_{gs} R_{fb} B_s}{G_s (1 - g_{M3} R_{fb})} \quad (12)
\end{aligned}$$

为了得到式(12),已经假定:

$$\omega C_{gs} (R_{fb} + R_L) \leq g_{M1} R_L, \omega \leq \omega_T \left| \frac{R_L}{R_{fb} + R_L} \right|$$

当工作频率远小于晶体管特征频率 f_T 时,上面的两个假设是合理的. 最优化的 F 可以由对式(12)求偏导得到. 由此可以得到最优化的匹配电导 Y_s 为(对于 $g_{M1} R_{fb} \geq 1$)

$$G_s = G_{s,opt} = \sqrt{\frac{\alpha g_{M3}}{\gamma R_{fb}} + \frac{\alpha^2 \delta \omega^2 C_{gs}^2 (1 - |c|^2)}{5 \gamma}} \quad (13)$$

$$B_s = B_{s,opt} = -\alpha |c| \sqrt{\frac{\delta}{5 \gamma}} \omega C_{gs3} \quad (14)$$

$$F_{min} = 1 + 2 \sqrt{\frac{\delta \gamma}{5}} (1 - |c|^2) \frac{\omega}{\omega_T} = 1 + 2.32 \frac{\omega}{\omega_T} \quad (15)$$

式中已经假定对于短沟道器件有 $\gamma=2, \delta=4$ 以及 $c=j0.395$, 以上三个假设对短沟道来说是足够精确的^[5]. 正如公式(13)~(15)所表达的, M_3 最优化的匹配条件需要一个感性的 Z_{inA} . 一旦 L_{g1} 补偿掉 C_{gs1} 后, 也就是在高频域, 这种条件是可以实现的.

对于 B 通道来说, 由于使用了电感, 准确地求取噪声指数是相当复杂的, 并且其与频率有很强的依赖关系. 反相器的沟道热噪声是 B 通道主要的噪声源, 因此可以把主要精力放在抑制 M_3, M_4 产生的沟道热噪声. 由于通道 A 和通道 B 两者输出端口相并联, 这样就为实现全局噪声消除提供可能. 更准确地说, B 通道中 M_3, M_4 所产生的漏源噪声电流在流入 P 节点后, 通过反馈电阻 R_{fb} 依次流过 Q 点, 源端负载 R_s 以及地. 由于 Q 点和 P 点的噪声电压分别通过源端感性负反馈管 M_5 和 A 通道进行放大, 进而同时在输出端产生两个反向的噪声电压, 于是实现全局噪声消除. 可以写出其发生的条件为

$$\begin{aligned}
& \frac{g_{M5}}{1 + Z \cdot g_{M5}} (R_{D2} R_L) \frac{1}{s^2 L_{g5} C_{gs5} + 1} \\
& = \frac{R_s}{R_s + R_{fb}} H_A(s) \quad (16)
\end{aligned}$$

式中

$$Z = \frac{1 + s^2 L_{g3} C_{gs3}}{g_{M3} + s C_{gs3}} || (s L_s + R_{s1}) \quad (17)$$

应用 ADS 工具 TSMC 0.13 μm CMOS 工艺库对以上设计的 LNA 进行了模拟仿真, 图 8 展示了该 LNA 的噪声指数特性. 可以发现带内噪声指数较为理想, 并且存在一个最小值. 另外, 对 B 通道反相器晶体管的噪声优化同样对噪声优化有帮助, 因为此时 A 通道输入阻抗部分呈现感性. 从图 4 可以看出, 由于在高频段 $H_A(s)$ 逐渐下降, 工作频率超过 16 GHz 时, 等式(16)不再适用. 源端阻性反馈电阻 R_{s1} 产生可以忽略不计的噪声, 因为其产生的噪声电流同样流过 P 点和 Q 点, 也同样被全局噪声消除. 噪声指数最大值为 3.72 dB, 位于 3 GHz, 而最小值为 1.46 dB, 位于 14 GHz.

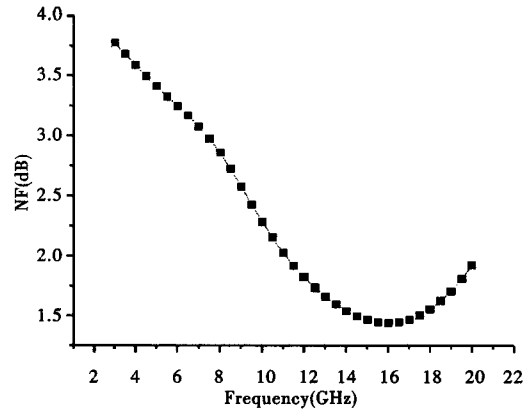


图 8 LNA 的噪声指数特性仿真曲线

另一方面, 源极感性负载 L_s 用于提高线性度, 这以牺牲部分增益为代价^[6]. 而在 B 通道仍然采用了感性尖峰技术. 串联电感 L_{g5} 的值较小, 其在高频段将补偿 C_{gs5} , 因而提高 B 通道的正向增益. 该技术可以补偿 A 通道在高频段增益的滚降, 正如前方所展示的. 注意到 C_{gs5} 和 L_{g5} 同时受到式(16)约束.

功率增益特性由图 9 给出. 可以看到在超宽带内实现了平稳的增益. S_{21} 的最小值为 14.2 dB 位于 3 GHz, 而最小值为 14.1 dB, 位于 14 GHz, 带内最大增益摆幅仅为 0.1 dB. 平稳的增益得以实现. 同时所得到的功率增益超过 14 dB. 对具备正转换增益的下变频模块来说该增益值已经足够.

图 10 给出输入反射系数优于 -10.2 dB, 而输出反射系数优于 -10.89 dB, 输入、输出匹配得以实现.

图 11 展示了该 LNA 的 1 dB 增益压缩点, 输入三阶交调点, 以及功率增益随着输入功率变化的特

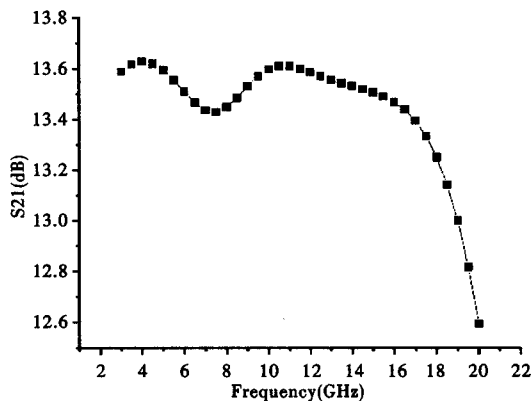


图9 LNA的功率增益仿真曲线

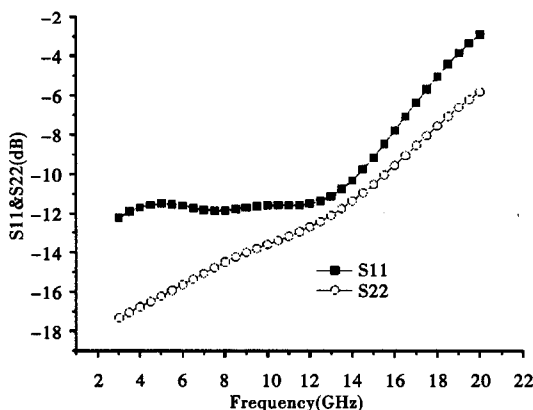


图10 LNA的输入、输出反射系数仿真曲线

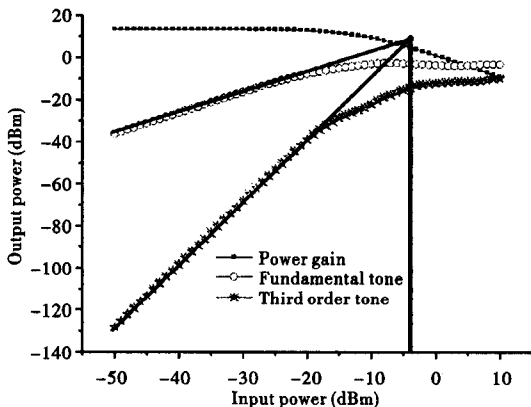


图11 8 GHz所测得的IIP3及功率增益特性仿真曲线

性曲线。测得在8 GHz,该LNA的IIP3为-4 dBm。然而对于没采用源极感性反馈的同一结构来说,IIP3为-6.2 dBm。因而可以发现线性度有所改善。1 dB增益压缩点为-16 dBm。

表1总结了本文所设计的LNA的各项指标,并且比较了最近发表的文献中所提供的LNA的相关指标。可以看到,本设计的信号特性比较好,而且

其它指标都比较均衡。

表1 设计的LNA的各项指标对比

	本文	文献[6]	文献[2]	文献[3]	文献[4]
带宽(GHz)	3~14	3.0~10.35	DC~11.5	3.4~11.4	1.2~11.9
S_{21} (dB)	14.1~14.2	11±1.5	13.2±1	13.5~16	<9.7
S_{11} (dB)	<-10.2	<-8.3	<-8	<-8	<-11
NF(dB)	1.46~3.72	3.3~11.4	<5.6	3.1~6	4.5~5.1
IIP3(dBm)	-4@8GHz	NA	-10	-7@6GHz	-6.2@6GHz
电压(V)	1.2	1.2	1.3	1.8	1.8
功耗(mW)	10.5	7.2	9.1	11.9	20

3 结束语

本文介绍一款采用双通道技术,实现全局噪声消除技术的超宽带低噪声放大器。该LNA实现了输入、输出阻抗匹配,低噪声,低功耗,平稳增益以及宽带放大。A通道采用串联感性尖峰技术在低频段提供高增益。B通道采用了阻性反馈以及反向器拓扑结构,使得B通道在低功耗条件下实现低频段宽带匹配。同时B通道同样采用了串联感性尖峰技术,使得其所提供的增益在高频段补偿了A通道的增益滚降。全局噪声消除技术使得B通道产生的绝大部分噪声得到抑制。通过对比可以发现该LNA多项指标符合设计要求。

参考文献:

- [1] Meamar A, Chye B C, Anh D M, et al. A 3-8 GHz low-noise CMOS Amplifier [J]. IEEE Microwave wireless Component Letters. IEEE, 2009(4): 245-247.
- [2] Chao S F, Kuo J J, Lin C L, et al. A DC-11.5 GHz low-power, wideband amplifier using splitting-load inductive peaking technique [J]. IEEE Microwave wireless Component Letters. IEEE, 2009(7): 482-484.
- [3] Lin Y J, Hsu S S H, Jin J D. A 3.1-10.6 GHz ultra-wideband CMOS low noise amplifier with current-reused technique [J]. IEEE Microwave wireless Component Letters. IEEE, 2007(3): 232-234.
- [4] Liao C F, Liu S I. A broadband noise-canceling CMOS LNA for 3.1-10.6-GHz UWB receivers [J]. IEEE Journal of Solid-State Circuits. IEEE, 2007(2): 329-339.

IP 核输出端; 区域 6 显示外壳输出端信号, 根据 c 中数据“01010101”知外壳架构配置正确。

5 结束语

本文以 IEEE Std1500 标准为规范, 以 quartus ii 为仿真实验平台, 设计了 IP 核的标准化可测试性架构, 此设计经验证符合标准的各项规定, 达到了预定的目的。标准化的可测试性架构能够给 SoC 测试带来极大便利。本文的创新点在于实现架构的并行配置设计, 此举为并行测试提供实现的途径, 在缩短测试时间和降低测试复杂度方面具有一定意义。

参考文献:

- [1] Higgins M, MacNamee C, Mullane B. IEEE 1500 wrapper control using an IEEE 1149.1. Test Access Port[C]// 16th IET Irish Signals and Systems Con-

ference, University College Galway. Galway, Ireland, 2008.

- [2] IEEE Std 1500. IEEE standard testability method for embedded core-based integrated circuits[S]. 2005.
- [3] 杨鹏. 嵌入式芯核测试标准 IEEE Std 1500 综述[J]. 测控技术, 2006, 25(8): 40-43.
- [4] 刘建强. SoC 中嵌入式核测试标准 IEEE P1500 综述与研究[J]. 国外电子测量技术, 2005(5): 17-20.
- [5] 王永生. 系统级芯片可测性结构及其优化研究[D]. 哈尔滨: 哈尔滨工业大学, 2006.
- [6] 乔立言. 基于 IEEE Std 150 的 IP 核测试壳设计[J]. 电子测量技术, 2010, 33(7): 88-91.

作者简介:

李广进 男, (1988-), 硕士研究生. 研究方向为可测试性设计、边界扫描技术.

(上接第 41 页)

- [5] Thomas H Lee. The design of CMOS radio frequency integrated circuits [M]. UK: Cambridge University Press, 2001.
- [6] Li Q, Yuan J S. Linearity analysis and design optimization 0.18 μ m CMOS RF mixer [C]// IEE. Proceedings-Circuits, Devices and Systems. UK: IEE, 2002;

112-118.

作者简介:

张弘 男, 副教授. 研究方向为集成电路设计与测试.

梁元 男, 学士. 研究方向为射频集成电路设计.