

用于 PET 成像系统的流水线 ADC 设计

薛菲菲, 高 武, 郑 然, 高德远

(西北工业大学 计算机学院, 陕西 西安 710065)

摘 要: 针对高性能 PET 前端电子微系统结构中多通道前端读出电路和高速高分辨率模数转换的特点, 设计了 12 bit 10 MHz 的流水式 ADC. 整个电路主要由采样保持电路、乘法数模转换电路、子模数转换电路、延时对准电路、数字校正电路、两相不交叠时钟电路六个模块组成. 电路采用 TSMC 0.18 μm mixed signal CMOS 工艺实现. 电路仿真结果表明, 流水线 ADC 的 DNL 为 $-0.6832 \sim 0.5994$ LSB, INL 为 $-0.7997 \sim 0.7576$ LSB, SNR 为 62.1406 dB, ENOB 为 10.03 bit. 本文所设计的 Pipelined ADC 电路性能指标满足系统设计的要求.

关键词: PET; 流水线 ADC; 采样保持; 乘法数模转换

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2013)01-0061-04

Design of a Pipeline ADC for PET Imaging Application

XUE Fei-fei, GAO Wu, ZHENG Ran, GAO De-yuan

(College of Computer, Northwestern Polytechnical University, Xi'an 710065, China)

Abstract: Based on the multi-channel front-end readout circuit and high-speed high-resolution ADC of high performance PET front-end electron micro system structure, a 12 bit 10 MHz pipeline ADC is designed. The whole circuit consist of S/H circuit, MDAC circuit, Sub_ADC circuit, delay alignment circuit, digital correction circuit, two-phase non-overlap clock circuit. The whole circuit is designed in TSMC 0.18 μm mixed signal CMOS technology. Simulation results show that, pipeline ADC has $-0.6832/0.5994$ LSB DNL, $-0.7997/0.7576$ LSB INL, 62.1406 dB SNR, and 10.03 bit ENOB. The pipeline ADC presented in this paper satisfy the design requirements of the system.

Key words: PET; pipelined ADC; S/H; MDAC

1 引言

正电子发射断层 (Positron Emission Tomography, PET) 是一种无创的能够再现体内生物分布的分子成像技术. 它代表了现代生物医学成像的最尖端技术, 也是 21 世纪人类研究生命现象的最先进手段之一, 在全身肿瘤和心脏等疾病的早期诊断和治疗方面有巨大的临床价值. PET 性能的提升关键在于辐射探测器前端电子系统的设计和开发, 前端信号读出电路的性能将直接关系到最终获得图像的质量.

目前, 典型的多通道前端电子系统, 主要有三种

方案实现模拟信号到数字信号的转换: ① 使用并行单通道 ADC 后接一个数字多路选择器. 在这种方法中由于每一个通道都有一个 ADC, 将占用很大的面积, 消耗很大的功耗. ② 使用多通道 ADC 结构. 这种结构虽然在面积与功耗方面都有所降低, 但是对比较器的精度要求很高, 且需要高频采样时钟. ③ 使用一个模拟多路选择器和高速 ADC, ADC 可采用快闪式或流水式结构. 快闪式 ADC 不适合于高分辨率的情况, 而且要消耗很大的功耗. 而流水式 ADC 在速度、功耗和分辨率方面获得最优的折衷. 基于以上分析, 本文采用第三种方案, 在多通道前端电子系统中使用流水式 ADC, 其结构如图 1

所示^[1].

流水式 ADC 在二十世纪九十年代成为 ADC 主要结构之一,得到广泛的研究和应用.目前高速高精度的 ADC 产品均由流水线结构实现.比如 TI 公司生产的 ADS5485 和 ADS5484,精度都为 16 位,转换速率分别为 200 MS/s 和 170 MS/s,信噪比分别为 75 dB 和 75.7 dB. ADS5474,精度为 14 位,转换速率为 400 MS/s 和,信噪比为 70.2 dB.

本项目中低噪声前置放大器和成形电路将探测器输出波形宽度调制为几百纳秒,采用过采样技术完成对调制后的信号采样.完成这个功能需要高速高分辨的 ADC.在本项目中,探测器信号读出后,经过放大和成形变换,生成脉冲宽度约为 1 微秒的电压信号,因此,ADC 的采样率需要超过 5 MS/s,同时,分辨率要达到 8 位以上.鉴于以上分析,本文设计一款 12 bit 10 MHz 的流水式 ADC.

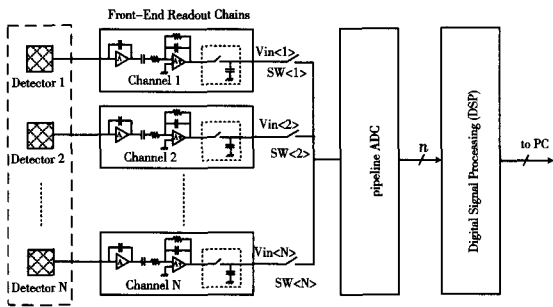


图 1 多通道成像系统前端电子系统

2 电路描述

2.1 整体结构

本文设计的 12 bit, 10 MHz pipeline ADC 电路结构如图 2 所示.该 ADC 包含两相不交叠时钟电路、采样保持电路、流水级电路、延时对准电路、数字校正电路.

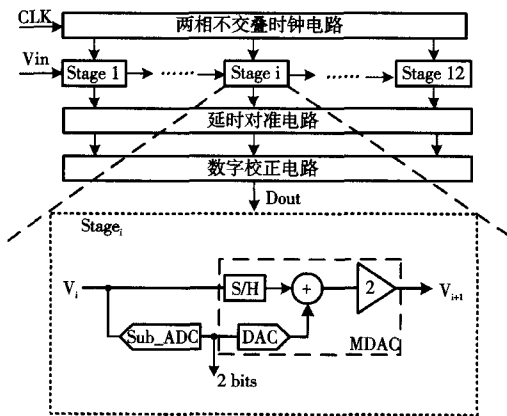


图 2 pipeline ADC

流水式 ADC 的每一级电路工作原理都是一样的.本文采取的是典型的 1.5 bit 流水级电路.在该电路中,第 i 级的输入为第 $i-1$ 级的输出,在第 i 级的采样阶段,MDAC _{i} 对输入信号 V_i 进行采样,同时 Sub_ADC _{i} 进行复位,采样阶段结束后,Sub_ADC _{i} 进行比较并输出该级的 2 bit 数据,此外,MDAC _{i} 再根据比较器的输出得出该级的余量信号以供 $i+1$ 级进行采样.其输出表达式为:

$$V_{i+1} = \begin{cases} 2 * V_i - V_{ref}, & \frac{1}{4} V_{ref} \leq V_i \leq V_{ref} \\ 2 * V_i, & -\frac{1}{4} V_{ref} \leq V_i < \frac{1}{4} V_{ref} \\ 2 * V_i + V_{ref}, & -V_{ref} \leq V_i < -\frac{1}{4} V_{ref} \end{cases} \quad (1)$$

2.2 流水级电路

本文采取的 1.5 bit 的流水级电路如图 3 所示.它主要有两部分组成:Sub_ADC, MDAC. Sub_ADC 将上一级输出的余量信号转换成 2 bit 的数据,MDAC 生成下一级所转换的余量信号.图中所示是全差分的实现形式,当 S_1, S_{1e}, S_{1f} 闭合时,电路处于采样阶段,当 S_2 闭合时,电路处于放大阶段, S_1 和 S_2 是两相不交叠时钟.这里需要说明的是 S_1, S_{1e} 和 S_{1f} 同时闭合,但是在开关断开的时候 S_{1f} 先断开,其次是 S_{1e} ,最后是 S_1 ,这样做可以有效地降低开关的电荷注入和时钟馈通所导致的误差.相邻两级同时工作在不同的状态,前一级采样,后一级放大,前一级放大,后一级采样.因此整个电路一共需要 12 个时钟,该时钟由两项不交叠时钟电路产生,分别为 $S_1, S_2 \dots S_{12}$.其中 S_1 和 S_2, S_3 和 S_4, S_5 和 S_6, S_7 和 S_8, S_9 和 S_{10}, S_{11} 和 S_{12} 为 6 对互补的时钟,每一对控制一个传输门, S_1 和 S_7 为两相不交叠时钟.当 S_1 和 S_2 作为采样时钟时, S_5 和 S_6 是 S_{1f}, S_3 和 S_4 是 S_{1e} ,当 S_7 和 S_8 作为采样时钟时, S_{11} 和 S_{12} 是 S_{1f}, S_9 和 S_{10} 是 S_{1e} .

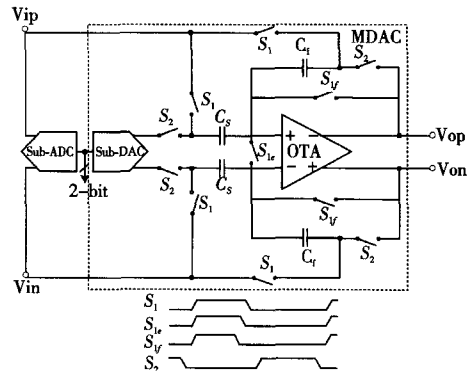


图 3 流水级电路

根据电荷守恒定理,对图 3 的开关电容电路进行求解,得出^[2]:

$$V_o = (1 + C_S/C_f) * V_i + D * (C_S/C_f) * V_{ref} \quad (2)$$

其中 $V_i = V_{ip} - V_{in}$, $V_o = V_{op} - V_{on}$, D 有三个取值 $-1, 0, +1$. 对于 1.5 bit 流水级,取 $C_S = C_f$ 则:

$$V_o = 2V_i + D * V_{ref} \quad (3)$$

2.3 折叠式共源共栅增益增强型运放

12 bit 10 MHz 的流水式 ADC 电路对运放的增益和带宽要求很高,本文选取折叠式共源共栅增益增强型运放,如图 4 所示. 该种结构的运放不仅具有单级运放高带宽的特点,而且由于加入了两个辅助运放使得增益大大提高,能够满足流水式 ADC 对

运放高增益高带宽的要求.

根据文献[3],在设计该运放时遵循下列设计规则,运放的建立特性达到最优:

(1) 主运放的相位裕度要大于 70 度.

(2) 辅助运放的相位裕度要大于 80 度.

(3) 辅助运放的带宽略大于或等于主运放的带宽.

设计时,先根据第一个规则设计主运放,得出辅助运放的负载电容和输入输出共模,然后根据第二个和第三个规则设计辅助运放,最后将主辅运放联起来仿真.

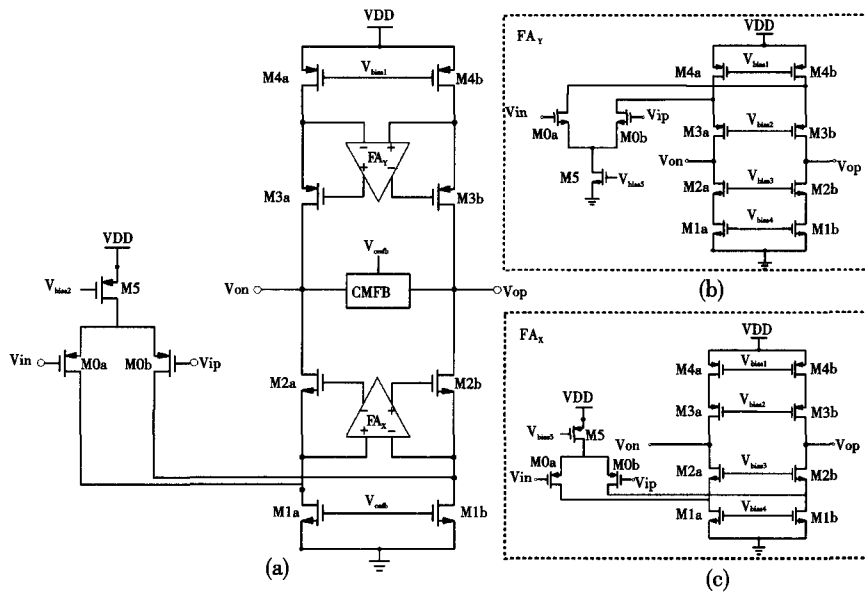


图 4 折叠式共源共栅增益增强型运放

2.4 数字校正电路

数字校正技术是通过引入冗余位来校正流水线 ADC 中由于比较器的有限精度、有限增益、失调、噪声以及其他非理想因素造成的误差. 根据文献[4], ADC 的输出可以表示为:

$$D_{out} = \sum_{i=1}^n [q_i * w_i] \quad (4)$$

$$W_i = \prod_{k=i}^{n-1} G_k \quad (5)$$

其中 w_i 是每一级的权重, G_k 是每一级的增益, q_i 是每一级 Sub_ADC 的 2 bit 的输出. 由于采用了 1.5 bit 的流水级电路结构,所以每一级的增益为 2, 将其代入公式(4)、公式(5)中可得:

$$D_{out} = q_1 * 2^{11} + q_2 * 2^{10} + q_3 * 2^9 + \dots + q_{12} \quad (6)$$

可以看出第一级的输出向左移了 11 位,第二级的输出向左移了 10 位,第三级的输出向左移了 9 位,依次到第十一级的输出向左移了 1 位,第十二级没有移动,然后把 12 级输出相加就得到最终输出,

可以看出各级之间有一位是进行叠位相加的.

综上所述,数字校正电路就是一些加法器,它将每一级 Sub_ADC 的输出进行错位相加便得到最终的数字码,如图 5 所示. 但是由于 Sub_ADC 输出的 2 bit 的数据是温度计码,所以需要在数字校正电路前面加一个码制转换电路^[2].

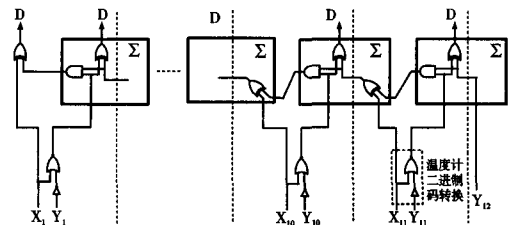


图 5 数字校正逻辑

3 仿真验证

本文设计采用 TSMC 0.18 μm mixed signal CMOS 工艺,模拟部分的电源电压为 3.3 V,数字部

分的电源电压为 1.8 V,运用 SpectreVerilog 仿真工具,对电路进行了仿真实证.

3.1 运放的仿真验证

依照上文所说的设计程序,本文设计了一个高增益高带宽的折叠式共源共栅增益增强型运放,其仿真结果如表 1 所示.从表 1 中可以看出,在典型情况下该运放开环增益为 112.4 dB,单位增益带宽为 443 MHz,相位裕度为 75.9 度,满足流水式 ADC 的要求.

表 1 运放工艺角仿真结果

工艺角	worst	typical	best
	(80℃,	(27℃,	(-40℃,
参数	3.0 V,SS)	3.3 V,TT)	3.6 V,FF)
增益(dB)	96.29	112.4	118.1
单位增益带宽(MHz)	347.6	443	573.1
相位裕度(°)	73.98	75.9	76.45

3.2 流水式 ADC 的性能仿真

衡量一个 ADC 性能优劣的最重要指标就是 DNL、INL、SNR、ENOB.本文按照图 6 所示流程对本文所设计的 pipeline ADC 进行了性能仿真,其仿真结果如图 7 所示^[5](输入正弦信号频率为 1.002197265625 MEG,幅度为±0.5 V,采样频率为 10 MHz).由仿真结果计算可得,DNL 为-0.6832~0.5994 LSB,INL 为-0.7997~0.7576 LSB,SNR 为 62.1406 dB,ENOB 为 10.03 bits.

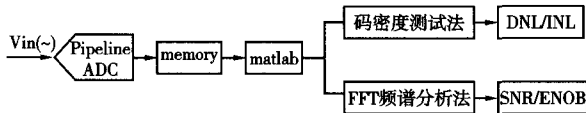
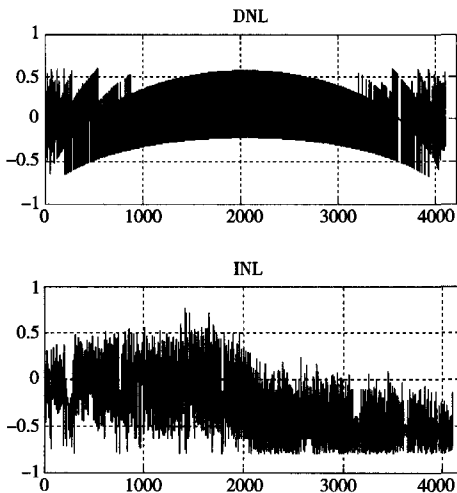
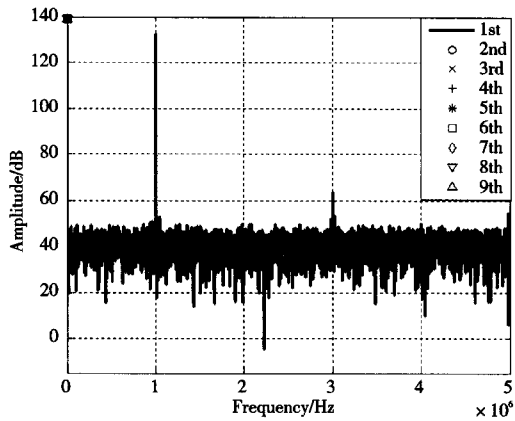


图 6 ADC 性能仿真流程



(a) 静态性能仿真



(b) 动态性能仿真

图 7 性能仿真结果图

4 结束语

本文设计了一款 12 bit 10 MHz 的流水式 ADC,仿真结果表明基本满足设计要求^[6].下一步工作,可以引入基于权重的数字校准电路,进一步减小由于运放的有限增益、有限带宽、电荷注入和时钟馈通等引起的误差^[4],使该电路的性能能够进一步得到提高.

参考文献:

- [1] 高武.正电子发射断层成像前端读出芯片设计技术研究[D].西安:西北工业大学,2011.
- [2] 李兆文.用于 CMOS 图像传感器的 10 位 50Ms/s 流水线 ADC 设计[D].西安:西北工业大学,2010.
- [3] Mohammad Mahdi Ahmadi. A new modeling and optimization of gain-boosted cascode amplifier for high-speed and low-voltage applications[J]. IEEE Transactions on Circuits and Systems,2006(53):169-173.
- [4] 贾华宇.基于数字校准技术的流水线 ADC 的研究与设计[D].西安:西安交通大学,2009.
- [5] 薛亮、沈延钊、张向民.一种 A/D 静态参数和动态参数的测试方法[J].仪器仪表学报,2004(25):72-74.
- [6] 刘明亮.开关电容电路从入门到精通[M].北京:人民邮电出版社,2008.

作者简介:

薛菲菲 女,(1988—),硕士研究生.研究方向为流水式 ADC 设计.