

## 一种基于 ARCT 的抗辐射加固器件结构设计

李 遨 宇, 李 同 合, 邵 志 标

(西安交通大学 微电子学系, 陕西 西安 710049)

**摘 要:** 本文在探索半导体器件辐射损伤效应与机理的基础上, 研究了通过器件的优化设计达到抗辐射加固性能要求的有效方法. 基于  $0.18\mu\text{m}$  CMOS 工艺条件, 利用 DVINCI 三维器件模拟软件, 建立了具有较好抗辐射性能的 FD-SOI/MOSFET 器件的加固模型, 并提出了一种新型有源区裁剪(ARC)的双多晶硅栅结构晶体管. 通过模拟辐射环境下器件的工作情况, 证明该种结构具有很强的抗总剂量辐射的能力.

**关键词:** 抗辐射加固; 总剂量效应; 单粒子效应; DVINCI 模拟; 双栅有源区裁剪

**中图分类号:** TN4

**文献标识码:** A

**文章编号:** 1000-7180(2013)04-0067-04

## Design a Semiconductor Device for the Radiation—Harden

LI Ao-yu, LI Tong-he, SHAO Zhi-biao

(Department of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

**Abstract:** In this paper, the effects and mechanisms of ionizing radiation for semiconductor devices are researched. It's an effective way to meet requirement of improving in radiation hardening by device structure optimization. The radiation—harden models of FD-SOI/MOSFET have been built, which are based on the  $0.18\mu\text{m}$  CMOS process. And the radiation effects what work on the MOS structure are simulated by DVINCI. Active—Region—Cutout (ARC) technique with dual gate is developed to modify the transistor. It's proved that this structure obtains higher radiation tolerance.

**Key words:** radiation hardening; TID; SEE; DVINCI simulation; double—gate ARC

### 1 引言

随着航天技术的发展, 星载计算机及电子系统中的各种高性能集成电路得到广泛应用. 而工作于空间辐射环境的电子元器件都必须具有抗辐射加固性能. 通过设计优化器件结构以获得高的抗辐射能力, 是加固星载集成电路的有效方法.

空间辐射环境主要来自于宇宙射线、范艾伦辐射带(Van Anen Belt)、太阳耀斑、太阳电磁辐射和极光辐射<sup>[1]</sup>. 这些辐射中存在的各种高能粒子、射线与器件中硅、二氧化硅等电介质相互作用, 产生包括电离辐射总剂量效应(TID)、瞬态辐照效应(剂量率效应)、单粒子效应(SEE)、位移效应及高压静电放电击穿等影响器件性能的辐射效应<sup>[2]</sup>.

美国等国家早在五十年代就开始了辐照效应的研究. 法国、美国、比利时等国 MOS 器件抗总剂量水平可达  $1 \times 10^8 \text{ rad(Si)}$ <sup>[3-4]</sup>. 国内有中科院上海微系统研究所, 中国科学院新疆物理所, 电子 24 所等单位在从事这方面工作, 加固水平已达到  $1 \times 10^7 \text{ rad(Si)}$  左右.

本文在分析总结空间辐射环境和半导体电路的主要辐射效应的基础上, 研究 MOS 结构抗辐射加固的方法. 以  $0.18\mu\text{m}$  商用生产工艺为条件, 基于具有较好抗辐射性能的 SOI 结构的 MOSFET 器件, 利用计算机软件模拟仿真总剂量效应和单粒子效应对不同器件结构的影响, 并采用双栅和有源区裁剪(ARC)<sup>[5]</sup>相结合的技术, 对抗辐射加固的器件结构进行优化.

## 2 辐射损伤机理

当致电离辐射的粒子或射线照射 MOS 结构且其能量大于材料禁带宽度时,束缚电子将激发,而在半导体与介质材料中产生电子-空穴对,并使 Si-SiO<sub>2</sub> 键断裂而产生界面陷阱电荷或界面态<sup>[6]</sup>. 由于氧化层陷阱电荷与界面态的产生,将引起 MOSFET 器件多个电参数的变化,如图 1(a) 所示. 在 N 型 MOSFET 器件中阈值电压负向漂移使阈值电压下降,而 P 型则增加. 因此辐射对 N 型 MOS 管影响更大,如图 1(b) 所示.

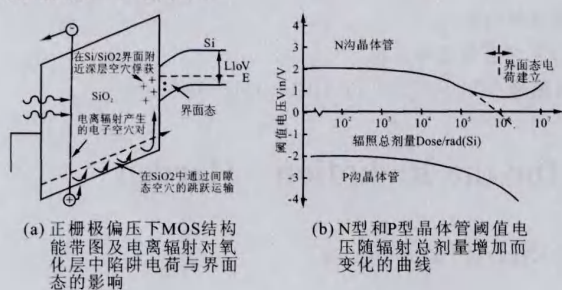


图 1 总剂量辐射对 MOS 结构的影响

阈值电压的漂移也可由下式表示:

$$\Delta V_T(t) = \Delta V_{\alpha}(t) + \Delta V_{\beta}(t) \\ = [-q/C_{ox} \Delta N_{\alpha}(t)] + [-\Delta Q_{\beta}(t)/C_{ox}] \quad (1)$$

式中  $\Delta V_{\alpha}$  和  $\Delta V_{\beta}$  分别为陷阱电荷与界面态引起的阈值电压变化.

SOI 结构的 MOSFET 器件完全由氧化物隔离,在获得低功耗、抗门锁等优势的同时也增加了 Si/SiO<sub>2</sub> 界面的面积,这使得其在抗总剂量效应方面有时甚至要劣于体硅结构 MOSFET 器件.

由高能粒子轰击器件造成的单粒子效应会严重破坏器件结构,通常采用电荷漏斗模型对其进行分析模拟,如图 2(a) 所示. 高能粒子在器件内部产生等离子体,从而引起瞬时的衬底电流和电压变化,带来一系列器件和电路的错误与损伤,如图 2(b) 所示.

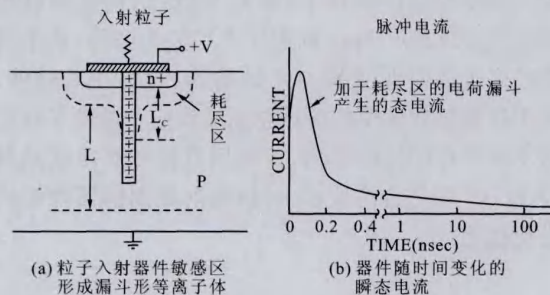


图 2 单粒子效应对 MOS 结构的影响

## 3 器件结构优化

在衬底与源漏区加有埋氧的 SOI 结构,可明显抑制单粒子效应的发生. 而对体硅结构的 CMOS 器件,可能引发单粒子门锁(SEL),功率晶体管发生单粒子烧毁、存储及逻辑电路发生单粒子翻转(SEU)等严重的损害.

MOS 结构的器件现通常采用的加工工艺与隔离技术会在器件有源区附近产生寄生晶体管,如栅边缘寄生晶体管. 辐射会导致寄生晶体管先于沟道导通,而严重影响器件开启电压与漏电流. 通常采用的方法是无边沿栅或封闭版图设计,如实际中已得到广泛应用的环栅、H 形栅结构,如图 3 所示.

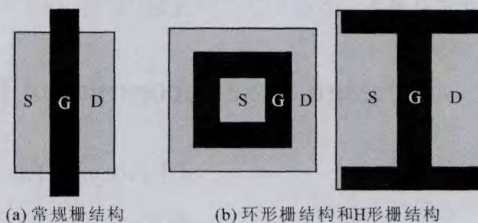


图 3 常规栅结构和抗辐射栅结构示意图

此外,还有采用源体相连(BTS)结构<sup>[7]</sup>、双多晶硅栅结构等多种栅结构<sup>[8]</sup>,如图 4 所示.

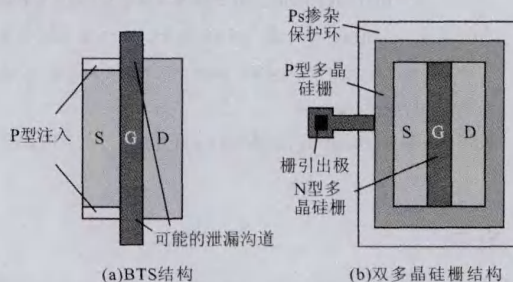


图 4 新型抗辐射栅结构

随着器件尺寸的缩小,单粒子效应的影响显著加大,成为辐射环境中影响电路工作的主要因素. 并且随着全耗尽 SOI 技术的成熟和大规模商业应用,SOI 结构器件在抗辐射加固中有明显优势,同样结构及尺寸器件,采用 SOI 结构的器件抗辐射性能明显优于体硅结构.

为减小器件的总剂量效应,本文基于全耗尽的 SOI 结构,通过改变栅结构以提高器件抗辐射剂量的值. 仿真验证了 ARC 结构通过增加沟道边沿寄生晶体管栅长的长度,而提高其抗辐射能力的有效性,如图 5(a) 所示,并设计了一种利用双多晶硅栅改进的 ARC 结构,如图 5(b) 所示,进一步提高其加固性能.

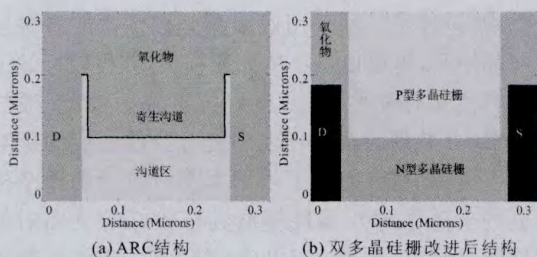


图5 DAVINCI 软件模拟晶体管有源区边沿截面图

相比于前文所提到的多种栅结构,采用这种设计的 MOS 器件所占面积很小,对现有 CMOS 工艺和电路设计有非常好的兼容性.同其它非封闭栅结构一样,能够灵活改变栅宽长比( $W/L$ ),为小  $W/L$  晶体管提供了相当多的预留空间.而且,采用双多晶硅栅改进后,器件还可以利用 N 型与 P 型栅结构正常阈值电压相差可达到 1.12V 的特性,增加寄生沟道的开启电压,减小侧面寄生晶体管的影响,提高整个器件的抗辐射能力.同时可以避免栅极跨过源漏极引出带来的器件不对称性.采用这种栅结构的器件,不需要对版图设计做过多更改,不需要增加生产加工工序,不需要加入更为复杂的自对准工艺,并且不会造成因硅化物或自对准多晶硅化物可能造成的 N+区与 P+保护环短路的问题.

#### 4 模拟仿真与结果分析

总剂量低于  $1 \times 10^5 \text{ rad(Si)}$  时,根据实验结果可以导出阈值电压漂移与辐照剂量之间的半经验关系式<sup>[2]</sup>:

$$\Delta V_{th} = 5.14 \times 10^{-7} (t_{ox})_{nm}^2 [-7.47DF(E, \zeta)F_t + D^{2/3}] \quad (2)$$

在高剂量率、低总剂量的辐射条件,不考虑界面陷阱电荷的存在对器件性能的影响,只考虑氧化物陷阱电荷的作用<sup>[9]</sup>.计算可得到不同辐射总剂量与氧化层厚度下,在氧化层中产生的电荷量,如表 1 所示.

表1 界面处氧化层陷阱电荷面密度

| 氧化层厚度<br>tox/nm | 电荷面密度 $S/\text{cm}^{-2}$ |                      |                      |
|-----------------|--------------------------|----------------------|----------------------|
|                 | 1kGy                     | 5kGy                 | 10kGy                |
| 4               | $1.6 \times 10^{10}$     | $7.6 \times 10^{10}$ | $1.4 \times 10^{11}$ |
| 16              | $1.9 \times 10^{11}$     | $7.3 \times 10^{11}$ | $1.1 \times 10^{12}$ |
| 40              | $7.1 \times 10^{11}$     | $1.9 \times 10^{12}$ | $2.2 \times 10^{12}$ |

利用 DAVINCI 软件建立器件模型,如图 6 所示,改变器件各 Si/SiO<sub>2</sub> 界面中的电荷量便可以模拟不同的辐射剂量.

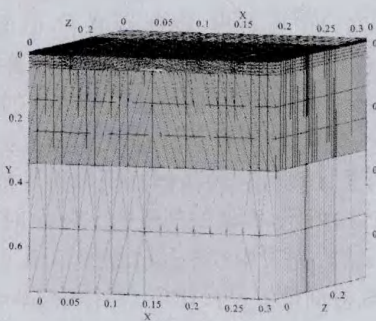
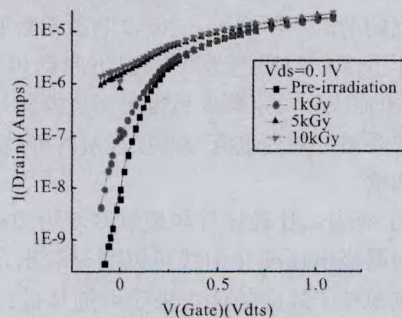
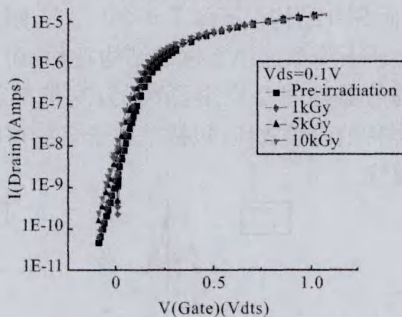


图6 DVINCI 中 SOI 结构双多晶硅栅改进 ARCT 管三维网格示意图

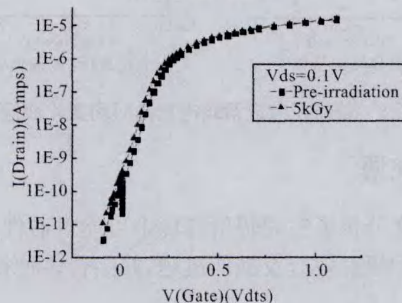
设器件  $V_{ds}$  值为 0.1V,  $V_{gs}$  的扫描范围为 -0.1V 到 1V. 分别得到常规结构, ARC 结构和双栅改进型 ARC 结构晶体管  $I_{ds}-V_{gs}$  曲线随辐射剂量的变化,如图 7 所示.



(a) 常规栅晶体管



(b) ARC晶体管



(c) 双多晶硅栅晶体管

图7 晶体管  $I_{ds}-V_{gs}$  曲线随辐射剂量的变化

从图 7(a)中可看出,辐射环境下,侧面寄生晶体管对器件整体亚阈值特性有着非常显著的影响. 随阈值电压上升,亚阈值漏电流成指数增加. 当总剂量达到 5kGy 时,器件已因无法关断而失去其正常功能. 经有源区裁剪后的晶体管抗辐射性能明显增强,如图 7(b)所示,在辐射剂量达 10kGy 时,器件仍然能正常工作. 而采用双多晶硅栅的 ARCT 晶体管在 5kGy 辐射剂量下,与 ARCT 晶体管  $I_{ds}-V_{gs}$  曲线相比较,电流随电压的下降而更为迅速的减小,阈值电压的漂移更小,亚阈值特性更好,亚阈值漏电流大约可减少一个数量级. 可以证明这种栅结构确实可使侧面寄生晶体管更不易开启,从而提高了整个器件的抗总剂量辐射效应的能力.

基于 DAVINCI 软件模拟 Ar 粒子轰击器件敏感区,可以得到漏端电流随时间变化的曲线. 由于漏端到衬底的电流不断增大,使漏极电压不断下降,当漏极电压下降到门限电压  $V_{th}$  以下时就可能发生翻转,而电流大到一定程度后也可能烧毁器件,具体情况还要受器件耐受电流与漏极连接的等效电容与电阻值影响.

如图 8 所示,比较体硅与埋氧厚度为 200nm 的 SOI 结构漏极电压变化曲线可以明显看出,SOI 结构对于抗单粒子效应的能力强于普通体硅结构. 在图 8(a)中,电压下降到 0.7V 左右,很可能引起器件的翻转. 而 SOI 结构仅下降了 0.3V 左右,瞬态电流与漏端电压下降都远小于体硅结构器件. 而且因为 SOI 结构的器件间是完全隔离的,这彻底消除了 CMOS 器件的闩锁效应,包括单粒子效应可能引起的闩锁效应.

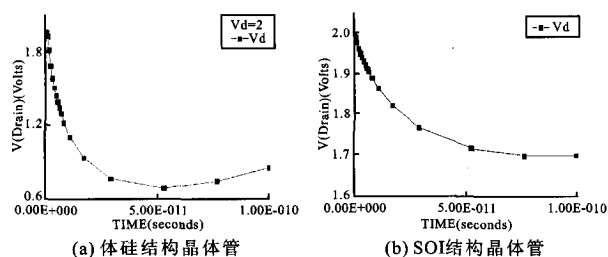


图 8 单粒子效应漏端电压随时间变化曲线

## 5 结束语

本文分析了空间辐射环境中可能对器件造成伤害的多种辐射效应及损伤机理,并结合多种相关器

件结构,设计了一种采用双多晶硅栅优化的有源区裁剪晶体管,可以以最小的面积损失,获得较好的工艺兼容性和对称性,以及良好的抗辐射性能. 通过 DAVINCI 软件对辐射环境和其对器件性能的影响进行了模拟仿真,证明了采用本文所设计的栅结构建立的全耗尽 SOI 器件模型具有较好的抗辐射加固性能. 辐射总剂量在 10kGy 以上时,器件也能正常工作,Ar 粒子轰击下,漏端电压下降仅为 0.3V.

## 参考文献:

- [1] 冯彦君,华更新,刘淑芬. 航天电子抗辐射研究综述[J]. 宇航学报,2007,28(5),1071-1081.
- [2] 赖祖武. 抗辐射电子学——辐射效应及加固原理[M]. 北京:国防工业出版社,1998.
- [3] RaH L Hughes, Benedetto J M. Diation effects and hardening of MOS technology: devices and circuits[J]. IEEE Transactions On Nuclear Science, 2003, 50(3), 500-521.
- [4] Leray J L, DuPoni-Nivet E, Pere J F, et al. CMOS/SOI Hardening At 100Mrad (Si) [J]. IEEE. Trans-nuel, 1990, 37(6):2013-2019.
- [5] Binzaid S, Attia J O. Configurable active-region-cutout-transistor for radiation hardened circuit applications[C]// CCECE, 2008. Canada, IEEE, Piscataway, NJ, USA, 2008: 1215-1218.
- [6] 张小平,雷天民,杨松,等. CMOS 集成电路的抗辐射设计[J]. 微电子学与计算机,2003,20(12):68-70.
- [7] 何玉娟,刘洁,恩云飞,等. SOI MOSFET 抗辐射加固的常用方法与新结构[J]. 器件制造与应用, 2008, 33(3): 223-226.
- [8] Walter J Snoeys, Tomas A Palacios Gutierrez, Giovanni Anelli. A new NMOS layout structure for radiation tolerance[J]. IEEE Transactions On Nuclear Science, 2002, 49(4):1829-1833.
- [9] 罗尹虹,张正选,姜景和,等. MOS 器件加固技术的理论研究[J]. 原子能科学技术,2002,36(3):276-279.

## 作者简介:

李遼宇 男,(1986—),硕士研究生. 研究方向为集成电路设计.

李同合 男,(1955—),副教授. 研究方向为集成电路设计和自动测试技术.