

一种具有反压保护功能的微功耗 LDO

魏海龙, 刘佑宝, 廖 雪

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 本文提出并实现了一种具有反压保护功能的微功耗 LDO. 一方面采用新型自适应栅衬偏置技术, 使导通管的栅/衬极在输入输出反压状态下自动跟踪输出电压, 从而关断导通管沟道, 零偏寄生衬漏体二极管, 解决了反压状态下 LDO 的反灌电流和电路门锁问题. 另一方面, 稳压环路中综合采用高效双极缓冲技术和零极点抵消频率补偿技术, 既解决了微功耗 LDO 中的环路稳定困难问题, 又使漏失电压最小. 该款 LDO 采用 BiCMOS 工艺实现. 测试结果表明, 其反向耐压可达 9 V; 负载调整率和线性调整率分别为 0.025 mV/mA 和 0.6 mV/V; 满负载电流 (250 mA) 漏失电压仅为 70 mV; 空载和重载下静态电流分别只有 7 μ A 和 7.7 μ A.

关键词: 反压保护; 门锁; 低压差稳压器; 微功耗; 漏失电压

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2013)01-0077-05

A Micro-Power LDO with Reverse-Voltage Protection

WEI Hai-long, LIU You-bao, LIAO Xue

(Institute of Xi'an Microelectronics, Xi'an 710054, China)

Abstract: In the paper, a Micro-Power LDO with Reverse-Voltage Protection is presented. For the one hand, utilizing a new Self-Adaptive Gate/Bulk Biasing technique, the gate and bulk voltages of the pass transistor can track the output in the case of reverse voltage, which make the channel pinched and the parasitic drain-to-bulk diode zero biased. Therefore, the issues on the reverse channel current and Latch-Up under reverse voltage are dealt with. On the other hand, using the high efficiency bipolar buffering and zero-pole offsetting synchronously in the loop, not only the LDO stability is ensured but also the dropout voltage is minimized. The proposed LDO is fabricated in the BiCMOS process. The testing results show that the reverse voltage can reach 9V, the load and line regulation are 0.25 mV/mA and 0.6mV/V respectively, the dropout voltage on full load (250mA) is only 70 mV. In addition, the quiescent currents at no load and full load are only 7 μ A and 7.7 μ A respectively.

Key words: reverse-voltage protection; latch-up; LDO; micro-power; dropout-voltage

1 引言

近年来,受电子产品/装备小型化、综合化、节能化发展趋势的推动,高可靠、微功耗 LDO 成为电源管理芯片的研究热点^[1-2].除静电防护(ESD)技术外,大多数 LDO 还采用其他防护技术提高针对特定状态的应用可靠性.文献[3]通过三极管温度感应技术,实现 LDO 的热保护.文献[4]通过输出电流折返技术,对 LDO 实施限流保护.但是,对于输入掉电、端口误接、输出串扰等引起的输入输出反压所

导致的可靠性问题,相关的研究和报道很少.

本文首先分析了输入输出反压引起的两个问题—反灌电流和电路门锁.在此基础上,提出一种导通管自适应衬栅偏置 LDO 反压保护技术,使导通管的栅/衬极在反压时自动跟踪输出电压 V_{OUT} ,从而规避导通管衬漏寄生体二极管正偏引起的电路门锁和沟道导通引起的反灌电流问题.

环路稳定性也是微功耗 LDO 的设计难点^[5].微功耗 LDO 需采用频率补偿来实现环路稳定.目前主要补偿技术有三种:①采用片外电容等效串联

收稿日期: 2012-05-18; 修回日期: 2012-06-27

电阻(ESR)产生的零点进行频率补偿^[3],但 ESR 会增加 V_{OUT} 瞬态过冲,降低电源抑制性能。②采用米勒电容进行频率补偿^[6],但这种技术会影响环路响应速度。③采用零极点抵消技术进行频率补偿^[7]。这种技术虽然有匹配困难的问题,但输出噪声低,响应速度快。本文设计 LDO 采用零点抵消次主极点相位进行频率补偿的同时,还采用高效的双极缓冲技术实现微电流下的阻抗变换,使导通管栅极极点远离主极点,综合保证低功耗 LDO 的稳定性。

2 LDO 反压保护设计

2.1 输入输出反压引起的可靠性问题

对于如图 1 所示的典型 LDO 电路结构^[3],输入电压 V_{IN} 高于输出电压 V_{OUT} ,导通管 M_P 衬漏寄生二极管反偏,不影响 LDO 的正常工作。

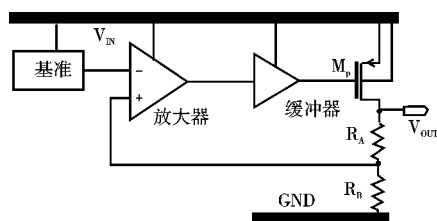


图 1 典型 LDO 电路结构

但如果输入意外掉电、输入输出误接、输出过冲等引起 $V_{OUT} \geq V_{IN}$ 时,一方面, M_P 的栅极电位低于 V_{OUT} (M_P 的栅极电位最高只能与 V_{IN} 相等), M_P 沟道反向导通,存在从输出到输入的反向沟道电流;另一方面,导通管 M_P 衬漏寄生二极管正偏,激活了 LDO 中如图 2 所示的寄生电流通道。当基准及稳压环路的静态电流或输入输出间的反压引起该二极管电流增大,经 Q_1 (寄生衬漏体二极管即为 Q_1 的发射结) 电流放大后在 R_P 上产生的压降使 Q_2 导通。 Q_2 导通后又进一步使 Q_1 的基极电流增大,这样就由 Q_1 和 Q_2 构成正反馈环路,使 V_{OUT} 到地的电流骤增, LDO 闩锁。这种反压闩锁效应轻则引起器件软损伤,重则造成器件烧毁,严重影响应用可靠性。

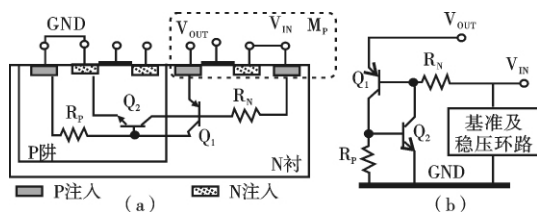


图 2 LDO 反压闩锁机制

2.2 反压保护技术

根据上面的分析, LDO 的反向沟道电流由 M_P 的栅压被输入电压 V_{IN} 限制引起, LDO 闩锁由 M_P

衬漏寄生二极管正向导通引起。

本文提出的反压保护技术通过以下三点抑制上述诱因:

① LDO 的主体电路(基准和稳压环路)采用具有自适应特性的内部电源 V_S 供电。 $V_{IN} \geq V_{OUT}$ (正常情况)时, V_S 跟随 V_{IN} ; $V_{IN} \leq V_{OUT}$ (反压情况)时, V_S 跟随 V_{OUT} ;

② 提高反压情况下 M_P 的栅压,使其与输出电压 V_{OUT} 相等,关断 M_P 沟道;

③ M_P 衬极单独控制,使其电位在 $V_{IN} \geq V_{OUT}$ 时与 V_{IN} 相等,在 $V_{IN} \leq V_{OUT}$ 时与 V_{OUT} 相等,从而使 M_P 的衬漏寄生二极管总是处于零偏或反偏状态,避免其正向导通。

提出的反压保护线路如图 3 所示。

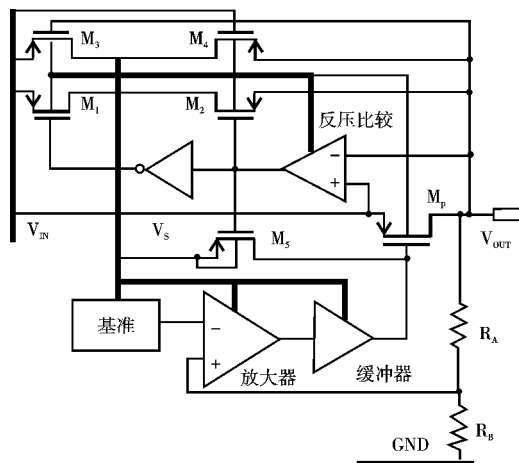


图 3 提出的反压保护 LDO 电路

M_3 和 M_4 用于电路启动。无论 $V_{IN} \geq V_{OUT}$, 还是 $V_{IN} \leq V_{OUT}$, M_3 和 M_4 总有一个导通,将 V_{IN} 、 V_{OUT} 中的较高电位传递给内部电源 V_S ,从而完成 LDO 中主体电路的上电。

上电完成后,反压比较器开始工作。

$V_{IN} \geq V_{OUT}$ 时,比较器输出高电平,控制 M_2 关断, M_1 导通, V_S 跟随 V_{IN} (M_1 的导通电阻远小于 M_3 , V_S 对 V_{IN} 的跟随能力更强)。此时, M_P 的衬极电位与输入电压 V_{IN} 相同, M_5 截止。 LDO 中基准、放大器、缓冲器及 M_P 的实际状态与典型 LDO 完全相同, LDO 处于正常的工作状态。

$V_{IN} \leq V_{OUT}$ 时,比较器输出低电平,控制 M_1 关断, M_2 导通, V_S 跟随 V_{OUT} 。此时, M_P 的衬极电位与 V_{OUT} 相同,衬漏寄生二极管处于零偏状态,不能正向导通; M_5 处于强过驱动线性区,控制导通管 M_P 栅压与 V_S 相等,进而与 V_{OUT} 相等,导通管 M_P 关断。

分析说明, $V_{IN} \geq V_{OUT}$ 时, 研制 LDO 工作状态与典型 LDO 完全相同. $V_{IN} \leq V_{OUT}$ 时, LDO 导通管沟道关闭, 消除了典型 LDO 中的反向沟道电流; 导通管衬漏寄生体二极管处于零偏状态, 不能正向导通, 消除了图 2 所示的寄生电流通道, 因而解决了反压锁问题.

除对最小允许输入电压有少许影响外(采用大 W/L 的 M_1 和 M_2 , 这种影响可控制在 0.1 V 以内), 反压保护技术的引入不会影响 LDO 其他性能.

3 LDO 环路设计

LDO 采用图 4 所示的输入级、缓冲级和输出级环路结构. 其中输入级提供较高增益; 缓冲级用于实现输入级和输出级的阻抗匹配, 将导通管 M_P 栅极极点推到较高频率, 以改善环路的响应速度和稳定性.

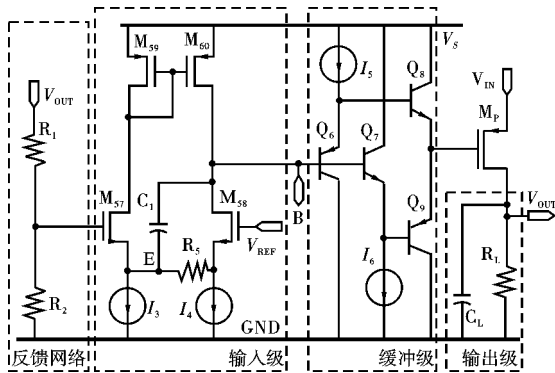


图 4 LDO 稳压环路

$M_{57} \sim M_{60}$ 及 R_5 构成跨导运算放大器(OTA), 作为稳压环路的输入级. 其输出(节点 B)节点有一个低频极点 P_2 :

$$A_1 = r_{O1} / R_5 \quad (1)$$

$$P_2 = \frac{1}{2\pi r_{O1} (C_{GD_M58} + C_{GD_M60} + C_1)} \quad (2)$$

其中 A_1 为输入级增益; r_{O1} 为输入级输出阻抗和缓冲级输入阻抗的并联.

缓冲级由 $Q_6 \sim Q_9$ 组成. 由于 PNP 和 NPN 基极电流相反, 所以 Q_6 和 Q_7 构成的缓冲输入结构可获得高输入阻抗, 实现与 LDO 输入级的高输出阻抗匹配. Q_8 和 Q_9 组成缓冲输出结构. 这种推挽形式源极跟随结构, 一方面降低了缓冲级输出阻抗, 另一方面实现了对 M_P 无交越失真的双边对称驱动, 提高了环路响应速度. 双极器件的跨导高于 MOS 器件的跨导, 缓冲级采用双极器件, 在相同静态电流下, 可获得更高的阻抗变换效果, 因而提高了环路的

稳定性. 另外, 该电路利用 NPN 的 BE 结正向导通压降低于 PMOS 管 $|V_{TP}|$ 的特点, 使 M_P 的最小导通能力可低于 μA 量级, 从而解决了 LDO 中普遍存在的导通管难于关断导致的最小驱动电流偏大问题. 缓冲级输入和输出均采用源极跟随结构, 其直流增益 $A_2 \approx 1$.

输出级由导通管 M_P 、 C_L 和 R_L 组成. M_P 和 R_L 决定了输出级的直流增益 A_3 , R_L 和 C_L 决定了环路主极点 P_1 :

$$A_3 = g_{m_{MP}} \frac{R_L r_{O3}}{R_L + r_{O3}} \quad (3)$$

$$P_1 = \frac{1}{2\pi \frac{R_L r_{O3}}{R_L + r_{O3}} C_L} \approx \frac{1}{2\pi R_L C_L} = \frac{I_{OUT}}{2\pi V_{OUT} C_L} \quad (4)$$

其中, r_{O3} 为 M_P 的动态电阻.

为了实现低漏失电压, M_P 采用大 W/L 的 PMOS 管($W/L=160000$), 其栅电容和栅漏电容较大, 所以在 M_P 的栅极节点会存在环路的另一低频极点 P_3 :

$$P_3 = \frac{1}{2\pi r_{O2} (C_{GS_MP} + A_3 C_{GD_MP})} \quad (5)$$

其中, r_{O2} 为缓冲级输出阻抗. 由于米勒效应, M_P 栅漏电容 C_{GD_MP} 等效在栅极为 $A_3 C_{GD_M1}$.

为保证该系统的稳定, 通过电容 C_1 在节点 E 引入零点 Z_1 进行相位补偿:

$$Z_1 = \frac{1}{2\pi R_5 A_1 C_1} \quad (6)$$

合理设计 C_1 , 使零点 Z_1 位于极点 P_2 和 P_3 之间, 抵消部分 P_2 极点引起的相位滞后. 同时, 通过 C_L 的选取, 保证重负载条件下 P_1 极点和 P_3 极点拉开, 解决二阶系统中两极点靠近引起的输出振铃问题.

4 结果与讨论

本设计 LDO 采用 BiCMOS 工艺的 Bsim3V3 模型、Spectre 仿真器进行设计和仿真.

该 LDO 的反压保护功能仿真结果如图 5 所示. $V_{IN} \geq V_{OUT}$ 时, LDO 内部电源电压 V_S 和 V_{IN} 相等, 输入输出间有较大的电流, 说明 LDO 正常工作. $V_{IN} \leq V_{OUT}$ 时, V_S 和 V_{OUT} 相等, 输入电流 I_{IN} 为 0 μA , 输出电流 I_{OUT} 为一 8 μA . 说明 M_P 截止, 没有反向沟道电流; 电流 I_{OUT} 是通过 M_2 提供给 LDO 主体电路的静态电流.

图 6 为稳压环路的零极点分布及频率特性的仿真结果. 重负载下, 环路分别在 170 Hz、900 Hz 和

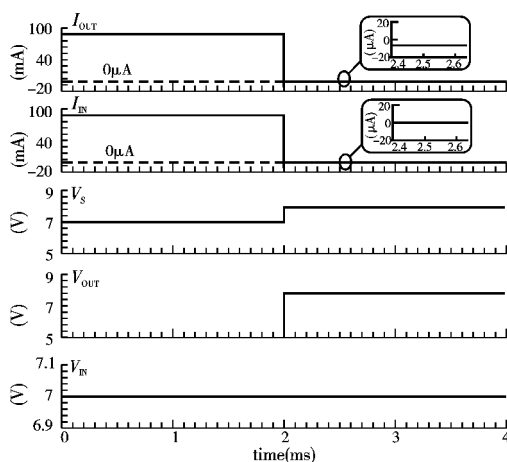


图5 反压保护功能仿真

30 kHz 附近存在三个极点,在 7.3 kHz 附近存在一个零点;环路直流增益约为 60 dB, -3 dB 带宽 170 Hz,单位增益带宽 33 kHz,相位裕度 50° 。由于轻负载下等效负载电阻 R_L 增加导致主极点 P_1 下降、 A_3 增加,其环路的幅频、相频特性曲线相对于重负载向左有少许移动,环路直流增益有所增加。

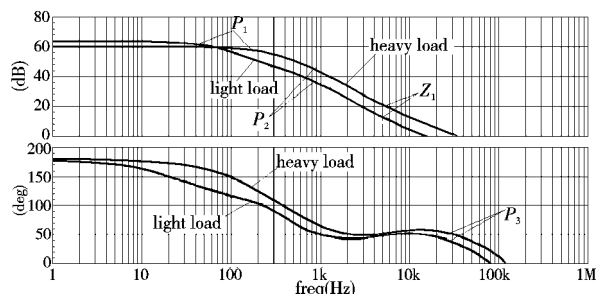


图6 稳压环路的频率特性

研制 LDO 采用 BiCMOS 工艺设计实现,其芯片显微照片如图 7 所示,芯片面积为 $1.9 \text{ mm} \times 1.5 \text{ mm}$ 。

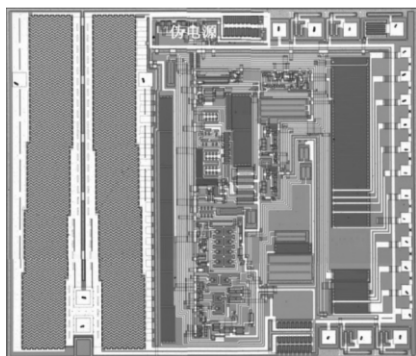


图7 研制 LDO 芯片显微照片

研制 LDO 的反压保护功能测试结果如图 8 所示。

$V_{IN} \geq V_{OUT}$ 时,输入输出间电流较大,且电流随输入输出压差的减小而减小,这与典型 LDO 的输

入输出特性相同,说明 LDO 工作正常。5 V 左右,输入输出反压, $V_{IN} \leq V_{OUT}$ 后, I_{IN} 变为 $0 \mu\text{A}$, I_{OUT} 变为 $-7 \mu\text{A}$,且两者不随压差变化,说明 LDO 无反灌电流;输出端的 $-7 \mu\text{A}$ 电流是 LDO 主体电路所需的静态电流。

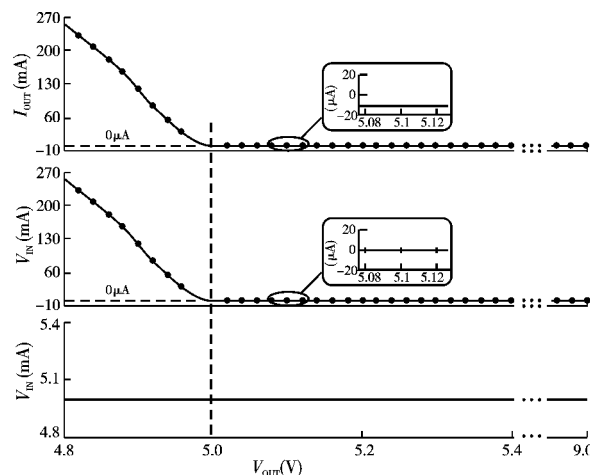


图8 反压保护测试结果

研制 LDO 的瞬态响应测试结果如图 9 所示。输出电流 I_{OUT} 从 5 mA 阶跃至 45 mA,输出电压 V_{OUT} 有 7 mV 的过冲电压,稳定后 V_{OUT} 下降 5 mV; I_{OUT} 从 45 mA 阶跃至 5 mA, V_{OUT} 同样有 7 mV 的过冲电压,稳定后 V_{OUT} 上升 5 mV。输出稳定时间约 $50 \mu\text{s}$ 。

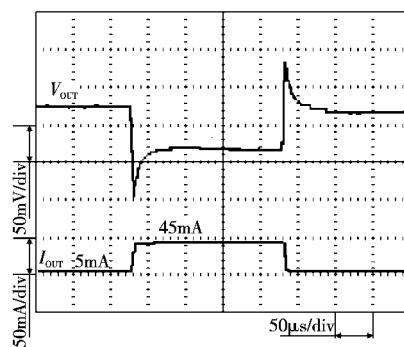


图9 研制 LDO 瞬态响应

根据测试结果,当输出电压 V_{OUT} 设置为 1.25 V,负载电流 I_{OUT} 在 0 mA~250 mA 变化时, V_{OUT} 变化 7 mV; LDO 负载调整率约为 $0.14\%/A$ 。负载电流 I_{OUT} 为 100 mA,输出电压 V_{OUT} 设置为 1.25 V 时,输入电压 V_{IN} 在 5.5 V~9 V 范围内变化, V_{OUT} 变化约 0.05 mV; LDO 线性调整率约为 $0.012\%/V$ 。负载电流为 250 mA 时, LDO 的漏失电压为 70 mV。另外,空载和满载时 LDO 的静态电流分别仅为 $7 \mu\text{A}$ 和 $7.7 \mu\text{A}$ 。

表 1 列出了 4 种文献报道 LDO 与本设计 LDO 的性能比较。可以看出,本文 LDO 在输出电流能力

相当的情况下,输入电压范围最大,静态电流最低.

表 1 文中 LDO 与其他文献 LDO 性能比较

	文献[8]	文献[6]	文献[9]	文献[10]	本文
$V_{IN}(V)$	1.2	2.2~5.5	0.95~1.4	2.5~4.4	2.7~9
$V_{OUT}(V)$	1	1.6	0.7~1.2	N/A	1.2~8.5
$I_{load}(max)$ (mA)	100	200	100	100	250
漏失电压 (mV)	200	200	200	150	70
负载调整率 (mV/mA)	N/A	N/A	~0.4	0.017	0.025
线性调整率 (mV/V)	N/A	N/A	N/A	1.156	0.6
$I_Q(\mu A)$ @空载	100	23	43	8	7
$I_Q(\mu A)$ @满载	100	180	N/A	N/A	7.7

5 结束语

文中设计实现了一种具有反压保护功能的微功耗 LDO. 该款 LDO 采用新型反压保护电路,解决了常规 LDO 在反压状态下输入输出反灌电流和电路闩锁问题,提高了应用可靠性. 该款 LDO 进一步综合了高效双极缓冲技术和零极点抵消技术,仅在 7 μA 的静态电流下实现了稳压环路的稳定. 这种高可靠、微功耗、性能良好的 LDO 可作为 CPU/DSP 等数字系统的供电电源.

参考文献:

- [1] 严惠琼,都思丹. 新型 National 系列半导体电源芯片分析综述[J]. 南京大学学报:自然科学,2007,43(1):35-46.
- [2] 刘帘曦,杨银堂,朱樟明. 恒流 LDO 型白光 LED 驱动芯片的设计研究[J]. 西安电子科技大学学报:自然科学版,2007,34(2):264-269.
- [3] Liu Zhiming, Fu Zhongqian, Huang Lu, et al. A 1.8V LDO voltage regulator with foldback current limit

and thermal protection[J]. Chinese Journal of Semiconductors, 2009,30(8):1-5.

- [4] Zhang Nana, Liang Qi. Design of a novel over-current protection circuit[J]. China Integrated Circuit, 2007(5):487-490.
- [5] Gabriel A Rincon-Mora, Phillip E Allen. A low-voltage, low quiescent current, low drop-out regulator[J]. IEEE Journal of Solid-State Circuits, 1998, 33(1):36-44.
- [6] 李演明,贾新章,来新泉,等. 具有快速瞬态响应和低静态电流的 CMOS 低漏失稳压器设计[J]. 电子学报,2009,37(5):1130-1135.
- [7] Shen Liangguo, Yan Zushu, Wang Zhao, et al. Analysis and design of a high-stability, high-accuracy, low-dropout voltage regulator[J]. Chinese Journal of Semiconductors, 2007,28(12):1872-1877.
- [8] Sai Kit Lau, Mok P K T, Ka Nang Leung. A low-dropout regulator for SOC with Q-reduction[J]. IEEE Journal of Solid-State Circuits, 2007,42(3):658-664.
- [9] Or P Y, Leung K N. An output-capacitorless low-dropout regulator with direct voltage-spike detection[J]. IEEE Journal of Solid-State Circuits, 2010, 45(2):458-466.
- [10] Xin Ming, Ze-kun Zhou, Bo Zhang. A low-power ultra-fast capacitor-less LDO with advanced dynamic push-pull techniques[C]//IEEE/IFIP 19th International Conference on VLSI and System-on-Chip. China: Hongkong, 2011:54-58.

作者简介:



魏海龙 男,(1976—),博士研究生,高级工程师.研究方向为模拟放大器、单片 DC/DC 等方向的模拟 IC 设计.