

可配置的 2D 空域滤波操作 VLSI 架构研究

袁雅婧, 桑红石, 张天序

(华中科技大学 图像识别与人工智能研究所, 湖北 武汉 430074)

摘 要: 提出了一种可配置的支持红外自动目标识别应用中不同窗口操作的 2D 空域滤波类操作 VLSI 架构, 从 SoC 角度考虑能够更好地满足不同的图像处理应用. 该架构与已报道的对于该类操作的其他结构解决方案进行比较, 新结构具有较高的处理速率. 新结构在 SIMC0.18 μm CMOS 工艺下实现, 其时钟频率为 135Mhz, 功耗为 52mW, 面积约为 128.2K Gates, 峰值处理性能达到 6.6GOPS.

关键词: 红外自动目标识别; 2D 空域滤波类操作; 可配置的 VLSI 架构

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)12-0136-04

Research on a Reconfigurable VLSI Architecture for Space-filtering Operations

YUAN Ya-jing, SANG Hong-shi, ZHANG Tian-xu

(Institute for Pattern Recognition and Artificial Intelligence, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: A reconfigurable VLSI architecture for 2D space-filtering operations was proposed, which is capable of supporting different window operations of infrared auto target recognition (ATR) applications, offering the possibility of addressing different image processing applications from the SoC perspective. Compared with other available architectural solutions, the proposed architecture gains better processing rate. The proposed architecture was fabricated with SIMC 0.18 μm CMOS technology, and the maximum clock frequency, power consumption, and area are 135Mhz, 52mW, 128.2 K Gates, respectively. The peak processing performance of the architecture achieves 6.6GOPS.

Key words: infrared auto target recognition; 2D space-filtering operations; reconfigurable VLSI architecture

1 引言

空域滤波类操作都是基于模板或窗口的图像处理操作, 因此, 这类操作也可以被称为基于窗口的处理操作. 这类操作广泛应用于红外自动目标识别系统的各个环节, 特别是红外 ATR 低层处理算法中, 比如中值、均值和高斯滤波, 用于特征匹配的相关性估计, 用于提取背景的图像差分等操作都是或可以用基于窗口的操作来描述^[1].

虽然空域滤波类操作的数学表达式很简单, 但是其实现过程既具有很大的计算量又非常消耗内存, 尤其是对于串行处理器而言, 具有很大的计算负

荷. 对于一个 30 帧/秒的实时图像处理系统而言, 该二维卷积对处理器计算能力的要求至少是数 GOPs. 为了满足高性能红外 ATR 系统的需求, 需要对窗口操作的硬件架构进行研究.

本文对红外 ATR 应用中的空域滤波类操作的计算模型进行了分析. 在此基础上, 提出了一种可配置的基于该类操作的 VLSI 架构, 该架构最大程度地实现片上数据重用, 减少了硬件复杂度和外部带宽, 同时能够进行不同的标量和缩减函数运算, 从而能够支持应用中的不同窗口操作, 从 SoC 角度考虑能够更好地满足不同的图像处理应用. 与已报道的该类操作的其他结构解决方案的性能进行了比较,

新结构具有较高的处理速率。

2 空域滤波类操作计算模型

空域滤波类操作的计算模型可表示为:

$$s=F_R(F_S(A(x,y),B(x,y)))$$
$$M(x,y)=F_S(A(x,y),B(x,y)) \tag{1}$$

这样,基于窗口的图像操作只需要指定三个参量:

- 窗口模板:大小与系数矩阵一致;
- 作用于每个像素的基本的标量函数 F_S ;
- 缩减函数 F_R :应用于从输入图像中提取出的窗口,从而产生一个输出结果。

标量函数 F_S 通常是一组算术逻辑操作,可以采用一个算术逻辑部件进行执行。即在两个图像之间或一幅给定图像上,重复地执行专门的计算,比如加法、乘法、取绝对值或最大(小)值。基于窗口的操作也需要一个缩减函数 F_R ,该函数将生成的中间结果窗口缩减到一个输出结果。表 1 给出了在公式(1)下不同操作所对应的标量函数 F_S 和缩减函数 F_R 。

表 1 基于窗口的不同操作所对应的 F_S 和 F_R 函数

操作名称	F_S	F_R
卷积	$(A \times B)/k$	$\sum M$
均值滤波	A/n^2	$\sum M$
最大值滤波	A	$\text{Max}(M)$
最小值滤波	A	$\text{Min}(M)$
中值滤波	A	$\text{Median}(M)$
图像差分(IMD)	$ A-B $	—
差分图像二值化(B_IMD)	$\text{threshold}(A-B)$	—
B_IMD 的腐蚀	$\text{threshold}(A-B)$	$\text{AND}(M)$
二值形态学膨胀	$A \text{ and } B$	$\text{OR}(M)$
二值形态学腐蚀	$A \text{ or } !B$	$\text{AND}(M)$
灰度形态学膨胀	$A+B$	$\text{Max}(M)$
灰度形态学腐蚀	$A-B$	$\text{Min}(M)$

从 SoC 的角度考虑,为了满足不同图像处理应用的需求,该基于窗口操作的架构需要具有可配置性和灵活性,且能够支持不同的标量和缩减函数运算。

3 可配置的 VLSI 新结构

3.1 实现策略

将公式(1)直接进行硬件映射可知,空域滤波类操作的硬件架构需要两个输入参数:输入图像数据 A 和窗口模板系数 B ,一个标量函数 F_S 处理单元和一个缩减函数 F_R 处理单元。对于不同的操作,这两个函数处理单元都是以同样的顺序执行的,即标量

函数的输出是缩减函数的输入,因此,公式(1)具有内在的流水处理特性,可将标量函数处理单元和缩减函数处理单元以流水结构进行组织。图 1 给出了基于窗口操作的可配置的两级流水计算路径结构示意图。对于 F_S 处理单元,可采用增强型的 ALU 模块进行实现(除了完成基本的 ALU 运算外,还可完成取阈值、绝对值等运算)。 F_R 处理单元完成逻辑或、与、累加、最大或最小等排序操作,可采用树结构进行实现。对于不需要进行缩减函数处理的 IMD 和 B_IMD 操作,其结果 M 可由 F_S 单元直接输出。在该结构中,配置信息包含了当前操作的类型, F_S 和 F_R 处理单元根据配置信息,配置相应的数据路径和输出。对于需要输入的两个参数 A 和 B ,需要采用适当的缓存方案,以最大程度地实现片上数据的重用,使结构具有较小的外存储器带宽。

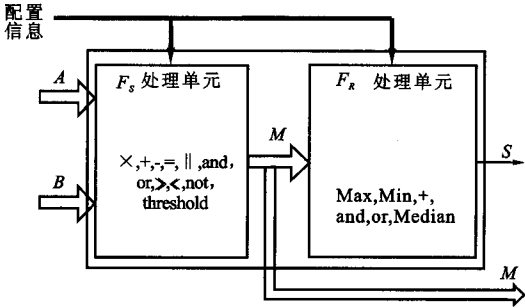


图 1 可配置的两级流水计算路径示意图

分析表 1 中各种不同的窗口操作可知,这些 2D 窗口操作都可以用 1D 操作来分步执行(本文中的中值滤波采用可分离的中值滤波^[2]),且相邻数据之间具有很多的可重用数据。在此分析的基础上,本文提出了一种新的可配置的空域滤波类操作架构,如图 2 所示。该结构在输入端口处采用 2 个深度为 P 的输入 FIFO 像素寄存器阵列(Pixel Register Arrays, PRAs)提供数据。对于固定模板系数的操作,需要首先通过 FIFO1 将每个系数沿图中虚线路径装载到相应的可配置标量函数单元(Configurable Scalar Function Unit, CSFU)中的系数寄存器(阵列中共有 $R \times S$ 个 CSFU,每行 S 个 CSFU,共有 R 行。每个 CSFU 与模板窗口中的系数相对应)。然后,这两个 FIFO 以乒乓模式接收和存储输入图像数据。PRAs 分别缓存输入图像中连续两行的 S 列像素,选择其中的一行广播到 R 个 CSFU 中。这 R 个 CSFU 依附于列方向上的 R 个相邻窗口。对于需要缩减函数处理的操作,CSFU 阵列的输出被送入到树形网络(Tree Network, TN)结构的缩减函数单元阵列,其输出的每一行的中间结果被存储到由

深度为 W 的 $(R-1)$ 个 RAM 组成的 RIS 中间结果存储器中 (W 为行方向上的窗口个数); 对于不需要缩减函数单元处理的, 直接将 CSFU 阵列的结果进行输出。

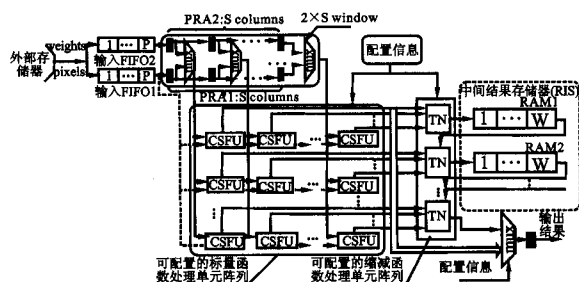


图2 可配置的空域滤波类操作 VLSI 架构

由图 2 可知, 新结构采用了多数据流的方式更新窗口数据, 以达到 1 clock/pixel 的数据通过率。也就是说, 每 W 个时钟周期需要从外部存储器中取出 $W+S-1$ 个像素, 即外部存储器带宽为 $(W+S-1)/W$ pixels/clock。另一方面, RIS 存储器的容量与参数 W 密切相关。因此, 调整参数 W 可以在 RIS 的容量和外部存储带宽之间获得较好的折衷(本文将 W 设置为等于模板窗口的列数)。上述结构的缺点在于输入和输出数据流都是以行为主的 zigzag 形式(如图 3 所示)进行的。

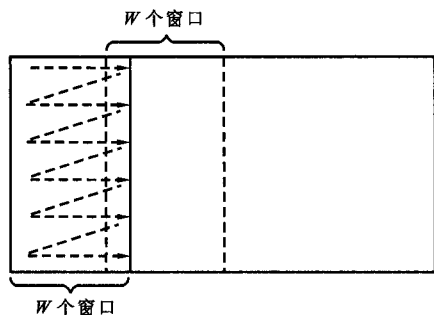


图3 zigzag 形式的数据流示意图

3.2 数据路径设计

该结构的数据路径由两个任务级流水的运算处理单元 CSFU 阵列和 TN 阵列组成, 其中 CSFU 阵列由若干个(等于窗口尺寸大小)CSFU 单元组成, 完成标量函数的功能, TN 阵列是由若干个(等于窗口的行数)TN 单元和数据存储器(图中的 RIS RAM1 和 RAM2, 以及专门用于中值滤波的 MEDF RAM1)组成。图 4 给出了 3×3 窗口下新结构的数据路径结构示意图(图中黑色方块表示寄存器)。组成 CSFU 阵列的单个 CSFU 是一个可配置的增强型 ALU 模块, 根据不同的配置信息完成图 1 所示的 F_s 所对应的全部逻辑运算, 其结构如图 5 所示(CSFU 结构中包含一个寄存器, 图中黑色方块所

示, 用于保存模板系数)。

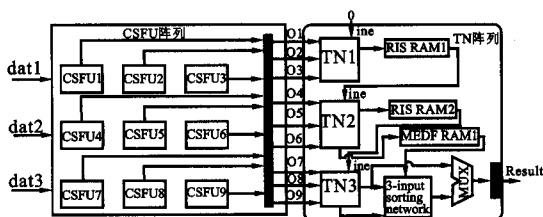


图4 可配置空域滤波类操作 IP 数据路径示意图

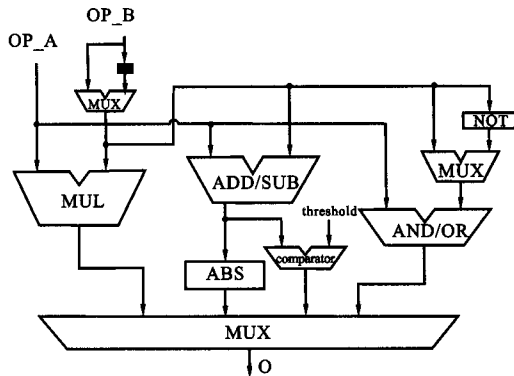


图5 单个 CSFU 单元结构框图

由图 4 可以看出, TN 阵列中包含了两个用于缓存数据的 RIS RAM 和一个专门用于中值滤波处理的缓存 MEDF RAM。实际上, RIS RAM 和 MEDF RAM 具有相同的容量, 且都采用延迟线的形式进行实现, 其延迟线长度与参数 W 相关。对于 TN 阵列中的 TN 单元则完成图 1 中的 F_R 所对应的全部运算。单个 TN 单元采用树状结构实现, 其结构如图 6 所示。图中给出的是 3×3 窗口下 TN 的结构示意图。对于较大尺寸的窗口, 比如 5×5 , TN 单元有 5 个来自 CSFU 阵列的输入和一个来自 RIS RAM 的输入 ine。根据不同的配置信息, 选择不同的运算符(加、比较、逻辑等)进行处理, 其运算结果由 out 端口输出到相应的 RIS RAM 中。需要说明的是, 不同与其他窗口操作中, 可以对每行的结果进行累积运算, 中值滤波操作只能在选出每行的中值后, 才能从每行的中值中经过大小排序, 输出最终的中值。为了融合中值滤波的这种计算特点, TN 阵列中增加了用于缓存之前几行中值的延迟线 MEDF RAM(比如 3×3 窗口下, 增加了一条 MEDF RAM1 用于缓存 RIS RAM1 输出的第一行的中值), 且单个 TN 单元中增加了一个 medf_out 输出端口, 将来自 RIS RAM 的数据经 ine 输入端口直接输到 medf_out。每行的中值输入到图 3 所示的排序网络(sorting network)中, 经过若干次比较输出最终的中值。排序网络采用冒泡排序算法对输入的数据进行处理。图 7 给出了 7-输入(对应 7×7)下排

序网络的结构示意图,其中 CMP 表示两输入的
比较器,B 表示缓冲器.

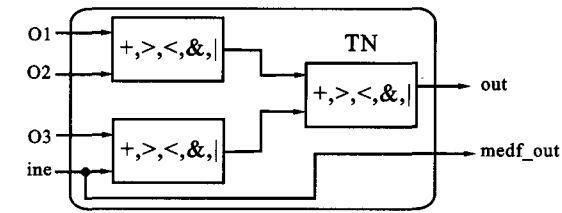


图 6 单个 TN 单元结构示意图

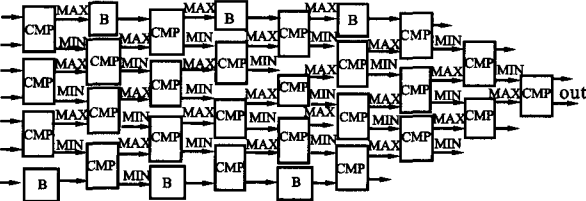


图 7 7-输入端口数排序网络结构示意图

4 性能分析

为了验证新结构的性能,本文将新结构与目前
已报道的对于窗口操作的其他结构解决方案进行了
比较. 为了对新结构和其他结构进行公平地比较,本
文采用了一种应用范畴内的窗口操作比较,即将同
一组算法在每种结构上进行执行从而使性能指标达
到标准化. 在基于窗口操作的图像处理算法中,被映
射到新结构上的算法有图像卷积、灰度图像数学形
态学、中值滤波.

表 2 给出了几种基于窗口的图像操作及其在不
同硬件结构上的处理时间. 在该表中,基于窗口操作
的图像应用、架构实现形式、处理时间(时钟周期数)
和数据通过率被用作比较的主要参量^[3-6].

表 2 新结构与其他关于窗口操作实现结构的性能比较

系统	结构	应用	时钟周期 (cycles)	数据通过率 (帧/秒)
TMS320C80	Multiprocessor	5×5 高斯卷积	2 000 000	25 @50MHz
Splash2	Multi-FPGA	3×3 中值滤波	499 500	37 @18.5 MHz
PDSP1648	Hardwired ASIC	8×8 卷积	262 400	153 @40MHz
PPIP	64×64 2D SIMD array	5×5 Laplacian 滤波	3 290	5076 @16.7 MHz
PPIP	64×64 2D SIMD array	5×5 高斯卷积	12 191	1370 @16.7 MHz
IMAP vision	SIMD, 256 PE	3×3 卷积	26 000	1539 @40MHz
IMAP vision	SIMD, 256 PE	3×3 灰度膨胀	12 400	3226 @40MHz
MAP 1000	Media processor VLIW	7×7 卷积	1 580 000	127 @200MHz
CWP	Systolic	7×7 通用基于窗口的 图像处理操作	501 000	120 @60MHz
Proposed architecture	Array	7×7 通用基于窗口的 图像处理操作	436 800	138 @60MHz

从表中可以看出,与其他结构的性能相比,新结
构的性能具有与某些结构相似的处理性能,同时也
优于另外一些结构. 特别是与采用了脉动阵列形式
的通用窗口操作处理器 CWP^[6] 相比,本结构在相同
频率下具有大约 12.9% 的速度提升,其主要原因在
于新结构的数据路径采用了标量和缩减运算任务级
流水技术. 新结构所需资源也相对较少.

新结构的一个重要特点是可配置性,且能够支
持几种不同的基于窗口的操作,从 SoC 角度考虑能
够更好地满足不同的图像处理应用. 此外,新结构具
有通用性、模块化和可扩展性,因此可利用其构建更
复杂的算法,比运动估计中的块匹配. 这些潜在的应
用将是未来进一步的研究重点.

将新结构采用 ASIC 技术进行实现,达到摘要
所述指标.

5 结束语

本文提出了一种可配置的空域滤波类操作的
VLSI 架构,该架构很大程度地重用了片上已存储
的像素,能够支持红外自动目标识别应用中的不同
窗口操作,从 SoC 角度考虑能够在不同的图像处理
应用中得到重用.

参考文献:

[1] 张天序. 成像自动目标识别[M]. 武汉:湖北科学技术
出版社,2005. (下转第 144 页)

- Electronics, Circuits and Systems. St. Julien's, 2008: 149-152.
- [2] Giraldo A, Paccagnella A, Minzoni A. Aspect ratio calculation in n-channel MOSFET's with a gate-enclosed layout[J]. Solid-State Electron, 2000, (44): 981-989.
- [3] McInain M L, Barnaby H J, Esqueal I S, et al. Reliability of high performance standard two-edge and radiation hardened by design enclosed geometry transistors [C]//Proceeding of 2009 IEEE International Reliability Physics Symposium. Montreal, QC, 2009: 174-179.
- [4] Corbin L, George S, Rue L. Accurate SPICE models for CMOS analog radiation hardness by design[J]. IEEE Trans on Nucl Sci, 2005, 52(6): 2542-2549.
- [5] Strohhahn K, Martin M N. Spice Macro Models for Annular MOSFETS[C]//Proceeding of IEEE Aerospace Conference. USA; Laurel, 2004: 2370-2377.
- [6] BSIM3 Version 3.2 Manual[M]. Electrical Engineering and Computer Science, Univ of California, Berkeley, CA;1998.

作者简介:

张波男, (1987—), 硕士研究生. 研究方向为超大规模集成电路设计.

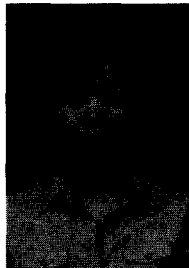
肖立伊女, (1961—), 博士, 教授, 博士生导师. 研究方向为 VHDL-AMS 混合信号模拟器设计、SoC/IP 核设计与标准化.

付方发男, (1984—), 博士研究生, 讲师. 研究方向为片上网络、众核系统设计方法学.

(上接第 139 页)

- [2] Narendra P M. A separable median filter for image noise smoothing[J]. IEEE Trans on pattern analysis and machine intelligence, 1981, PAMI-3(1): 20-29.
- [3] Managuli R, York G, Kim D, et al. Mapping of two-dimensional convolution on very long instruction word media processors for real-time performance[J]. J Electron Imaging, 2000, 9(3): 327-335.
- [4] Miguel A-E, César T-H. Real-time field programmable gate array architecture for computer vision[J]. J Electron Imaging, 2001, 10(1): 289-296.
- [5] Singh H, Lee M-H, Liu G M, et al. MorphoSys: an integrated reconfigurable system for data-parallel and computation-intensive applications[J]. IEEE Trans on Computers, 2000, 49(5): 465-481.
- [6] César T-H, Miguel A-E. FPGA-based configurable systolic architecture for window-based image processing[J]. EURASIP J Appl Signal Process, 2005(7): 1024-1034.

作者简介:



袁雅婧女, (1983—), 博士研究生. 研究方向为数字图像处理算法及 VLSI 实现.

桑红石女, (1970—), 副教授. 研究方向为数字图像处理算法 VLSI 实现与并行处理器体系结构.