

一种 0.13 μm -200 MHz 高速连续时间 Sigma-Delta 调制器设计

李 亮¹, 陈珍海²

(1 苏州市职业大学 电子信息工程系, 江苏 苏州 215104; 2 中国电子科技集团公司 58 所, 江苏 无锡 214035)

摘 要: 本文在 SMIC 130 nm CMOS 工艺条件下设计一种高速连续时间 Sigma-Delta 调制器. 该调制器采用了单环 3 阶一位量化正反馈结构, 在采样时钟为 128 MHz 和过采样率为 32 的条件下, 通过 spectre 和 Matlab 仿真验证. 该调制器达到了 2 MHz 的信号带宽和 75 dB 的动态范围, 在 1.2 V 电源电压下其总功耗为 20mW.

关键词: 连续时间 Sigma-Delta; 调制器; 模数转换器; CIFF 单环正反馈

中图分类号: TN431

文献标识码: A

文章编号: 1000-7180(2013)01-0126-05

A 0.13 μm -200 MHz High-speed Continuous Time Sigma-Delta Modulator

LI Liang¹, CHEN Zhen-hai²

(1 Dept. of Electronic and Information Engineering, Suzhou Vocational University, Suzhou 215104, China;

2 China Electronic Technology Group Corporation, No. 58 Research Institute, Wuxi 214035, China)

Abstract: A high-speed continuous-time Sigma-Delta modulator is designed with SMIC 130 nm CMOS process in this paper. The modulator adopts a single loop three-order positive feedback structure with a quantitative. The modulator reached a 2 MHz bandwidth and 75 dB dynamic range in 128 MSPS and over-sampling rate of 32, by tools of spectre and matlab. The total power dissipation is 20mW at 1.2V power supply.

Key words: continuous time Sigma-Delta; modulator; ADC; single loop positive feedback

1 引言

传统的观念认为,流水线模/数转换器是高动态性能 100MSPS(每秒百万采样)以下应用的最好选择. 如今,连续时间 Sigma-Delta(CTSD) 模/数(A/D) 转换技术不仅提供更好的能效,而且便于设计者将模/数转换器应用到高速高性能系统中. 连续时间 Sigma-Delta 调制器的采样发生在量化器之前的前置环路滤波器的输出. 而流水线或离散时间 Sigma-Delta 模/数转换器的采样工作是发生在模/数转换器的输入,因此连续时间 Sigma-Delta 调制器具有有效的抗混叠滤波和噪声小的输入级,而且模数转换器能够在较低的电源下工作,将更加适应 CMOS 工艺^[1-2]. 因此,连续时间 Sigma-Delta 调制器能同

时实现低功耗与高带宽,是 Sigma-Delta 模数转换器的发展方向之一,它广泛应用与无线通讯和视频领域.

2 调制器结构设计

Delta-sigma toolbox 用于离散时间 delta-sigma 调制器系统级设计,该工具可以在 MATLAB 中^[3]快速设计单环多阶,单比特或多阶量化的离散时间 delta-sigma 调制器. 本设计结构采用三阶 CIFF (Cascade-of-integrators, feed forward form),如图 1 所示. 前馈结构的优点:潜在的稳定性. 反馈结构只有一条前向通路,当输入信号突然变大时,后级积分器饱和,阻断了整个环路,于是整个环路自激振荡起来;而前馈结构有很多条前向通路,当输入信号突

然变大而引起调制器过载时,后级积分器饱和,但前面几级积分器仍正常工作;而且前馈结构可以通过优化积分器传递系数使前级积分器的输出摆幅较低,从而降低了OTA摆幅和线性度的要求^[4].使用Delta-sigma toolbox通过MATLAB设计可以得到系统环路传递函数:

$$H(z) = \frac{(z-1)^3}{(z-0.6694)(z^2-1.531z+0.6639)}$$

环路各个系数为:

$$a1=2.1992, a2=3.0597, a3=2.6901;$$

$$g=0;$$

$$b1=0.3637, b2=0, b3=0, b4=1.0000;$$

$$c1=0.3637, c2=0.2590, c3=0.1736.$$

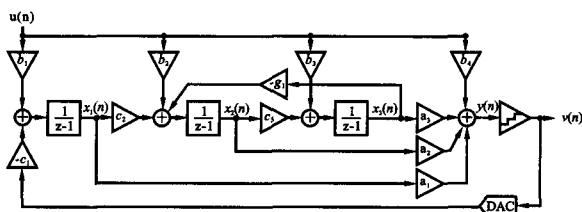


图1 三阶前馈结构

使用Delta-sigma toolbox设计的三阶前馈结构进一步处理得到环路滤波器结构如图2所示.经过脉冲不变变换(impulse invariant transform)^[5-6],环路滤波器中的各个积分器系数Scaling后,系数如下:

$$a1=3, a2=3.6, a3=4;$$

$$b1=0.2, b4=1.0;$$

$$c1=0.3, c2=0.2, c3=0.15.$$

积分器摆幅如下:第一级为0.3Fs(Fs为满幅);第二级为0.2Fs;第三级为0.15Fs;加法后为0.65Fs.这里的摆幅不是被运放的摆幅限制,而是受加法器中的跨导单元限制的.系统设计时必须考虑到电路设计的可行性.经过SIMULINK仿真验证各级积分器的输出波形均不过载,而且系统输入与反馈的比值小于允许的最大值(即 $u_{max}=0.72$),系统是稳定的.

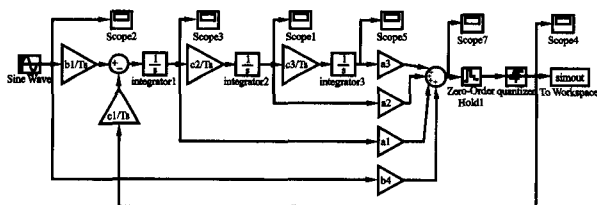


图2 环路滤波器结构

3 电路设计

设计的电路图如图3所示.连续时间环路滤波器由R-C积分器构成^[1-7].因为它是线性的,并且很容易和DAC电路相接.在RC有源积分器中,积分电容串联一个小的电阻R可以消除由运放的非线性导致的寄生极点.一阶积分器的 R_1 和 R_{DAC} 的值由低功耗的要求决定,它的最大值受到带内噪声的限制^[2-6]. R_1 的最大值由下式得出:

$$R_1 \approx \frac{V_{in}^2/2}{32KTf_B3 \times 2^{2B-1}}$$

其中 $V_{in}=420$ mV、 $f_B=2$ MHz、 B 是有效位数.

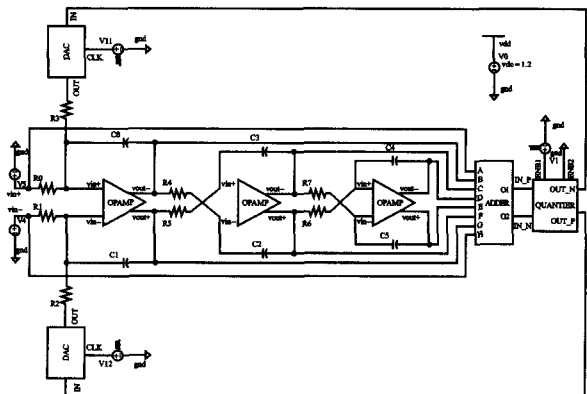


图3 电路图

一位DAC的反馈电阻值由积分电容得出,如下式:

$$R_{DACi} = \frac{1}{k_i f_s C_i}$$

R_{DACi} 为反馈电阻, k_i 为积分系数, C_i 为积分电容.

$$\text{最小积分电容为: } C_i = \frac{k_i}{R_i f_s}$$

根据系统系数,优化后依次可取: $R_1=4K\Omega$, $R_2=2K\Omega$, $R_3=2K\Omega$, $C_1=0.5$ pF, $C_2=1$ pF, $C_3=4$ pF, $R_{DAC}=1K\Omega$.

3.1 运放设计

积分器所用的放大器要提供高速工作和低的功耗,比较套筒式和折叠式共源共栅放大器的特点,折叠式放大器可提供宽的信号输出摆幅和小的电压余量,对于低压系统和纳米级工艺来说比套筒式共源共栅放大器更适合.本文采用短沟道器件实现高速高增益的运放,但是增益很低,因此采用增益提升电路.它可通过增加额外的增益提高运放的直流增益,而不影响信号摆幅和单位增益带宽.如图4所示为全差分增益提升折叠共源共栅运放,增益提升电路

为共源共栅运放. 运放共模反馈(CMFB)电路维持输出共模电压, CMFB 中两个误差放大器由 M13、M14、M15、M16 组成, 运放的每一个输出端都连接到这两个差分对上, 它们将输出端与共模电压直接进行误差比较, 并将调节信号反馈回运放的 M5、M6 来实现稳定输出共模点. 通常, 连续时间调制器中运放的单位增益带宽是采样时钟频率的 2 倍以上. Spectre 模拟结果表明, 运算放大器单位增益带宽 (GWB) 280 MHz, 相位裕度 62, 直流增益 82.8 dB.

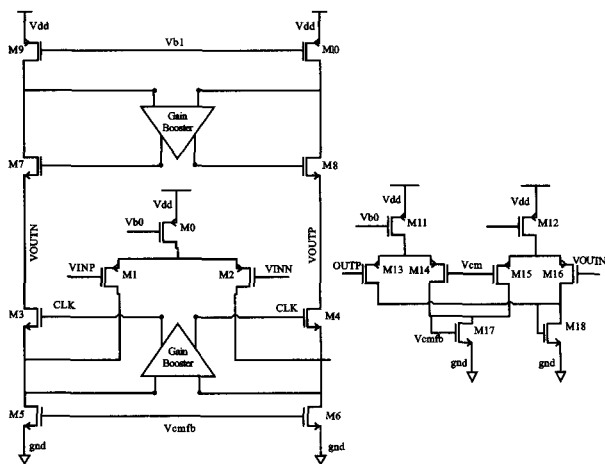


图 4 运放电路

3.2 前馈加法器和比较器

前馈结构的 CTSD 调制器需要在比较器之前将各前馈通路的信号加起来. 加法电路要求速度快、功耗低, 否则会影响环路的稳定性. 各级积分器输出通过由前馈系数 a_1 、 a_2 、 a_3 决定的比例电阻转换为电流, 相加的电流之和输入带有电阻负载共栅放大器求和, 并转换为电压^[8]. 这种共栅放大器带宽高响应快、功耗低, 仿真结果表明, 对于 200 MHz 交流信号延时为 0.2 ns.

连续时间 Sigma-Delta ADC 工作速度提出了高的要求. 由于动态闩锁结构的比较器具有速度快、功耗小的特点, 因此采用了不带前置放大级的闩锁比较器^[9], 如图 5 所示. 比较器电路由差分输入级、反相器放大级、输出闩锁级构成, 该比较器具有低失调电压的优点.

在复位阶段 CLK 为零, 晶体管 M3、M4 导通, 使 M1、M2 的漏极电位充电到 Vdd, 这将使由 M5、M6、M7、M8 组成的反相器输出为零. 那么 NMOS 晶体管 M18、M19 关闭, PMOS 晶体管 M11、M12、M13、M14 的漏极充电到 Vdd, 这时输出为高电平.

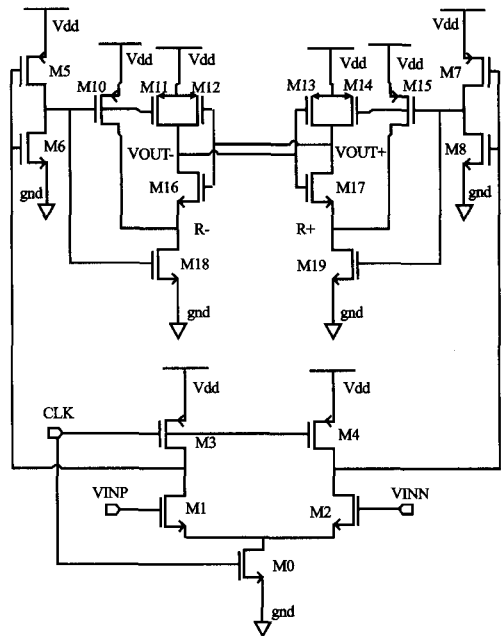


图 5 比较器电路

在比较阶段, CLK 为高电平, NMOS 晶体管 M0 导通; 晶体管 M1、M2 的漏极电位由复位阶段的高电平开始放电, 放电电流随着输入差分信号的大小而变化, 其漏极电位正比于不同的输入信号电压. 从而反相器的输入电压就随输入差分信号的变化而变化, 这时复位阶段的高电平就会下降, 这使得组成反相器的晶体管进入饱和状态. 经过反相器放大后的电压信号经过晶体管 M18、M19 进入闩锁级 M12、M13、M16、M17, 如果节点 R+ 电压比 R- 变化的要快, 那么输出节点 VOUT+ 电压为高电平; 否则, VOUT+ 为低电平.

3.3 反馈 DAC

反馈 DAC 分 NRZ(no return zero) 和 RZ(return zero), 在连续时间 Sigma-Delta 调制器中 RZ 反馈 DAC 可以克服由于反馈 DAC 波形的上升沿和下降沿的不对称造成的失真^[10]. 为了避免失真, 使比较器输出信号全部建立, 反馈 DAC 时钟信号 CLK_{DAC} 滞后比较器时钟 CLK 约 10%, RZ 反馈 DAC 脉宽采用 50% 占空比. 在 RZ 期间, DAC 输出开路且左端悬空, 没有电流从 DAC 流入积分电容, DAC 输出电压被重置为积分放大器的输入共模电压. 如图 6 所示, 低压工作时 RTO(return to open) DAC 由两个钟控反相器串联和一个内部重置开关管 M4 组成. 当 CLK_{DAC} 低电平时, M3、M7 关, 节点 1、2 悬空; 当 CLK_{DAC} 高电平时, 节点 1、2 连接到 VDD 或 0 和比较器的输出有关. M1 和 M2 的 Cgd 在 RZ 期间电荷注入节点 1. 在 RZ 期间, 反馈电阻

通过 DAC 输出节点耦合积分器内部信号到 RTO 反馈 DAC,这将改变环路滤波器的传输信号并降低调制器的性能.在反馈电阻和 RTO 反馈 DAC 之间插入缓冲器(buffer)M5、M6、M7 消除耦合.

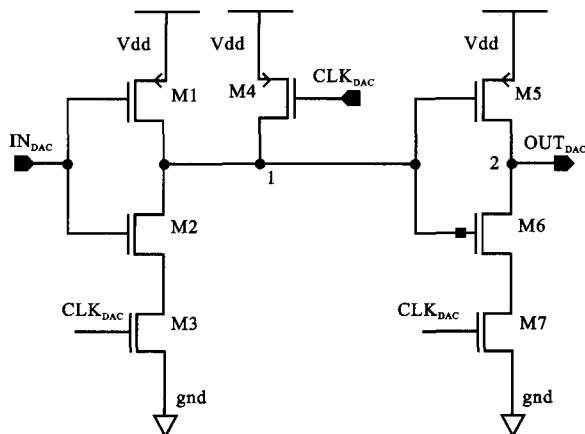


图 6 反馈 DAC

4 仿真结果

三阶 CTSD CIFF 结构设计中,输入 16 个周期的正弦信号,幅值电压为 -3 dBFS ,输入基带频率 f_B 为 2 MHz,在过采样率(OSR)为 32,采样频率 f_s 为 128 MHz,各积分器输出均没有过载,对调制器的输出使用 MATLAB 进行 16384 点傅立叶变换(FFT)到频域,分析结果如图 7.其中,电路级设计采用 Cadence,与行为级设计同样条件下,Spectre 仿真瞬态结果导入 MATLAB 进行 FFT 分析.电路级信噪比为 62.5 dB.

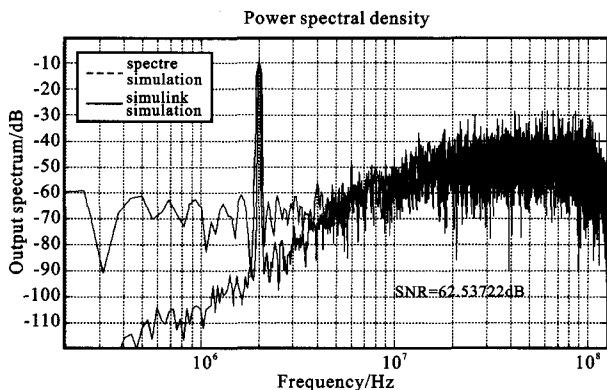


图 7 Simulink 和 Spectre 瞬态模拟结果的 16384 点频谱分析

图 8 为行为级与电路级的三阶调制器在输入信号为 2 MHz 时信噪比随幅度的变化曲线图,电路级动态范围(DR)为 75.8 dB,可知调制器的有效位数

(ENOB)12 位.

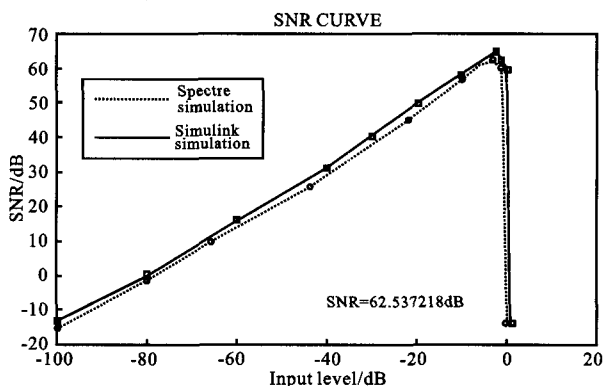


图 8 2M 赫兹时 Simulink 和 Spectre 在模拟结果的 SNR 随输入变化

5 结束语

在 SMIC 0.13 μm CMOS 工艺条件下设计了一个高带宽低功耗的连续时间 sigma-delta 调制器.该调制器采用了连续时间的环路滤波器,可衰减带外信号,无需基带滤波器.相比传统的开关电容滤波器,用固定电阻输入替代有噪声的开关电容,因此无需驱动放大器,大大降低功耗.调制器采用了单环 3 阶一位量化正反馈结构.通过 Simulink 建模和 Spectre 仿真验证,该调制器达到了 2 MHz 的信号带宽和 75 dB 的动态范围,在 1.2V 电源电压下其总功耗为 20mW. CTSD 转换器实现了速度、精度和带宽的组合,适合于无线基础设施、医疗设备、视频处理,以及对数据分辨率和带宽有要求的高性能设备.

参考文献:

- [1] Shouli Yan, Edgar Sánchez-Sinencio. A continuous-time modulator with 88- dB dynamic range and 1.1-MHz signal bandwidth[J]. Ieee Journal of Solid-state Circuits, 2004,39(1):75-86.
- [2] Friedel Gerfers, Maurits Ortmanns, Yiannos Manoli, A 1.5-V 12-bit Power-Efficient Continuous-Time Third-Order $\Sigma\Delta$ Modulator[J]. Ieee Journal of Solid-state Circuits, 2003,38(8):1343-1352.
- [3] Schreier R, Temes G C. Understanding delta-sigma data converters[M]. New York: Wiley-IEEE Press, 2004.
- [4] The delta-sigma toolbox version 7.2 [EB/OL]. [2008-02-08]. <http://www.mathworks.com/matlabcentral/fileexchange>.
- [5] Tao Wang, Liping Liang. Analysis and design of a continuous-time sigma-delta modulator with 20 MHz signal bandwidth, 53.6 dB dynamic range and 51.4 dB

- SNDR[C]//IEEE International Symposium on Date of Conference, Electronic Design, Test and Applications[s. l.]:IEEE,2008:79-84.
- [6] Gerfers F, Ortmanns M. Continuous-time sigma-delta A/D conversion fundamentals, performance limits and robust implementations(springer series in advanced microelectronics)[M]. BekLin: Springer,2006:158-190.
- [7] Fang Chen, Till Kuendiger, Shervin Erfani. Design of a wideband low-power continuous-time $\Sigma\Delta$ modulator in 90 nm CMOS technology[J]. Analog Integrated Circuits and Signal Processing, 2008(54):187-199.
- [8] Yiran Li, Jianqiu Chen, Jun Xu. A 20mW 200 MHz CMOS continuous-time sigma-delta modulator with 5 MHz signal bandwidth and 12 bits of resolution[C]//proceedings of the 7th International Conference on, Date of Conference Gulin:IEEE,2007:700-702.
- [9] HeungJun Jeon, Yong-Bin Kim, Minsu Choi. Offset voltage analysis of dynamic latched comparator[C]//Circuits and Systems(MWSCAS), 2011 IEEE 54th International Midwest Symposium on, Seoul:IEEE, 2011:1-4.
- [10] Kong-pang Pun, Shouri Chatterje, Peter Kinget. A 0.5V 74 dB SNDR 25kHz CT $\Sigma\Delta$ Modulator with Return-to-Open DAC[C]//2006 IEEE International Solid-State Circuits Conference [S. L.]: IEEE, 2006: 71-72.

作者简介:



李 亮 男, (1979—), 工学硕士. 研究方向为混合信号 CMOS 集成电路设计.

陈珍海 男, (1982—), 工学硕士. 研究方向为数模混合集成电路设计、为高性能 A/D 及 D/A 转换器设计.

(上接第 125 页)

- [4] 彭志专, 冯金富, 钟咏兵, 等. 基于 IMM-PF 的分布式估计融合算法[J]. 控制与决策, 2007, 23(7): 837-840.
- [5] 李丹, 刘建业, 熊智, 等. 应用联邦自适应 UKF 的卫星多传感器数据融合[J]. 应用科学学报, 2009, 27(4): 359-364.
- [6] 彭会萍, 曹晓军. 基于决策距离测量的 D-S 证据理论冲突处理方法[J]. 计算机应用与软件, 2011(4): 174-177.
- [7] 邓自立, 郝钢. 自校正多传感器观测融合 Kalman 估计值及其收敛性分析[J]. 控制理论与应用, 2008, 25(5): 845-852.
- [8] 郝钢, 叶秀芬, 陈亭. 加权观测融合非线性无迹卡尔曼滤波算法[J]. 控制理论与应用, 2011, 28(6): 753-758.

作者简介:

彭会萍 女, (1971—), 硕士, 教授. 研究方向为无线通信与信息融合.

曹晓军 男, (1967—), 副教授. 研究方向为计算机网络.