

并行行旁路乘法器的设计与实现

商丽卫¹, 刘耀军²

(1 太原科技大学 计算机科学与技术学院, 山西 太原 030024;

2 太原师范学院 计算机科学与技术系, 山西 太原 030012)

摘 要: 为了进一步降低乘法器运算过程中的延迟, 减少功耗, 在行旁路乘法器的基础上进一步优化, 提出一种并行行旁路 (PRB) 乘法器, 并用有限状态机进行了实现. 在行旁路的基础上, 通过对乘数进行重新编码并行输出部分积, 使乘法运算中产生的部分积数量减少, 提高运算速度; 利用有限状态机实现 PRB 乘法器, 有效减少了电路中逻辑元件的数量, 降低了功耗. 在 Quartus 平台上进行的仿真表明 PRB 乘法器在整体性能上有较大的改善.

关键词: 有限状态机; 行旁路乘法器; PRB 乘法器

中图分类号: TP301.1

文献标识码: A

文章编号: 1000-7180(2012)08-0134-04

A Design and Implementation of Parallel Row Bypassing Multiplier

SHANG Li-wei¹, LIU Yao-jun²

(1 Computer Science and Technology School, Taiyuan University of Science and Technology, Taiyuan 030024, China;

2 Department of Computer Science and Technology, Taiyuan Normal University, Taiyuan 030012, China)

Abstract: In order to reduce the delay and power during multiplying, a Parallel Row Bypassing (PRB) multiplier based on the row bypassing multiplier was designed in this paper. It can greatly reduce the number of partial products and the operating delay by recoding the multiplier and parallel outputting the partial products. For decreasing the logic units and reducing the power, the PRB multiplier was implemented by the finite state automaton. This design was simulated in Quartus, and the simulation result shows that the PRB multiplier has a great improvement in the whole performance.

Key words: finite state automaton; row bypass multiplier; parallel row bypassing multiplier

1 引言

乘法运算是众多计算系统中的关键操作. 由于乘法运算使用频繁, 从计算机中的 CPU 到便携设备中的主控, 乘法器都以硬件电路的形态固化其中, 改进乘法器的性能对提高整个计算系统的性能都有非常重要的意义. 一直以来, 更高效的算法设计, 更优越的电路实现方法不断刷新着乘法器的性能记录. 但是, 乘法器性能的提升很大一部分是依靠增加更多的逻辑元件进行辅助计算而获得的, 逻辑元件的数量直接影响芯片的功耗. 如何在保证运算速度的同时, 尽可能地减少逻辑元件的使用依然是需要

进一步研究的问题.

有限状态机对于具有逻辑顺序和时序规律的事件能有清晰的描述, 非常适合用来表示乘法这种依靠时序关系顺序计算的操作. 本文结合有限状态机设计并实现了 4 位并行行旁路乘法器, 并使用 VHDL 语言进行编码, 通过与常用的行旁路乘法器进行仿真对比, 证明了 PRB 乘法器能够在不降低运算速度的同时显著减少逻辑元件使用数量, 使乘法器功耗进一步降低.

2 相关工作

在乘法器设计中, Booth 算法^[1]被认为是乘法

器设计的里程碑. Booth 算法通过分析乘数编码产生部分积,整体上减少了部分积的数目,从而提高了部分积求和速度.但是,当乘数的位数较长时,Booth 算法中编码的长度增加,导致逻辑电路的设计变的十分复杂,整个运算过程的延迟明显增加.因此,Booth 算法不适用于应用在较长的编码方案中^[2].

针对乘法器中的部分积求和,Wallace 提出了 Wallace 树型结构乘法器,通过 CSA(进位保存加法器)器件,以 3:2 的压缩比对部分积逐级进行压缩,直至出现只有两个输出为止,再通过进位传递加法器完成最终结果的计算.李康^[3],应琦钢^[4]等从部分积和压缩器的角度进行优化,提高乘法器运算速度.

Ko-Chi Kuo 设计了行旁路乘法器^[5],行旁路乘法器采用跳跃进位加法器和全加器相结合完成部分积的相加运算,同时在每一行的部分积中加入了旁路设计,即将 2 选 1 多路选择器连接在每一个加法器上.多路选择器的两条输入数据分别是与其连接的全加器的其中一条输入数据,以及全加器的输出数据.该设计的优势在于,当乘数中的某一位为零时,不必计算上一级部分积与该零行的加法运算,而是直接将上一级部分积输出到下一级加法器中,因此,提高了整个乘法过程的运算速度.

3 行旁路乘法器的优化算法

3.1 并行行旁路乘法器设计

与行旁路乘法器设计不同,文中提出的 PRB 乘法器的设计并非从纵向上考虑部分积的优化,而是从横向出发,对各种可能会出现的部分积分别给予实现模块.根据乘数编码的不同,选择对应的部分积进入下一级运算.

并行行旁路乘法器将乘数按照两位为一组的规则进行了分组,分别作为多路选择器的输出控制信号.当被乘数与乘数被输入之后,根据引入的 4 选 1 多路选择器的控制信号的不同,输出相应的部分积.具体运算过程如图 1 所示.

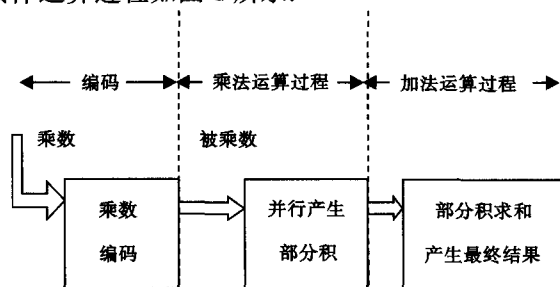


图1 PRB乘法器设计步骤

以四位数乘法为例,设 $A(a_3a_2a_1a_0)$ 为被乘数, $B(b_3b_2b_1b_0)$ 为乘数,两数相乘共产生 4 个部分积,这 4 个部分积可以分为两类,一类为全零,一类为 A 以及 A 的移位后的结果.如下所示:

$$P1:(0,0,0,0) \quad P2:(a3,a2,a1,a0)$$

$$P2:(a3,a2,a1,a0,0) \quad P4:(P2+P3)$$

分组后的乘数决定了哪一个部分积将参与到下一级的运算中.

以 1111×1001 为例,被乘数为 1111,乘数为 1001,本文中乘数进行分组,两位为一组,分别为 10 与 01,作为多路选择器的输出控制信号.部分积 $P1, P2, P3, P4$ 分别作为多路选择器的输入数据.本文中将被乘数装载入寄存器的同时,计算出各种情况下的部分积和,然后根据乘数的分组情况选择其中一路输入数据输入加法器.

3.2 采用有限状态机完成 PRB 乘法器设计

3.2.1 有限状态机设计 PRB 乘法器的理论描述

有限状态机(Finite State Automaton)是数字逻辑电路的数学模型.有限状态机也称为时序机,是一种十分重要的时序逻辑电路模块.

有限状态机包含三个主要元素:

- 输入:状态机中各状态之间转移的条件.四位乘法器中,乘数为四位,两位为一组,那么每一组包括 00,01,10,11 共四种输入,将作为状态机进入各个状态的条件.

- 状态:也称状态变量.例如,可以将寄存器的变化序列作为状态.

- 输出:当到达某一个特定状态时发生的事件.在乘法器设计中指的是乘法运算结果的输出.

有限状态机具有的优势如下^[6]:

- (1)状态机克服了纯硬件数字系统顺序方式控制不灵活的特点;

- (2)状态机容易构成性能良好的同步时序逻辑模块;

- (3)适于高速运算和控制方面,具有高可靠性.

有限状态机对逻辑顺序和时序规律的清晰描述能力以及上述诸多优点使得其可以很好地表示乘法运算的过程,PRB 乘法器就是基于这些优点进行设计的.

PRB 乘法器的设计基于有限状态机,在乘法器中对应的有限状态机三元素如下:

输入:状态机的外部输入包括时钟信号,复位信号,以及被乘数和乘数.其中时钟信号用来控制整个运算过程中的时序,复位信号用来重置整个运算.被

乘数与乘数都为 4 位信号,用来表示数值 0~15.

状态:将乘数进行分组,对于四位乘法器将乘数分为两组,每组分别进入相应的状态机.在状态机内部,将被乘数和分组后的乘数放入寄存器后的状态作为初态,被选中进入下一级运算的部分积作为中间状态,计算乘法运算的最终结果的状态作为终态.自动机的部分状态转换图如图 2 所示.

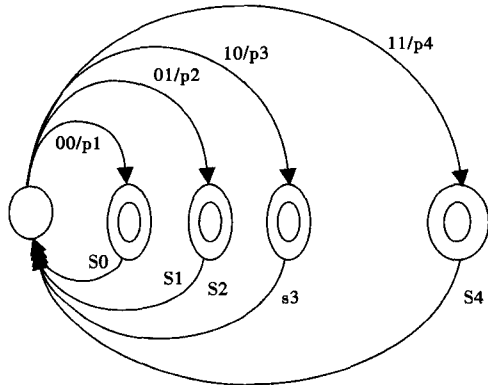


图 2 部分状态机转换图

输出:所有的状态机是并行运行的,每一个状态机对应一个输出,输出数据被送入一个加法器,计算出最终的乘法运算结果.

在状态机设计中,任意一条从初态到终态路径上依次输入的字符串称为该自动机可接受的语言.在状态机设计中可以设置“陷阱”状态,当输入非法数据时状态机自动将状态定位到初始状态 S0,避免电路进入死循环.当一次乘法运算结束之后,即进入终止状态后,赋予电路 Reset 复位信号,可将电路回归到初始状态,等待下次数据的输入.

3.2.2 PRB 乘法器的算法设计

以四位乘法器为例,每一个状态机的状态设置为 S0~S4,其中 S0 为状态机的初态. P1~P4 为状态机状态转移时的输出数据.

PRB 乘法器由两个算法完成:状态转换算法和控制信号输出算法. 状态转换算法负责不同状态之间的跳转,算法描述如下:

算法 1: 状态转换算法

```

1: IF 输入为“00” THEN
2: DO 将 S1 作为当前状态;
3: ELSIF 输入为“01” THEN
4: DO 将 S2 作为当前状态;
5: ELSIF 输入为“10” THEN
6: DO 将 S3 作为当前状态;
7: ELSIF 输入为“11” THEN
8: DO 将 S4 作为当前状态;
9: END IF

```

控制信号输出算法负责根据当前状态产生相应的输出信号,算法描述如算法 2 所示.

算法 2: 控制信号输出算法

```

1: IF 输入为“00” THEN
2: DO 输出 P1;
3: ELSIF 输入为“01” THEN
4: DO 输出 P2;
5: ELSIF 输入为“10” THEN
6: DO 输出 P3;
7: ELSIF 输入为“11” THEN
8: DO 输出 P4;
9: END IF

```

该设计在 Quartus II 软件中进行了设计和仿真. 经验证,乘法运算结果正确.

4 实验结果的分析与比较

4.1 实验主要评测指标

电路测试中常用的技术指标如下所示.

逻辑器件数量:一个完整的电路设计所消耗的 FPGA/CPLD 或者专用集成芯片上的逻辑资源数量,也即所消耗的空间资源,有时也用芯片面积作为衡量指标.

运算延迟时间:完整的进行一次运算所需要的时间,即所占用的时间资源,一般以纳秒为单位.

功耗:随着集成电路技术的快速发展,功耗问题日益突显,成为电路设计中一个重要评估参数. CMOS 是集成电路设计中被广泛采用的技术,在 CMOS 电路中功耗分为静态功耗和动态功耗,公式如下^[7]:

$$\text{Power} = \alpha f C_L V_{DD}^2 + I_{SC} V_{DD} + I_{\text{leakage}} V_{DD} \quad (1)$$

式中, α 代表开关活动性, f 是晶体管的平均数量, C_L 是输出电容, V_{DD} 是电源电压, I_{SC} 是短路电流, I_{leakage} 是泄露电流.

电路设计中时间资源和空间资源是两个重要的评估参数,同时达到二者最优的设计是很难实现的,一般应根据应用需求的不同进行折中考虑,尽量在满足电路设计所需的时间资源的前提下,减少所需要的空间资源,进而将功耗降至最低.

4.2 实验结果比较

该设计在 Quartus II 软件开发环境下完成,使用 Cyclone III 下的 EP3C5E144C7 设备进行仿真.

Cyclone 是 Altera 公司 FPGA 系列下的一知名品牌. EP3C5E144C7 的使用电压是 1.2V. 具体的比较结果如表 1 所示.

表 1 乘法器性能比较

乘法器设计	逻辑器件	功耗/mW	延迟/ns
行旁路乘法器	36/5136	4.38	13.931
PRB 乘法器	26/5136	4.15	10.686

从实验结果中不难看出,利用状态机完成乘法器的设计与采用时序电路设计的乘法器相比,在运算过程中产生的功耗,以及运算延迟方面都有显著的改善,其中逻辑元件使用个数减少了 27.8%,运算延迟降低了 23.3%,功耗降低了 5%左右.

5 结束语

通过分析乘法运算中部分积的产生规律,利用部分积产生的可并行性本文设计了 PRB 乘法器. PRB 乘法器充分发挥了硬件电路设计中计算的并行性,各模块可以并行执行;考虑到有限状态机的时序逻辑描述能力以及高速、可靠的特点,在 PRB 的实现过程中,本文使用了有限状态机. 通过与传统行旁路乘法器进行对比实验,结果表明利用有限状态机实现的 PRB 乘法器显著提高了运算速度,并且保持了较低的运算功耗. 但是,本文提出的乘法器设计只是针对四位运算位的计算,随着运算位数的增加,状态变量也随之增加,要想提高运算速度,还需要进一步的优化设计,比如阵列乘法器的设计. 因此本文的后续工作主要是针对更高位数的乘法器进行研

究,进一步改进高位数乘法器的运算性能.

参考文献:

- [1] Booth A D. A signed binary multiplication technique [J]. Quarterly Journal of Mechanics and Applied Mathematics, 1951, 4(2): 236-240.
- [2] Tenca A F, Georgia Todorov, Cretin Kaya Kong. High-radix design of a scalable modular multiplier[C] // Proceedings of the Third International Workshop on Cryptographic Hardware and Embedded Systems, 2001:185-201.
- [3] 李康,林钰凯. 基于部分积优化的高速并行乘法器实现[J]. 微电子学与计算机, 2011, 28(1): 61-68.
- [4] 应琦钢,郑丹丹,何乐年. 基于优化电路的高性能乘法器设计[J]. 微电子学与计算机, 2011, 28(4): 52-56.
- [5] Ko-Chi Kuo, Chi-Wen Chou. Low power and high speed multiplier design with row bypassing and parallel architecture [J]. Microelectronics Journal, 2010: 630-650.
- [6] 赵俊超. 集成电路设计 VHDL 教程[M]. 北京: 希望电子出版社, 2002.
- [7] John L Hennessy, David A Patterson. Computer architecture: a quantitative approach [M]. 4th ed. 北京: 机械工业出版社, 2007.

作者简介:

商丽卫 女, (1986—), 硕士研究生. 研究方向为形式语言与自动机.

刘耀军 男, (1963—), 博士, 教授, 研究生导师. 研究领域方向为形式语言与自动机.