

用于卫星电视调谐器的整数频率综合器设计

刘惠强¹, 王良坤^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 杭州中科微电子有限公司, 浙江 杭州 310053)

摘 要: 设计了一个用于模拟卫星电视调谐器的整数频率综合器。锁相环本振输出频率范围覆盖 1.25 GHz 到 2.8 GHz, 参考频率可配置为 62.5 kHz 或 31.25 kHz。环路滤波器采用三阶有源滤波器, 环路带宽为 1 kHz。电荷泵输出电流可配置为 50 μA 或 250 μA 。压控振荡器(VCO)采用差分反馈型结构, 在偏离中心频率 10 kHz 处的相位噪声小于 -76 dBc/Hz。分频器采用脉冲吞咽型结构, 有 15 位控制位。P 计数器从输入到输出只经过两个触发器和一个逻辑门, 能有效减少由多级异步分频器产生的相位噪声。电荷泵充放电电流的不匹配会恶化参考杂散, 这里引入了对电流过冲不匹配的考虑, 在鉴频鉴相器(PFD)和电荷泵中加入了减少充放电电流过冲的措施。电路采用 0.18 μm RFCMOS 工艺实现, 面积 1.3 mm * 1.5 mm。

关键词: 频率综合器; 锁相环; 电视调谐器; 卫星电视

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)08-0144-05

An Integer Frequency Synthesizer for Satellite TV Tuners

LIU Hui-qiang¹, WANG Liang-kun^{1,2}

(1 Institute of Microelectronics, the China Academy of Sciences, Beijing 100029, China;

2 Hangzhou Zhongke Microelectronics Co., Ltd., Hangzhou 300053, China)

Abstract: A frequency synthesizer has been design for analog TV tuner. The output frequency of the local oscillator covers 1.3 GHz to 2.7 GHz. The reference frequency can be set as 62.5 kHz or 31.25 kHz. The loop filter is a 3-stage active filter, and the loop bandwidth is 1 kHz. The output current of charge pump can be set as 50 μA or 250 μA . Differential feed-back structure is adopted in voltage-controlled oscillator (VCO) and the phase noise is less than -75 dBc/Hz at 10 kHz away from the central frequency. The structure of the divider is pulse-swallow and 15 control bits are used to set the divider ratio. There are two flip-flops and one logic gate when go through the P counter, which can reduce the phase noise rising from the cascade asynchronous dividers. Mismatch of current both in charging and discharging will deteriorate the reference spur performance. The paper will take the overshoot of current in charge pump into account and measures will be taken to reduce it. The chip is implemented in 0.18 μm RFCMOS technology, the area of which is 1.3 mm * 1.5 mm.

Key words: Frequency Synthesizer; Phase Lock Loop (PLL); TV tuner; Satellite TV

1 引言

频率综合器是调谐器中必不可少的模块, 它为下变频器提供频率可设置的本振信号, 完成选台功能。卫星电视信号的频带很宽, 因此要求 VCO 有很宽的调节范围, 本文采用片外谐振回路利用片外大调节比的电容在满足调节范围要求的同时做到了恒定的灵敏度。电荷泵的电流匹配度是影响杂散性能

的重要因素, 本文引入了电流上升和下降时间匹配的概念, 使频率综合器在锁定情况下, 在电荷泵同时导通的时间内电流实现瞬态的匹配。在设计分频器时减少了从输入到输出所经过的异步分频器数目, 能减少相位噪声。

2 频率综合器设计

本文设计的频率综合器采用整数型结构, 其结

构简单,容易实现,可以缩短设计周期. 卫星电视信号的频率范围从 0.95 GHz 到 2.15 GHz,而要求下变频后信号的中心频率固定在 480 MHz,因此频率综合器的输出频率范围要求覆盖 1.43 GHz 至 2.63 GHz. 由于传输过程中卫星信号的中心频率会出现偏移,调谐器中需要有修正的功能,使输出的音视频信号达到质量要求,因此频率综合器的步进频率要远小于电视频道间的频率间隔. 为了补偿输入信号中心频率的偏移,同时减小输出高频时需要的分频比,参考频率设定为两级可调模式,分别为 62.5 kHz 和 31.25 kHz,由 4M 的晶体振荡器经 64 或 128 分频后得到. 因此最大分频比取为 64k,需要 15 位分频比控制字.

由于而带内的相位噪声与分频比的平方而正比^[1],因此在采用整数频率综合器时,为了满足相位噪声的要求,环路带宽要设置成很低,同时需满足电视接收系统对切换频道的的时间要求. 在 DVB-S 标准的对本振信号的相位噪声掩膜的要求中^[2],对在偏离中心频率 10 kHz 处的相噪的要求最为严格,小于 -73 dBc/Hz,考虑到带内相噪很难达到要求,设置环路带宽在 10 kHz 以下,将偏离中心频率 10 kHz 处的相噪拉到带外.

该整数型频率综合器由 VCO、分频器、鉴频鉴相器、电荷泵、环路滤波器组成,整体结构框图如图 1 所示. 下面将详细说明各模块的设计.

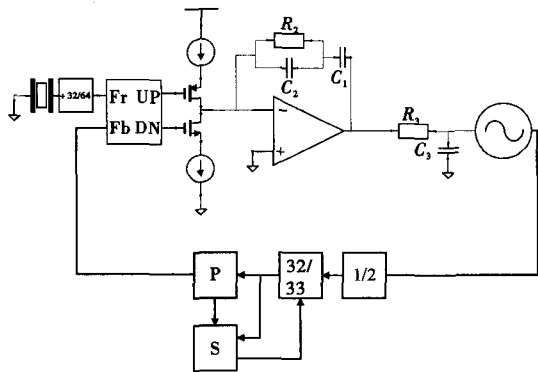


图 1 频率综合器结构

3 各模块设计

3.1 压控振荡器

VCO 需要覆盖从 1.4 GHz 到 2.7 GHz 的宽调谐范围,因此采用片外谐振回路,如图 2 所示,虚线框内的元件位于片外. 片外可变电电容的调节范围高达 26 V,调节比为 12,能覆盖 1.25 GHz 至 2.8

GHz 的范围,另外,由于使用单一电容,灵敏度 K_{VCO} 有很好的线性度. 同时可以利用片外电感的高 Q 值改善相位噪声性能.

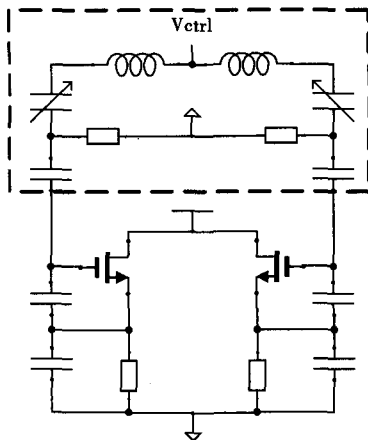


图 2 压控振荡器结构

3.2 2 分频器

分频器分为两部分,第一部分为一个高速二分频器,它将本振信号二分频后再送到后面的可编程分频器,以降低后级 4/5 双模分频器的设计难度.

高速二分频器采用将一个 D 触发器的反相输出端接至其输入以实现分频功能. 由于其工作在最高频率,锁存器采用源耦合逻辑(SCL)结构,此结构由于其较小的振幅可以在很快的速度下工作. 锁存管与采样管采用 1:1 的尺寸,能在高频下工作的同时可以得到很宽的正常频率范围. SCL 分频器结构能正常工作的条件是输入信号的幅度能使流过时钟管的电流完成切换和输出电压的幅度大于采样管的过驱动电压,由于时钟管需要同时驱动采样管或锁存管的电容以及输出电容,因此需要取较大的尺寸,这里取为采样管尺寸的两倍. 高频下输出电压的幅度取决于电流对输出节点的充放电时间,因此,可以通过增加电阻同时缩小采样管的尺寸的方法来减少电流^[3],这样会增加噪声,但是分频器的噪声在这里可以不作考虑. 分频器功耗为 2.4 mA,最高可以工作在 3 GHz. 二分频器后需要加缓冲器驱动后级的双模分频器.

3.3 可编程分频器

可编程分频器采用脉冲吞咽式结构,由一个 32/33 双模分频器,一个 S 计数器以及一个 P 计数器组成,如图 1 所示. 分频开始时,S 计数器工作,这时双模分频器工作在 33 分频下,当 S 计数器计数溢出后停止工作,且控制双模分频器切换到 32 分频模式,P 计数器始终处于工作状态. 当 P 计数器溢出

时,重置 S 计数器,同时使双模分频器切换到 33 分频模式,进入下一轮分频计数. 这样输出的信号有 S 个周期工作于 33 分频, (P-S) 个周期工作于 32 分频,总分频比为 $S * 33 + (P-S) * 32 = 33 * P + S$.

3.3.1 32/33 双模分频器

32/33 分频器的结构如图 3 所示,它由一个同步 4/5 分频器和一个异步 8 分频器组成. 当双模分频器工作于 32 分频时,同步分频器的第三个 D 触发器并不工作. 当工作于 33 分频时,异步分频器的输出在每次 33 分频下都会有一个周期同时处于高电平,这时逻辑单元输出低电平使 4/5 分频器插入一个时钟周期的低电平从而使同步分频器工作于 5 分频下,达到 33 分频的目的.

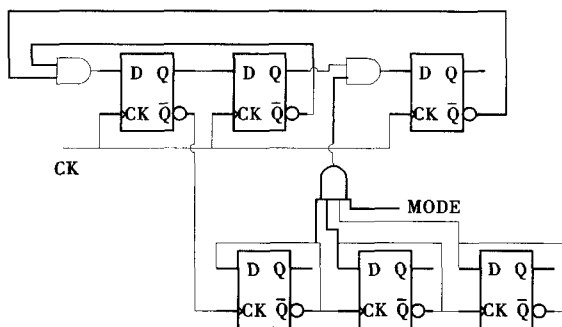


图 3 32/33 双模分频器结构

4/5 同步分频器的输入是高速二分频的输出,其工作频率很高,需要用源耦合逻辑(SCL). 后级的异步分频器采用数字结构,工作频率小于 50 MHz.

3.3.2 S 计数器

S 计数器的结构如图 4 所示,类似于双模分频器的结构,它由一个同步 4 分频器和一个异步 8 分频器以及控制逻辑所组成. 由于使用 32/33 双模分频器,为了使分频比连续可调,S 计数器需要取 5 位控制位,其分频比为 0 至 31.

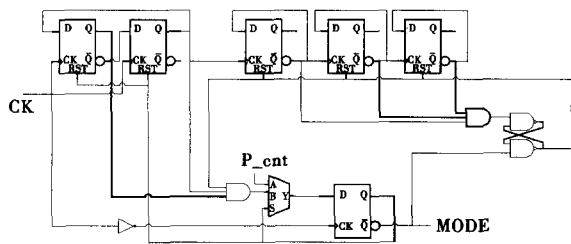


图 4 S 计数器结构

当 S 计数器接收到 P 计数器的启动信号后,同步分频器的复位线变低,S 计数器开始工作,此时 32/33 分频器处于 33 分频工作模式. 当异步分频器中三个 D 触发器的输出都为低时,异步分频器的复

位信号变高,RS 触发器保证了在异步分频器复位后,即使与门的输出变低,异步分频器的复位信号仍然有效,使异步分频器停止工作,同时打开 2 选 1 单元前面的与门. 等到同步分频器的输出都为高时,同步分频器复位,且控制 2 选 1 单元的输入为 P_cnt,使同步分频器始终处于复位状态,S 计数器停止工作,同时解除异步分频器的复位信号,控制 32/33 分频器转换成 32 分频模式,然后等待 P 计数器的溢出脉冲以重新启动下一轮计数. 从 S 计数器的工作原理可以知道,P 计数器的分频比要大于 S 计数器,不然 P 计数器会先于 S 计数器完成分频,当 S 计数器溢出时,其等待的是下一个 P 计数器的溢出,这样分频数会不确定. 同时出于连续分频的考虑,P 的最小值应该大于 S 的最大值,因此 $P_{min} = N$.

3.3.3 P 计数器

P 计数器的结构跟 S 计数器基本一样,主要由一个同步 4 分频器和一个 8 级异步分频器组成,不同之处在于它没有 S 计数器的 2 选 1 单元,与门的输出直接连接至 D 触发器的输入,因为它并不需要等待其他单元启动,只是简单地对 32/33 分频器的信号进行分频. 其工作原理与 S 计数器大同小异,唯一不同之处是当异步分频器处于复位状态且同步分频器的输出都为高,复位同步分频器后,由于异步分频器的复位信号变低,会使同步分频器的信号也变低,P 计数器进入下一个计数周期.

设计时,出于对相位噪声的考虑,希望整个分频器从输入到输出经过的异步分频的级数越少越好^[4]. P 计数器从输入到输出经过了一个同步分频器、一个与门后再由 D 触发器经时钟重采样后输出,减少了由于多级异步分频而产生的相位噪声,因而此设计中的分频器适用于低相噪宽带锁相环.

3.4 鉴频鉴相器(PFD)和电荷泵设计(CP)

PFD 的结构如图 5 所示,其主要由 RS 触发器构成. 开始时,FR 和 FD 为高电平,第一级和第二级 RS 触发器的输出均为 1,RESET 为高. 假设 FR 突然变低,UP 就会变为低,这里即使 FR 变高也不会改变 UP 的值. 直到 FD 变低后,4 输入与非门的输出变高,经过一定延时后复位所有 RS 触发器,以消除死区. 后面的延时单元是为了优化电荷泵而设计的,下面将会阐述其作用.

电荷泵采用电流舵结构,充放电电流的匹配通过偏置拷贝环路^[5]动态调节,电源匹配度在 1% 以下. 由于采用有源环路滤波器,电荷泵输出节点接到运放的反相输入端,可以认为电荷泵输出节点的电

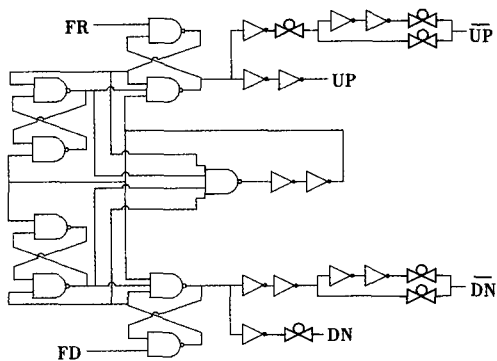


图5 鉴频鉴相器结构

压值不会发生变化,在冗余支路上加一电阻,可以使冗余支路开启时 MOS 管的漏极电压与输出结点相同,减少电荷共享的影响^[6]。

开关操作会影响流出输出节点的净电流,使锁定情况下电荷泵输出的净电流不为零,增加杂散的能量。开关的这种非理想因素主要由时钟馈通和电荷共享产生^[6-7]。对 NOMS 管,当栅极电压变高时,由于栅漏寄生电容的存在,漏极的电压也会升高,同时,NMOS 管从关闭到打开需要从漏和源极吸收电子形成沟道,同样会使漏极电压升高。如图 6 所示,NMOS 管以差分对的形式作为开关,当 $\overline{\text{DN}}$ 从 VDD 下降时,M1 管是处于打开状态,可以将其看作源极跟随器,在 $\overline{\text{DN}}$ 下降至阈值电压之前,P 点的电压也同时下降,直到 DN 将 M2 管打开,这时,P 点的电压与 M2 管漏极的电压不相同,从而发生电荷共享现象,P 点的电容越大,对电荷泵输出节点贡献的电流就越多。这会使输出节点的电流产生很大的过冲,虽然 PMOS 和 NMOS 所产生的电流过冲的方向相反,但是由于 PMOS 管和 NMOS 管的开关时间不相同,这些过冲不会在同一时刻被抵消,净输出电流会有很大的上过冲和下过冲,使 VCO 控制线上的电压产生波动,恶化杂散性能。

我们通过以下几个方面的措施来实现电流过冲的匹配。第一点,也是最主要的是,尽可能减少电荷共享效应的影响。我们不能依赖 NMOS 管和 PMOS 管的电荷抵消,而是要尽可能地减少流向输出节点的电荷。首先,并联一个冗余差分对,它们的源极悬空,利用栅漏寄生电容减少时钟馈通效应的影响,同时开关管由于产生沟道而需要的电子也可以从冗余差分对的管子中获得。其次,在 M1 管开始关闭前,即 $\overline{\text{DN}}$ 开始下降前,令 M2 管打开,可以使 P 点的电压不会完全随 $\overline{\text{DN}}$ 下降,而由于 M1 的漏极电压与

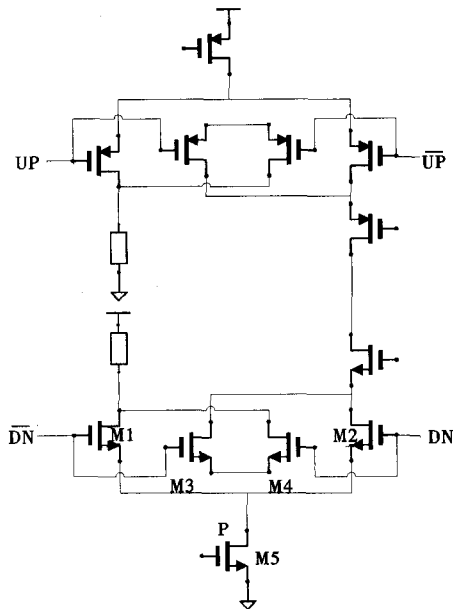


图6 电荷泵结构

M2 相同,电荷共享的影响会减小。这需要在 PFD 中加一延时电路实现,并且只需在 M2 打开、M1 关闭时才使用这一延时电路,如图 5 所示,这也等同于提高了差分对的共模电平。另外,要尽量减少 P 点的寄生电容,这意味着减少电流偏置管的尺寸,如果电流管的宽长比固定,这就要求减小管子的栅长,这要考虑到在匹配性和短沟道效应的影响,因此 P 点的寄生电容不可能太小。最后,可以通过延长控制信号的上升和下降时间以及减小控制信号的幅度来减少电流的过冲,但是会牺牲速度和增加电路复杂性。

3.5 环路滤波器设计

环路滤波器是三阶有源滤波器,如图 1 所示。其元件参数的确定是在环路具有最快锁定时间的条件下用 Matlab 通过迭代计算得到^[8]。放大器采用二级结构,第二级采用高压管,输出幅度为 30 V。环路带宽设置为 1 kHz,相位裕度 55 度。

4 仿真结果

芯片的整体版图如图 7 所示,面积是 1.3 mm × 1.5 mm。图中左边的方框是 VCO 和缓冲器,上面的方框是所有的分频器,中间下面的方框是鉴频鉴相器和电荷泵,这三部分占了芯片约 1/2 的面积。VCO 在 2.7GHz 下的相位噪声如图 8 所示。经过优化后的电荷泵在锁定状态下的充电电流和放电电流的匹配如图 9 所示,可以看到电流已经能达到很好匹配,包括上升和下降时间的匹配。频率综合器的性能参数总结在表 1 中列出。

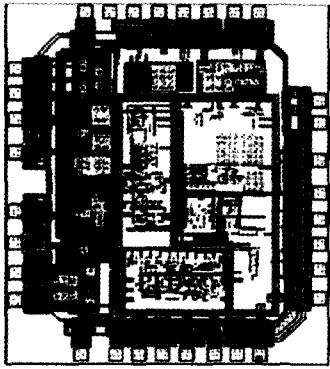


图 7 芯片总体版图

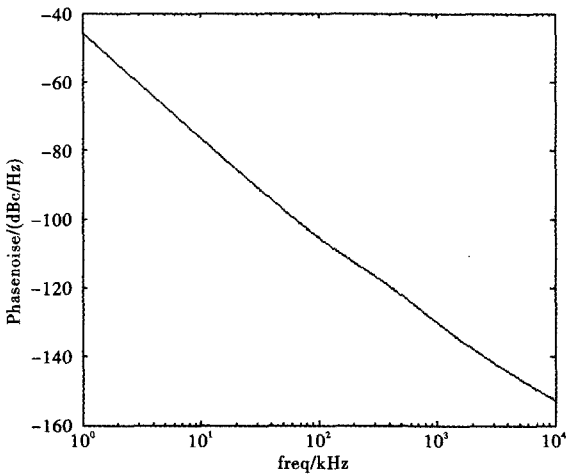


图 8 VCO 相位噪声

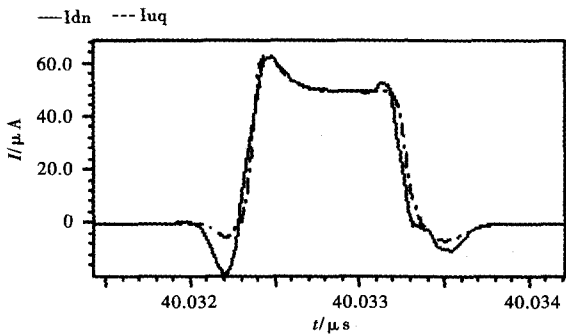


图 9 电荷泵输出电流

5 结束语

本文设计了一个用于卫星电视调谐器的整数型频率综合器,该芯片基于 RFCMOS 0.18 μm 工艺实现,本振频率为 1.25 GHz 至 2.8 GHz,步进频率为 31.25 kHz 或 62.5 kHz,环路带宽标准值设置为

1 kHz,在偏离载波 10 kHz 处的相位噪声小于 -76 dBc/Hz .

表 1. 频率综合器的性能参数

参数	值
工艺	0.18 μm CMOS
电源电压/V	3.3
输出频率/GHz	1.25~2.8
调节范围/%	76
Kvco/(MHz/V)	50
频率分辨率/kHz	31.25
功耗/mA	38
10 kHz 处相位噪声/(dBc/Hz)	<-76
面积/ mm^2	2

参考文献:

[1] Young Wan Kim, Jae Du Yu. Phase noise model of single loop frequency synthesizer [J]. IEEE J Sol Sta Circ, 2008, 54(1):112-119.

[2] ETSI. Digital Video Broadcasting (DVB); Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications [S]. 2004.

[3] Yanping Ding, Kenneth K O. A 21-GHz 8-modulus prescaler and a 20-GHz phase-locked loop fabricated in 130-nm CMOS [J]. IEEE J Sol Sta Circ, 2007, 42(6):1240-1249.

[4] Salvatore L, Luca R, Stefano P, et al. Phase noise in digital frequency dividers [J]. IEEE J Sol Sta Circ, 2004, 39(5):775-783.

[5] 王云峰,叶青. 3.5GHz 锁相环的设计 [J]. 微电子学与计算机,2009,26(6):43-46.

[6] Behzad Razavi. 模拟 CMOS 集成电路设计 [M]. 西安:西安交通大学出版社,2003.

[7] 韩良,白涛,张勇. 一种锁相环中高性能电荷泵电路. [J]. 微电子学与计算机,2008,25(3): 190-192.

[8] Dean Banerjee. PLL Performance, simulation, and Design [M]. 4th ed. 2006.

作者简介:

刘惠强 男,(1986-),硕士研究生.研究方向为模拟 IC 电路设计.