

面向数字助听器的低功耗 ASIP 设计

薛金勇, 黑 勇, 陈黎明, 于增辉

(中国科学院 微电子研究所, 北京 100029)

摘 要: 数字助听器系统因具有便携性对功耗要求严格, 同时功能的不断改进与增加, 需要设计提供良好的灵活性与计算性能, 而 ASIC 的设计不够灵活, GPP 的设计通常不满足系统对功耗的需求. 专用指令集处理器 (ASIP) 具有较好的性能、较低的功耗、较高的灵活性, 通过分析数字助听器算法, 添加专用指令与加速单元, 在设计各个阶段综合利用软硬件的低功耗设计方法, ASIP 可以很好地满足数字助听器系统对设计低功耗以及灵活性的设计需求. 设计基于 TSMC 130 nm 工艺进行了流片, 当系统工作在 8 MHz 时钟频率、1.2 V 工作电压时, 处理器功耗约 0.963 mW.

关键词: 专用指令集处理器; 数字助听器; 指令集扩展; 加速单元; 低功耗

中图分类号: TN911.7

文献标识码: A

文章编号: 1000-7180(2013)11-0009-06

Low Power ASIP Design for Digital Hearing Aids

XUE Jin-yong, HEI Yong, CHEN Li-ming, YU Zeng-hui

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Digital hearing aid as a portable product requires low power consumption. With the continuous improvement and increase of functionality, the design should also offers great flexibility and high computing performance. ASIC solution lacks flexibility. GPP solution may not meet the requirement of power consumption. Application Specific Instruction Set Processor (ASIP) can offer higher computing performance, lower power consumption and greater flexibility. Through analyzing the algorithm of digital hearing aid system, customized instruction set extensions and dedicated hardware accelerators were added. Several software and hardware power optimization techniques were also adopted at the various levels of the design. The optimized ASIP can meet the low power consumption and high flexibility requirements of digital hearing aid system well. The ASIP design for digital hearing aids was implemented in TSMC 130 nm process. When the system works at 8 MHz clock frequency, the power dissipation is 0.963 mW at 1.2 V supply voltage.

Key words: ASIP; digital hearing aids; instruction set extension; accelerator; low power

1 引言

助听器可以对听力损失患者进行听力补偿, 数字助听器^[1]相比模拟助听器具有功耗和面积优势, 可以提供极大的灵活性, 允许助听器佩戴人员根据个人需要调节参数. 同时数字助听器可以进行更复杂的信号处理, 提供更好的用户体验, 因此得到极大发展, 且具有广阔的市场空间. 数字助听器对功耗要

求非常严格, 同时新的算法层出不穷, 功能的改进或者添加, 需要设计提供良好的灵活性与计算性能. 基于 ASIC 的设计功耗低, 但无法满足系统快速升级的特点; 基于 GPP 的设计灵活, 但无法满足数字助听器低功耗的要求. ASIP^[2]具有精心设计的指令集, 可以提供极大的灵活性, 通过软件编程即可实现系统升级, 通过针对数字助听器算法添加专用指令或者硬件加速单元, 能够获得较好的性能和较低的

功耗,并很好地满足数字助听器的设计需要.

本文面向数字助听器的低功耗 ASIP 设计,通过添加专用指令与加速单元,提高处理器的运行效率,降低系统功耗.

2 数字助听器系统

本文设计了数字助听器的核心功能模块听力补偿和噪声消除,系统框图如图 1 所示. 数字助听器的算法设计不是本文的重点,只做简单介绍,详细内容可参见文献[3-4].

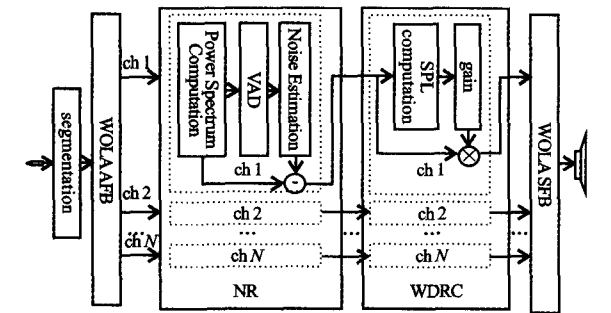


图 1 数字助听器系统框图

听力损失具有很强的频率相关性,且不同频带的语音信号具有不同的特性,因此在数字助听器系统中,多采用多通道信号处理. WOLA (weighted overlap-add) 滤波器组^[5]是 DFT 滤波器组的一种高效实现, WOLA 分析滤波器组 (Analysis Filter Bank, AFB) 将输入信号分解为多个通道,是后续多通道听力补偿与噪声消除的基础,其框图如图 2 所示, K 为 FFT 点数,通道数 $N=K/2$, M 为降采样因子, $h(n)$ 为分析窗; WOLA 综合滤波器组 (Synthesis Filter Bank, SFB) 是分析滤波器组的逆过程,将经过处理的多通道信号综合为一 路信号,其框图如图 3 所示, $f(n)$ 为综合窗.

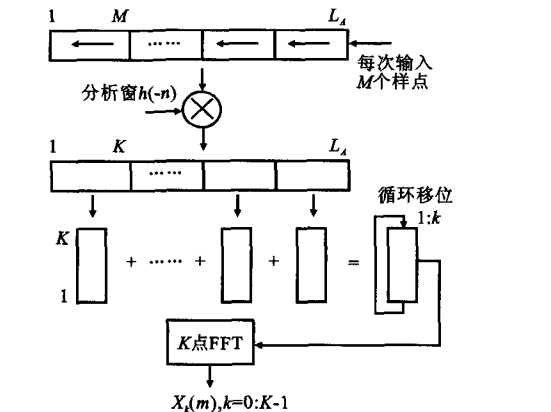


图 2 WOLA 分析滤波器组

噪声消除 (Noise Reduction, NR) 用来降低输入

语音中的背景噪声,提高带噪语音的可辨识度及听觉舒适度. 设计采用多子带谱相减算法,首先将各通道根据人耳听觉特性进行合并、划分为若干子带,通过估计获得每个子带的噪声谱,然后在子带内进行谱相减噪声消除^[3].

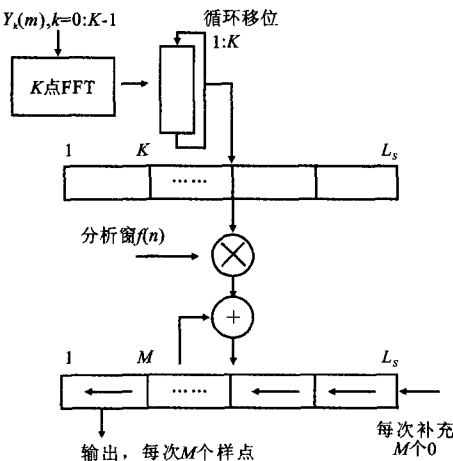


图 3 WOLA 综合滤波器组

多通道宽动态范围压缩 (Wide Dynamic Range Compression, WDR) 算法根据听力障碍人士的听力损失曲线,对输入语音信号在各个通道进行听力补偿,从而将正常人听觉动态范围的声音映射到听障患者的听觉动态范围^[3-4]. 听力补偿是数字助听器系统中最基本,也是最重要的功能.

本文面向 32 通道的数字助听器系统进行低功耗的 ASIP 设计,实现核心功能模块听力补偿与噪声消除,设计的基本参数如表 1 所示.

表 1 数字助听器系统特征参数

采样率 F_s / kHz	16
分析窗长度 L_A	256
综合窗长度 L_S	256
降采样因子 M	32
通道数	32
功能	WDR、NR

3 数字助听器的低功耗 ASIP 实现

本文的低功耗专用指令集处理器 FlexEngine, 采用 5~7 级流水线,类 RISC 指令集,24 位数据,16 位地址总线,系统框图如图 4 所示.

FlexEngine 主要包含算术逻辑运算单元 ALU、乘累加单元 MAC、寄存器文件、程序控制单元 PCU,以及地址产生单元 AGU. FlexEngine 采用程序和数据存储器分离的哈佛结构,其中数据存储

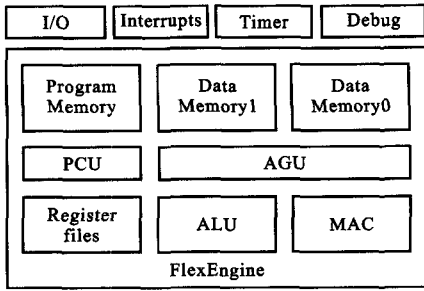


图4 FlexEngine 系统框图

器又分为两块,可以在一个周期实现两个数据的读/写操作;地址产生单元 AGU 支持位反寻址,模寻址等多种寻址模式;乘累加单元 MAC 可以在两个周期完成乘累加运算;程序控制单元 PCU 支持零开销循环指令,当程序执行到循环体尾部时,可以继续执行循环体首指令,避免了循环计数、条件检测、条件跳转到循环体首指令以及由此带来的跳转延时。因此 FlexEngine 适用于数字助听器系统,尤其是算法中的滤波器组运算,以及算法大部分时间运行小循环体的特点。

由于数字助听器对功耗要求严格,在数字助听器 ASIP 设计的各个阶段都需要对功耗进行分析优化。在软件级,进行算法优化,减少算法的复杂度与存储器访问;手工汇编,充分利用指令集、软流水、循环展开,提高程序的执行效率。在系统级,根据算法的需要确定处理器的程序存储空间和数据存储空间,尽量减小存储器容量;存储器分割减小存储器的有效访问电容。在寄存器传输级,采用操作数隔离,减少数据通路的无效翻转;添加顶层时钟门控将处理器空闲状态时的时钟关掉,引入处理器睡眠模式,减少空闲状态下的动态功耗;添加专用指令与加速单元,提高程序执行效率。在逻辑级,插入时钟门控。采用上述功耗优化方法,以及在综合阶段采用低功耗约束,都可以有效地减少系统的功耗。

3.1 指令集扩展

利用 FlexEngine 处理器的仿真器对汇编优化后的数字助听器算法进行仿真分析,结果见图 5。WOLA 与噪声消除模块的执行时间相似,分别约占整个程序执行时间的 46%。对模块单独进行分析,发现 WOLA 滤波器组的快速傅里叶变换(FFT)及其反变换占据了 76% 的 WOLA 运行时间;消噪算法中的除法运算以及非线性运算(如开方,对数运算)占据了 49% 的噪声消除运行时间。为了缩短程序的执行时间,降低系统的功耗,可以在处理器的数据通路针对热点程序添加专用指令或者添加硬件加

速单元,以达到降低功耗的目的。

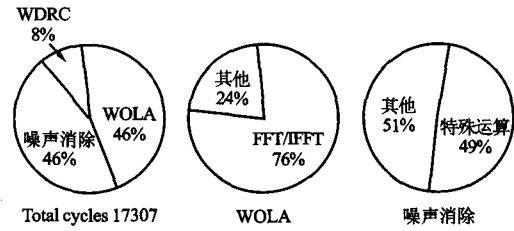


图5 不同模块的周期使用率

除了本文所提到的多子带谱相减,其他各种类型的 NR 算法和 WDRC 算法,都涉及大量的非线性运算^[6]。比如 NR 算法中涉及开方、除法和对数运算,WDRC 算法中涉及对数运算。这些特殊运算以库函数实现,虽然计算精度高,但是计算量大,不适合数字助听器系统的低功耗要求。数字助听器所涉及的算法中几乎所有的非线性运算,都是仅要求对数据进行估计,采用函数迭代算法(如牛顿迭代法或者级数展开),其执行时间通常需要多个时钟周期,但是 FlexEngine 的 ALU 执行周期为 1,MAC 执行周期为 2,如果将其添加到数据通路的执行单元,则会破坏已有的流水线结构。因此本文采用更加简单快速的查表法,根据系统的变量范围与精度要求制作表格,适当降低运算精度。本文中数字助听器输入语音信号位宽 20 bits,功率谱以 48 bits 表示,功率谱的特殊运算具体实现如下:

对数计算过程:

$$x = a * 2^b = 2a * 2^{b-1}, a \in [0.5, 1)$$

$$\log_2 x = \log_2(2a) + (b-1)$$

$$\log_{10} x = \log_2 x / \log_2 10$$

开方计算过程:

$$x = a * 2^b, a \in [0.5, 1)$$

$$x^{1/2} = a^{1/2} * 2^{b/2}, b \text{ 为偶数}$$

$$x^{1/2} = a^{1/2} * 2^{(b-1)/2} * \sqrt{2}, b \text{ 为奇数}$$

除法可以通过除数的倒数与被除数相乘获得,倒数的计算过程:

$$y/x = y * x^{-1}$$

$$x = a * 2^b, a \in [0.5, 1)$$

$$x^{-1} = a^{-1} * 2^{-b}$$

通过查找输入数据 x 的最高非零位确定数值 b ,然后向低位连续取 L 位(低位不足补零)作为查找表的地址 index ,由查找表获得 $\log_2(2a)$ 、 $a^{1/2}$ 与 a^{-1} ,如图 6 所示,表格大小由计算精度确定。

由于查表方法结构简单,因此可以作为指令集扩展(ISE)添加到处理器的数据通路,指令集扩展见表 2,添加扩展指令集后的处理器数据通路见图

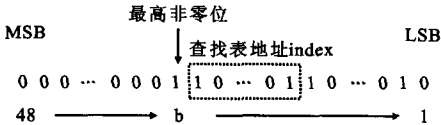


图 6 最高非零位与查找表地址

7, 扩展运算执行单元分为 P1、P2 两级, 在执行单元 P2 级后将运算结果写回; 基于查找表计算增益因子的 WDRC 算法被广泛地应用在数字助听器的设计中, led 指令返回数据的最高非零位, 加速 WDRC 的增益因子查找表计算^[4], 在扩展运算单元的执行单元 P1 级后将运算结果写回. 这些扩展指令不仅可以提高数字助听器系统的效率, 同时非常适合应用于低功耗的实时语音处理系统中.

表 2 指令集扩展

log10	rA, acrB
sqrt	rA, acrB
recipe	rA, acrB
led	rA, acrB

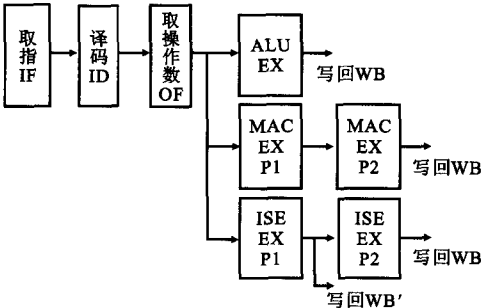


图 7 FlexEngine 处理器的数据通路

通过添加专用指令, 噪声消除模块运行时间明显减少, 优化前后的程序运行时间比较如表 3 所示.

表 3 不同功能模块的周期消耗

	优化前	优化后
噪声消除	7 948	3 400
WDRC	1 397	1 205

3.2 硬件加速

当前的多通道数字助听器大多基于等宽通道划分方案, 其中最为普遍的即 WOLA 滤波器组^[7]. WOLA 滤波器组中的快速傅里叶变换及其反变换对处理器的计算性能要求比较高, 如图 5 所示, 运行时间占整个 WOLA 的 76%, 因此必须要对其进行优化.

由于 WOLA 滤波器组的 K 点 FFT 输入数据均为实数, 因此可以采用 K/2 点的 FFT 与反变换实现 K 点 FFT 及其反变换^[8], 从而减少约一半的

运算量与执行时间. 以 FFT 为例做简单介绍, 反变换可参考 FFT 的逆过程, 如对 K 点实序列 $x(n)$ 进行 FFT 变换, 首先构造 K/2 点复序列 $z(n)=g(n)+jh(n)$, 其中 $g(n)=x(2n), h(n)=x(2n+1), 0 \leq n < K/2$; $Z(k)$ 为 $z(n)$ 的 K/2 点 FFT 变换, 则 $x(n)$ 的 K 点 FFT 变换可表示为

$$X(k)=(Z(\langle k \rangle_{K/2})+Z^*(\langle -k \rangle_{K/2}))/2+W_K^k \cdot (Z(\langle k \rangle_{K/2})-Z^*(\langle -k \rangle_{K/2}))/2j, 0 \leq k < K, \text{其中} \langle \rangle \text{表示求模运算.}$$

除算法优化外, WOLA 滤波器组运算密集规整, 可考虑硬件优化. 但由于其结构较复杂, 不能以专用指令的形式添加到处理器的数据通路, 添加硬件加速单元, 则可以在提高系统计算性能的同时降低系统功耗. 蝶形运算 (Butterfly) 单元是快速傅立叶变换的核心操作, 基 2 时间抽取 FFT 及其反变换蝶形单元见图 8, X, Y 是蝶形运算单元的输入, W 为旋转因子. 通过精心设计的汇编指令, 每个蝶形运算仍需要 13 条指令, 对于 N 点的 FFT, 需要计算 $\log_2 N * N/2$ 次蝶形运算, 因此计算非常耗时. 将蝶形运算单元以加速单元添加到处理器, 如图 9 所示, 通过指令 butterfly 执行加速单元, 输入输出数据地址采用默认地址寄存器, 由于蝶形运算的计算包含数据载入、复数乘法、复数加法、结果存储, 因此需要 5 个时钟周期, 执行 butterfly 指令, 需要流水线暂停等待 butterfly 指令执行完成. 在进行 FFT 运算时, 通过配置 FFT 的点数, 蝶形运算单元输入数据、旋转因子以及输出数据的地址与寻址方式即可完成任意点数基 2 时间抽取的快速傅里叶变换. FFT 蝶形加速单元可广泛应用于数字助听器以及语音应用的 FFT 滤波器组的设计中, 提高系统效率.

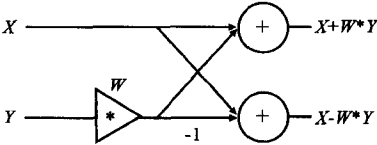


图 8 基 2 时间抽取的 FFT 蝶形运算单元

采用 K/2 点的 FFT, 同时添加 butterfly 加速单元, WOLA 模块优化前后的程序运行时间比较如表 4 所示.

表 4 WOLA 模块的周期消耗

	优化前 K 点 FFT	优化后 K/2 点 FFT
WOLA	7 962	3 605

3.3 睡眠模式

数字助听器系统作为实时系统, 处理器周期性

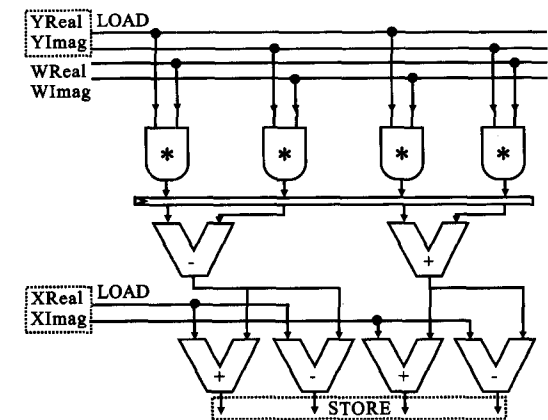


图9 基2时间抽取的FFT蝶形加速单元

的处理外部语音采样信号. 处理器的输入缓冲器缓存采样的语音信号,接收一帧即向处理器发出中断信号,请求进行数据处理,处理结束后处理器便处于空闲状态,等待下一帧的中断处理信号. 通常处理器处于空闲状态时,以跳转指令 `jmp $` 将程序维持在结束地址. 通过在设计顶层添加粗粒度的门控时钟,在程序结尾处使用 `sleep` 指令,将空闲时的处理器转入睡眠模式,可以有效地避免处理器空闲状态时的动态功耗,如图10所示.

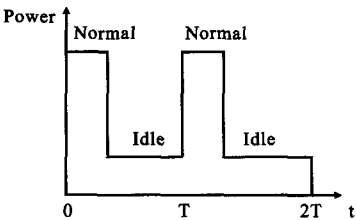


图10 睡眠模式功耗

睡眠模式时,处理器核时钟关断,外围设备模块保持工作,中断模块检查外部中断输入,当有中断发生时,唤醒处理器,如图11所示.

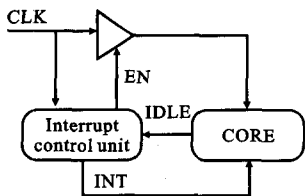


图11 睡眠模式顶层时钟门控

3.4 数据分析

基于专用指令集处理器设计数字助听器系统,在系统设计的各个阶段综合运用软硬件的低功耗技术,如软件优化、存储器功耗优化、门控时钟、操作数隔离、低功耗的工作模式等,可以有效地降低系统的功耗. 针对优化后的算法进行分析,添加专用指令与硬件加速单元,可以有效地提高程序的运行效率,如表5所示,优化后的运行时间约为优化前运行时间

的47%. 不同方法对系统功耗的优化结果如图12所示,优化后的功耗仅为优化前的26%.

表5 不同功能模块的周期消耗

	优化前 K 点 FFT	优化后 K/2 点 FFT
WOLA	7 962	3 605
噪声消除	7 948	3 400
WDRC	1 397	1 205
Total cycles	17 307	8 210

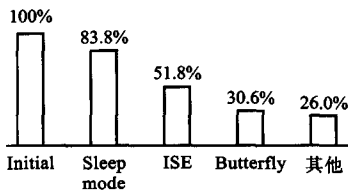


图12 归一化的功耗

最后,本文基于 TSMC 130 nm 工艺完成设计流片,图13为芯片的版图与芯片图. 经过测试,该系统能较好的实现数字助听功能,工作在 8 MHz 频率、1.2 V 工作电压时,处理器功耗约 0.963 mW,设计参数见表6.

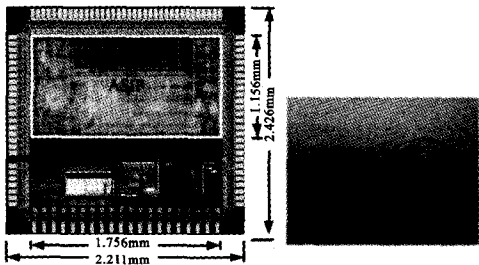


图13 芯片版图与图片

表6 设计参数

工艺	TSMC130 nm
面积	2.211 mm×2.426 mm ASIP 面积 1.756 mm×1.156 mm.
时钟	8 MHz
电压	1.2 V
功耗	0.963 mW

由于数字助听器系统的算法多样,不同的实现具有不同的特征参数,如采样率、通道数,包含的功能模块不同,相同的功能模块采用的算法也不相同,而且很多研究只关注单个模块的算法与实现,对于整个数字助听器系统的实现比较少,因此很难将本文的设计直接与其他工作对比. 表7中给出了本文与已发表文献的对比,文献[9-10]均采用了更高的

工艺、更低的工作电压,虽然文献[9]功能略多,文献[10]采样率较高,但是本文通道数明显多于文献[9-10],系统的计算任务量仍可比于甚至多于文献[9-10],因此本文的流片结果比文献[9-10]的结果更具优势.

表 7 与已发表文献比较

	文献[9]	文献[10]	本文设计
功能	波束成形 反馈消除 NR WDRC	NR WDRC	NR WDRC
实现	ASIP	ASIC	ASIP
工艺/nm	65	90	130
采样率/kHz	16	24	16
通道数	17	18NR,3WDRC	32
时钟/MHz	11	3,6,8	8
电压/V	0.8	1.0	1.2
面积/mm ²	0.49	3.13	2.0
功耗/mW	0.334	1.095	0.963

4 结束语

专用指令集处理器提取算法特征,针对应用添加专用指令与硬件加速单元,兼具 ASIC 与 GPP 的低功耗、高性能与灵活性.本文提出的应用于数字助听器系统的专用指令集处理器结构,通过分析数字助听器系统中最广泛应用的语音处理算法,添加适用于语音处理的专用指令与加速单元,实现了数字助听器最核心的功能噪声消除与听力补偿,同时在设计的各个阶段综合采用低功耗的软硬件设计方法,ASIP 可以很好地满足系统低功耗以及灵活性的设计需求.本文的 ASIP 设计方法对其他低功耗应用的 ASIP 设计具有一定的借鉴意义.

参考文献:

- [1] James M K. Digital hearing aids[M]. Oxfordshire: Plural Publishing, 2008.
- [2] Jain M K, Balakrishnan M, Kumar A. ASIP design methodologies: survey and issues [C]// International Conference on VLSI Design. Bangalore: IEEE, 2001: 76-81.
- [3] 于增辉, 黑勇, 陈黎明, 等. 多通道数字助听器算法及低功耗 VLSI 设计[J]. 微电子学与计算机, 2012, 29(4): 14-18.
- [4] 于增辉, 黑勇, 薛金勇, 等. 助听器多通道宽动态范围压缩的低功耗硬件实现[J]. 哈尔滨工程大学学报, 2012, 33(1): 106-111.
- [5] Brennan R, Schneider T. A flexible filterbank structure for extensive signal manipulations in idigital hearing aids[C]// Proceedings of the 1998 IEEE International Symposium on Circuits and Systems. Monterey, CA: IEEE, 1998: 569-572.
- [6] James M K. Signal processing for hearing aids[M]. US: Springer, 2002: 235-277.
- [7] Crochiere R E, Rabiner L R. Multirate digital signal processing[M]. Englewood Cliffs: Prentice Hall, 1983.
- [8] Mitra S K. Digital signal processing - A computer-based approach[M]. 2nd ed. Beijing: Tsinghua University Press, 2006: 147-149.
- [9] Peng Qiao, Corporaal H, Lindwer M. A 0.964mW digital hearing aid system[C]// Design, Automation and Test in Europe Conference and Exhibition. Grenoble, France, 2011: 1-4.
- [10] Wei Chengwen, Kuo Yuting, Chang Kuochiang, et al. A low-power mandarin-specific hearing aid chip[C]// IEEE Asian Solid-State Circuits Conference. Beijing, 2010: 1-4.

作者简介:

薛金勇 男, (1985-), 博士研究生. 研究方向为数字集成电路设计.

(上接第 8 页)

- [3] 赵卓, 陈立杰. 密码技术在数字防伪系统中的应用[J]. 计算机工程与技术, 2005, 26(10): 2860-2862.
- [4] Zhang Xuefeng, Fan Jiulun. Digital image hiding technology based on chaos system[J]. Computer Engineering, 2007, 28(9): 134-136.
- [5] 魏旭, 陆国平, 陈秋琼. 基于双重混沌映射的数码防伪技术研究[J]. 微电子学与计算机, 2012, 29(8): 127-129.
- [6] 吴伟陵. 信息处理与编码[M]. 北京: 人民邮电出版社, 1997.

- [7] 石红芹, 吕方亮, 刘遵雄. 基于混沌加密的彩色图像盲数字水印算法[J]. 计算机工程, 2011, 37(20): 105-107.

作者简介:

朱海峰 男, (1979-), 硕士, 讲师. 研究方向为集成电路设计与数字加密.