

FPGA 结构设计方法及 EDA 工具

张 峰, 李 艳, 陈 亮, 李 明, 于 芳

(中国科学院 微电子研究所, 北京 100029)

摘 要: 针对当前 FPGA 结构设计方法灵活度低、容易出错、自动化程度不够高的现状, 提出一种 FPGA 结构设计方法. 根据这种方法实现了 EDA 工具 VA. VA 使用 GUI 编辑结构描述文件, 具有使用结构描述文件自动生成 FPGA 详细结构的功能, 并通过在 GUI 中局部调整 FPGA 结构来实现设计异质型布线结构的功能. VA 将 FPGA 结构设计和结构评估功能集成在一起, 提供了全自动的评估流程. 借助 VA, 成功设计出一款自主研发的 FPGA 芯片 VS1000, 设计过程和结果证明了 VA 的高效性和正确性.

关键词: 现场可编程门阵列; 结构; 用户图形界面; 设计; 评估

中图分类号: TN47; TP319

文献标识码: A

文章编号: 1000-7180(2013)05-0014-05

Methodology and EDA tool for Designing FPGA Architecture

ZHANG Feng, LI Yan, CHEN Liang, LI Ming, YU Fang

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to solve FPGA architecture design tools' problems of low flexibility, fallibility, not highly automation, this paper puts forward an FPGA architecture design method and realize this method by an EDA tool VA. VA provides a graphical user interface (GUI) to edit FPGA architecture description file, then converts this high-level architecture description into a detailed and completely specified FPGA architecture. Through VA's GUI, FPGA routing architecture can be readjusted locally, which makes designing a heterogeneous FPGA routing architecture possible. VA integrates FPGA architecture design and evaluation functions together, provides full-automatic architecture evaluation flow. Finally, an FPGA chip VS1000 is successfully designed by VA, the experiments results of design have proved the correctness and efficiency of VA.

Key words: FPGA; architecture; GUI; design; evaluation

1 引言

现场可编程门阵列(Field Programmable Gate Array, FPGA)是一种半定制通用性器件, 用户可通过对其编程来实现所需的逻辑功能. FPGA 硬件结构直接决定了 FPGA 的性能优劣, 因为 FPGA 包含众多结构参数, 这些参数之间的相互影响关系非常复杂, 它们共同决定了电路的速度和面积. 因此, 需要从全局考虑所有结构参数, 选取足够多的有代表性的基准电路在所研究的每种 FPGA 结构上实现, 并在布局布线之后得出电路的关键路径延时

和所需要的面积.

一种生成 FPGA 结构的方法是人工设计一个基本单元块, 它包含一个逻辑块和周围的布线资源. 通过程序自动复制和连接这种基本单元块来描述完整的 FPGA 布线资源图, George^[1]使用了这种方法. 但是这种方法耗时太多, 典型的基本单元块包含数百个编程开关和互连线, 需要花费数小时甚至数天的时间来描述. 而且这种手工描述的基本单元块只能实现某一特定的布线通道高度值 W , 灵活性差.

当前普遍流行的做法是用比较抽象的 FPGA 结构描述语言来描述 FPGA 较高层次的结构, 这种

语言的具体语法规则需要根据所使用的 EDA (Electronic Design Automatic, 电子设计自动化) 工具来确定。CGE^[2] 和 SEGA^[3] 的做法是限定了所有代码与开关模式的交互接口为 Fc() 和 Fs() 这两个例程, 通过修改这两个例程可以在不同开关模式的 FPGA 上进行布线。Emerald^[4] 接受的输入为布线结构描述、逻辑块描述和结构详细规则, 通过 Xdp/WireC 电路图编辑器生成详细的 FPGA 结构, 以供布局布线工具使用。VPR^[5] 读入简要而容易理解的参数化结构描述文件, 并采用内嵌的图形生成器产生详尽的布线资源图以供布线器和其它 EDA 工具使用。但是上述方法都只能基于某种 FPGA 结构模板来编辑结构描述文件, 限制了设计的灵活性。

本文提出的 FPGA 结构设计工具 VA (Versatile Place and Route) 是在 VPR4.3 的基础上进行开发改进的。根据命令参数不同, VA 有布局布线^[6] 和结构设计两种运行模式, 本文主要讨论 VA 的结构设计模式。使用 VA 进行 FPGA 结构设计主要分为四步: 第一步是在 GUI (graphical user interface, 用户图形界面) 上基于固定模板对 FPGA 结构参数进行编辑, 编辑完成后可选择生成 FPGA 结构描述文件并结束设计, 也可选择第二步进行继续设计; 第二步是在第一步基础上, 或者从外部读入 FPGA 结构描述文件, 进行参数化结构的自动生成, 产生详细的布线资源图; 第三步是在 GUI 中显示 FPGA 详细结构, 并允许结构设计师点击 GUI 中任意元件进行结构局部调整; 第四步是选择一组基准电路, 在不同 FPGA 结构参数情况下进行实现, 比较布局布线后的面积、延时等参数, 从中评估出性能最优的 FPGA 结构。

2 FPGA 结构参数编辑

2.1 FPGA 基本结构

在 VPR4.3 的基础上, VA 增加了对异质型 FPGA 结构的支持, 图 1 为异质型岛式 FPGA 的示意图。这种 FPGA 结构包括 IOB (可编程 IO 模块, input/output block)、LT (逻辑片, logic tile)、GB (全局信号模块, global signal block)、PGM (编程电路, programming circuit)、宏模块 (Macro Block)。其中 LT 由逻辑资源 LB (逻辑块, logic block) 和层次化布线资源 CHB (布线通道模块, channel block)、SB (开关模块, switch block) 组成。1 个 LT 包括 1 个 LB、1 个 CBX (X 方向的 CHB)、1 个 CBY (Y 方向的 CHB) 和 1 个 SB。宏模块一般为 RB

(RAM block)、MB (multiplier block) 等。

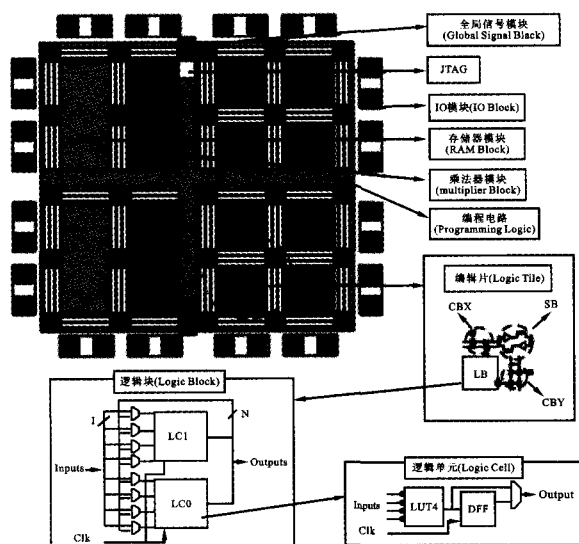


图 1 异质型岛式 FPGA

VA 提供了 VPR 所不具有的以下功能: 使用 GUI 编辑 FPGA 结构参数, 使得结构设计师不必过多关心结构描述文件的语法格式, 降低了设计的复杂度, 并可避免结构参数的遗漏; VA 可在 GUI 上进行局部结构调整, 这种灵活性使设计非均匀型 FPGA 布线结构成为可能; VA 还将 FPGA 结构设计和结构评估集成在一起, 全自动的评估流程可帮助结构设计师快速轻松地设计出性能优异的结构。

2.2 FPGA 结构参数基本分类

图 2 为 VA 编辑 FPGA 结构参数的向导图, 结构设计师可选择将要编辑的结构项目。如图 2(a) 和 (b) 所示, 本文将 FPGA 结构描述主要分为两类: 通用型结构参数、特有型结构参数。

通用型结构参数包括编程结构、配置阵列结构、全局模块阵列、输入输出模块阵列、逻辑模块阵列、存储器模块阵列、乘法器模块阵列、数字时钟模块阵列、边界扫描模块阵列、布线通道模块阵列、开关模块阵列、布线开关列表、时序、功耗等几大项。

特有型结构参数主要包括封装结构、芯片规模、配置结构三大项。

2.3 FPGA 结构参数编辑页面

如图 3 所示, VA 将要编辑的项目以树形结构列出, 每一项单独一页。以芯片规模项为例, 该项包括 FPGA 中 LB、RB、MB、GB 的列数和 LB 的行数以及 RB、MB 的高度。

结构参数编辑页面列举了所有必须的 FPGA 结构参数, 避免了参数的遗漏, 同时提供了默认值, 并允许修改。



(a) 通用型结构参数



(b) 特有型结构参数

图 2 FPGA 结构编辑向导

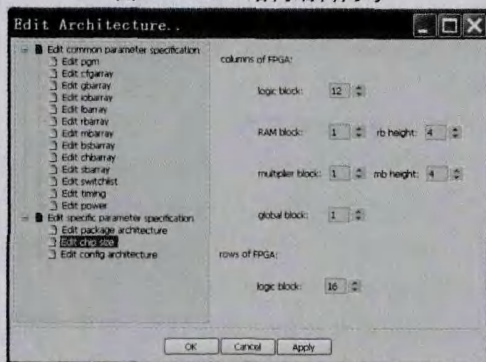


图 3 FPGA 结构参数编辑页面

需要注意的是,为使 VA 能对 FPGA 结构提供精准的面积、延时、功耗结果,必须在结构参数编辑时提供不同的电路元件的电阻、电容、延时、面积等晶体管级电学信息,这些电学信息可以采用文献[7]和文献[8]提出的方法进行 SPICE 仿真测量得出。

2.4 FPGA 结构描述文件

FPGA 所有结构参数编辑完成后,结构设计师可选择继续设计,也可选择生成结构描述文件并结束设计。VA 内嵌了 Xerces-C++^[9] XML 解析器,使得结构描述文件可以保存为 XML 格式,该文件以层次化嵌套的开始标签和结束标签组成,每组标签内有附加说明和可选择的属性值和内容。图 4 为 FPGA 结构描述文件中的一组标签。

```
<switch type="buffered" name="normal"
follow_switch="3" R="1080" Cin="1.42e-15"
Cout="11.9e-15" Tdel="134.25e-12" size="7.7441"/>
```

图 4 FPGA 结构描述文件格式

3 详细结构的自动生成

VA 使用布线资源图来描述 FPGA 中所有可用的连接关系。在布线资源图中,金属线和逻辑块的各个端口用结点表示,开关用一条有向边(对于单向开关,如缓冲器)或一对有向边(对于双向开关,如传输管)表示。每个结点的容量是指在合法的布线结果中,一个结点所能容纳的不同线网的最大数目。由于金属线和逻辑块引脚只能被一个线网使用一次,所以结点的容量是 1。

FPGA 中所有可用的连接都记录在布线资源图中,布线器在布线的时候是在布线资源图中为线网选择合适的路径的。布线资源图是 FPGA 结构的另一种表达形式,必须要与 FPGA 结构保持一致。

VA 通过读取描述 CBX 和 CBY 的结构参数,获取逻辑块与互连线的连接关系。通过读取描述 SB 的结构参数,获取所有互连线与互连线的连接关系,从而建立布线资源图。图 5 是对应于一个三输入单输出查找表的布线资源图。

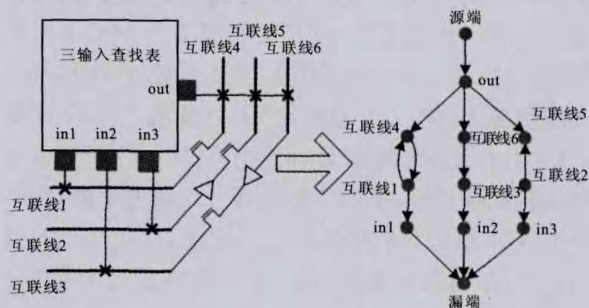


图 5 用有向图对 FPGA 布线结构建模

布线资源图建立后,将得到 FPGA 的详细布线结构,因此可以在 GUI 中画出如图 6 所示的 FPGA 详细结构图。

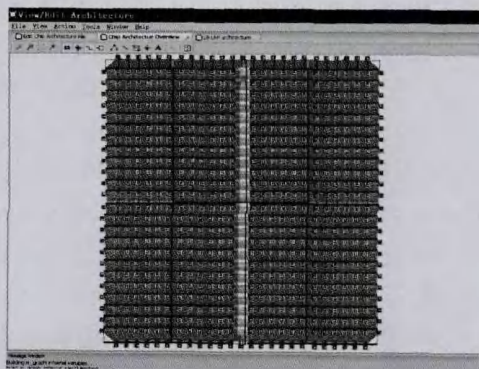


图 6 FPGA 详细结构图享

4 FPGA 结构局部调整

图7是图6局部放大后一个逻辑片的结构图。通过图6和图7,结构设计师可以直观的看到自己所设计的FPGA结构的详细情况。

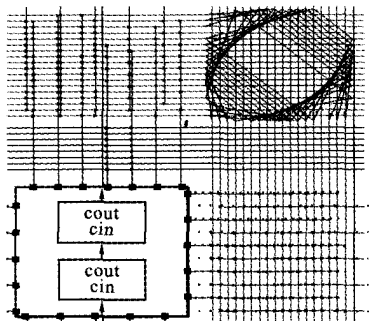


图7 逻辑片详细结构图

双击图6或图7中任一逻辑块的一个引脚,会弹出一个窗口。该窗口允许结构设计师修改该引脚的 F_c (引脚所能连接的布线轨道数目),并可选择是将修改应用于当前逻辑块,或所有逻辑块,或设计师自己选定应用逻辑块的坐标范围。

双击图6或图7中任一开关模块,会弹出一个窗口。该窗口允许结构设计师从Subset, Universal, Wilton, Wilton3这四种开关拓扑结构(switch block topology)中选择修改该开关模块的拓扑类型,默认是Wilton类型。该窗口还列出了该开关模块所连接的所有布线轨道,从中任选一条,则会显示出该布线轨道通过该开关模块所连接的所有布线轨道,设计师可通过该界面建立或取消布线轨道之间的连接。并且设计师可选择是将修改应用于当前开关模块,或所有开关模块,或设计师自己选定应用开关模块坐标范围。

双击图6或图7中任一开关,会弹出一个窗口。该窗口允许结构设计师修改该开关的类型(buffered或pass gate)、尺寸等,设计师可选择是将修改应用于当前开关,或当前逻辑片中的所有开关,或设计师自己选定逻辑片的坐标范围,并将修改应用于选定逻辑片的同一位置的开关。

需要注意的是,所有修改完成后,为使修改生效,需要重新建立布线资源图,从而产生新的FPGA详细结构。

5 FPGA 结构评估

5.1 结构评估方法

理想情况下,可以画出每种结构的版图,以得到精准的面积测量值和延时值。然而这种方法需要同时

比较数百种不同的FPGA结构,显然不可行。VA使用了更加抽象的面积模型和延时估计方法。面积模型基于计算搭建FPGA结构所需要的最小宽度晶体管面积的数目^[10],延时估计基于改进的Elmore模型^[11]。这种方法不需要FPGA版图,但依然非常准确,足以对不同的FPGA结构进行公正的比较。

VA的结构评估方法是,用不同的FPGA结构来实现20个最大的MCNC基准电路(网表规模介于1064~8383个基本逻辑单元)以评估这些结构的性能,经过对电路进行工艺无关的逻辑优化、工艺映射、打包、布局布线之后,比较每种结构所达到的电路延时和所需要的面积,最后选择面积延时积($Area * Delay$)最小的结构。

5.2 结构评估实验规则

FPGA结构参数的设计空间非常庞大,不能简单地搜索所有结构种类的全部N维空间。本实验采取的实验规则是:使用DOE^[12](Design of Experiments)技术进行实验,这种方法能大大减少实验的次数。结构设计师首先根据经验值进行结构假设,然后从一些比较重要的或受其它参数影响较小的参数开始,每次只改变一到两个参数,从而可以对N维结构空间中的一条线进行优化,一旦找到这个参数的最佳值,就固定这个参数值,并将其代入后续实验中,然后改变其它结构参数,逐步建立复杂的结构。

5.3 EDA 流程

图8为实验中评估布线结构采用的EDA流程,其中 V_{syn} 、VM、VA均为本实验室自主开发的软件。首先,使用 V_{syn} 综合工具对基准电路进行逻辑综合和工艺映射。然后用VM将 V_{syn} 生成的包含寄存器和查找表的网表打包到逻辑簇中。接着,用VA对电路进行布局和布线,在布线过程中通过自动遍历所有设定的布线结构参数值来迭代调用VA。需要注意的是,如果要评估逻辑资源结构参数,则需要迭代调用 V_{syn} 、VM、VA。

整个EDA流程通过编写脚本文件实现了全自动化,从VA输出结果中提取出20个基准电路在每种FPGA结构上使用的面积、关键路径延时,计算出面积延时积的几何平均值。然后借助数据分析绘图工具origin得出面积延时积随参数值的改变而变化的趋势图,从而可以直观地选出面积延时积最小的布线结构参数。以 Flb_input (LB输入的 F_c 值)为例,如图9所示,当 $Flb_input=0.5$ 时,面积延时积最小,因此选定其值为0.5,其它结构参数的选定过程类似。

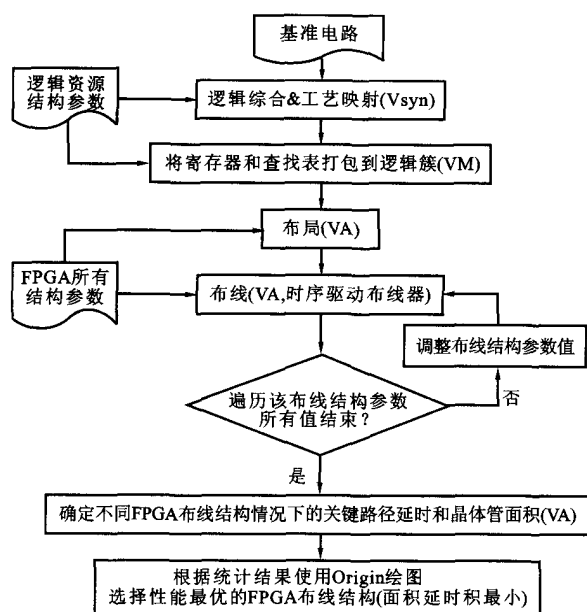


图8 布线结构评估流程

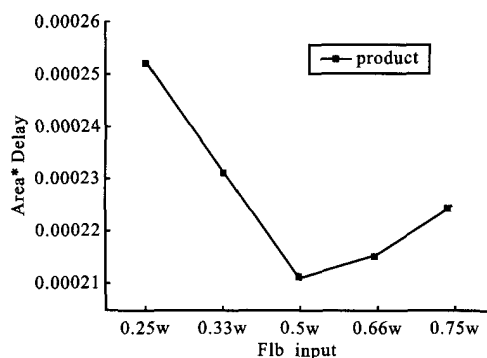


图9 面积延时积随 Flb_input 变化趋势图

6 实验结果

VS1000^[13]是一款自主研发并已流片验证成功的辐射加固 SOI 工艺的 FPGA 芯片,其结构设计和结构评估流程采用了本文第 2~5 节所述的方法.主要的结构参数结果如表 1 所示.

7 结束语

本文介绍了一种设计 FPGA 结构的方法和工具 VA. VA 的显著特点在于:

①VA 使用 GUI 编辑 FPGA 结构参数,使得结构设计师不必过多关心结构描述文件的语法格式,降低了设计的复杂度,并可避免结构参数的遗漏;

②VA 可在 FPGA 详细结构产生之后,在 GUI 上进行局部结构调整,这种设计灵活性使得设计非均匀型 FPGA 布线结构成为可能;

③VA 将 FPGA 结构设计和评估集成在一起,精准的面积、延时模型使评估结果更准确;

本文还提供了脚本文件使评估流程全自动化,可帮助结构设计师轻松地设计出性能优异的 FPGA 结构.

表 1 VS1000 结构参数

	结构	参数值
VS1000	芯片规模	14 * 14
逻辑块	LB 输入数, I	12
	LB 输出数, O	8
	ILRP 输入 Fc (A0, A1, A2, A3)	6/12
局部互连	ILRP 输入 Fc (B)	3/12
	ILRP 输入 Fc (CK, SR, CE)	2/12
	OLRP 输出 Fc (XB)	2/8
	OLRP 输出 Fc (XF, XQ)	4/8
布线参数	CHB 输入 Fc (I<11;0>)	16/18
	CHB 输出 Fc (O<7;0>)	8/18
布线参数	通道宽度, W	18
	Single-length	8
	Double-length	4
	Longlines	6

参考文献:

- [1] George V. Low energy field-programmable gate array[D]. PhD thesis, Berkeley: University of California, 2000.
- [2] Brown S, Rose J, Vranesic Z. A detailed router for field-programmable gate arrays[J]. IEEE Transactions on computer-Aided Design of Integrated Circuits and Systems, 1992, 11(5):620 - 628.
- [3] Lemieux G, Brown S. A detailed router for allocating wire segments in FPGAs[C]//Proceedings of the 4th ACM/SIGDA Physical Design Workshop. Los Angeles(USA), 1993:215 - 226.
- [4] Cronquist D C, McMurchie L Emerald. An architecture-driven tool compiler for FPGAs[C]// Proceedings of the 1996 ACM fourth international symposium on Field-programmable gate arrays. Monterey, CA, USA: ACM, 1996:144 - 150.
- [5] Vaughn Betz, Jonathan Rose. VPR: a new packing, placement and routing tool for FPGA research[C]// Proceedings of 7th International Workshop on Field-Programmable Logic and Applications. London: Springer, 1997: 213-222.
- [6] 陈亮,李艳,李明,等. 针对一种岛式 FPGA 布局布线方法的研究与改进[J]. 微电子学与计算机, 2012, 29(8):19-23.

(下转第 22 页)

5 结束语

本文提出了一种针对 DSP 处理器的指令预取策略,其中针对 DSP 应用的特点又对循环指令采用了特殊的预取策略,提高了 DSP 应用的执行效率,减少了指令储存单元的功耗,优化了 DSP 处理器的性能。

参考文献:

- [1] 沈立,戴葵,王志英.以基本块为单位的非顺序指令预取[J].计算机工程与科学,2003,25(4):94-99.
- [2] Zhenqi Wei, Peilin Liu, Ji Kong, et al, Low-power microarchitecture of zero-overhead nested loops in embedded processors[C]// International Symposium on Intelligent Signal Processing and Communication, China, Chengdu, 2010.
- [3] Yiqiang Ding, Wei Zhang. Loop-based instruction pre-fetching to reduce the worst-case execution time[J].

IEEE transactions on computers, 2010, 59(6):855-864.

- [4] Jian Wang, Bogong Su, Erh Wen Hu. A scalable loop optimization approach for scalable DSP processors[C]// ICASSP '00 Proceedings of the Acoustics, Speech, and Signal Processing, 2000. on IEEE International Conference USA: Salt Lake City, 2000.
- [5] Vladim I'r Guzman, Teemu Pitkanen, Jarmo Takala. instruction buffer with limited control flow and loop nest support[C]// International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation, Lebanon, Beirut, IC-Samos, 2011.

作者简介:

琚 魁 硕士研究生.研究方向为大规模集成电路设计.
 谢 懋 博士研究生.研究方向为大规模集成电路设计.
 毛志刚 博士生导师,教授.研究方向为大规模集成电路设计.

(上接第 18 页)

- [7] Kuon I, Rose J. Automated transistor sizing for FPGA architecture exploration[C]// Proceedings of the 45th annual conference on Design automation, New York, NY, USA: ACM, 2008:792 - 795.
- [8] Zhao W, Cao Y. New generation of predictive technology model for sub-45 nm early design exploration[J]. IEEE Transactions on Electron Devices, 2006, 53(11):2816 - 2823.
- [9] Apache. Xerces-c[EB/OL]. (2010-03-07)[2012-05-16]. <http://xerces.apache.org/xerces-c/>.
- [10] Kuon I, Rose J. Area and delay trade-offs in the circuit and architecture design of FPGAs[C]// Proceedings of the 16th international ACM/SIGDA symposium on Field programmable gate arrays, New York, NY, USA: ACM, 2008:149 - 158.
- [11] Mutlu A, Yamacli S. An improved elmore delay model for VLSI interconnects[J]. Mathematical and Computer Modelling, 2010, 51(7/8): 908-914.

- [12] Sheldon D, Vahid F. Making good points: application-specific pareto-point generation for design space exploration using statistical methods[C]// Proceedings of the 17th ACM SIGDA International Symposium on Field-Programmable Gate Arrays, Monterey, CA, USA: ACM, 2009:123-132.
- [13] Xiaowei Han, Lihua Wu, Yan Zhao, et al. A radiation-hardened SOI-based FPGA[J]. Journal of Semiconductors, 2011, 32(7): 075012-6.

作者简介:



张 峰 男, (1987—), 博士研究生. 研究方向为 FPGA-EDA 工具的设计与开发.