

基于 FPGA 的改进型中值滤波算法研究

沈学利, 王肃国

(辽宁工程技术大学 电子与信息工程学院, 辽宁 葫芦岛 125105)

摘 要: 在已有算法的基础上, 采用 3×3 窗口, 进行算法的改进. 在不降低实时性的前提下, 对硬件结构进行简化. 该算法通过实验进行仿真验证, 并对实验结果分析, 得出这种算法在图像中值滤波处理中的可行性, 能很好地满足实时性要求.

关键词: 中值滤波; 硬件设计; FPGA; 实时性

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2014)01-0021-04

Research of the Advanced Median Filtering Algorithm Based on FPGA

SHEN Xue-li, WANG Su-guo

(School of Electronics and Information Engineering, Liaoning Technical University, Huludao 125105, China)

Abstract: On the basis of existing algorithms, this paper, adapting 3×3 template, improve the algorithm. Without reducing the real-time, it simplifies the hardware structure. As result of simulation and analysis results of experimental, it can be concluded that the feasibility of this algorithm in image filtering processing, and can meet the real-time requirement.

Key words: median filtering; hardware design; FPGA; real-time

1 引言

图像的中值滤波能很好地完成滤波和平滑等预处理操作, 它既能有效消除图像中椒盐噪声, 又可以很好地保留图像的边缘信息, 较好地保持图像的清晰度. 因此它至今仍是图像处理领域研究的热点问题. 在实时性要求比较高的系统, 用硬件来实现中值滤波算法已成了一种趋势. 由于现场可编程逻辑门阵列(FPGA)具有并行运算和流水作业特点, 在图像处理中对实时性有很大的提高. 因此, 成为业界的首选处理芯片之一.

本文提出了一种基于 FPGA 的优化改进的快速中值滤波算法, 并用 Quartus II 和 Modelsim 来进行数据方面的仿真验证, 采用几个客观评价标准对处理效果进行比较, 进而证明设计改进的合理性.

2 中值滤波原理

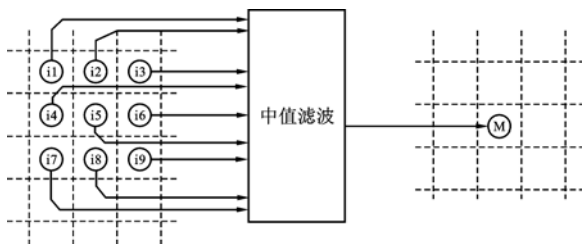
Turky 于 1971 年提出中值滤波算法, 最初主要是对时间序列进行分析, 后来用于图像处理中. 原理就是对图像中所有像素点的某个长度的领域进行排序, 找出该邻域的中值, 作为该邻域的像素进行输出. 图 1 为 3×3 窗口中值滤波示意图. 在这种处理的方法中, 最大值与最小值在图像处理过程中将不会再作为像素输出, 因而这种图像处理方法能够在平滑图像时, 消除尖锐噪声, 如脉冲(椒盐)噪声等. 中值滤波数学表达式如公式:

$$g(x, y) = \text{median}\{f(x-i, y-j)\}; (i, j) \in S \quad (1)$$

式中, $f(x, y)$ 与 $g(x, y)$ 分别是处理前后的图像在 (i, j) 处的像素值, S 为模板, S 可以是线性、方形、十字形等.

收稿日期: 2013-04-20; 修回日期: 2013-06-05

基金项目: 2010 年中国煤炭工业协会科学技术研究指导性计划基金资助项目(MTKJ2010-327)

图 1 3×3 窗口中值滤波示意图

3 中值滤波算法

3.1 几种中值滤波算法

对中值滤波算法而言,窗内像素的比较次数是影响处理速度的主要因素.传统的排序是采用冒泡的方式对像素进行逐个比较.以 3×3 模板为例,利用传统的算法,要进行 36 次排序,30 个时钟周期产生一个中值.对于 5×5 , 7×7 的窗,这些过程更加繁琐,运算量极其庞大,不适合实时性要求较高的图像处理.自 1980 年代以来,针对传统算法在实时性要求较高的设计中无法满足要求的缺陷,一些改进的中值滤波算法相继被提出.无论是在软件设计,还是硬件设计上,都做了一些改进.文献[1]中采用了以均值为分界点的判别依据,这种算法在理论上对传统算法的效率提高了一倍.不过,该算法引进了均值,求取均值以及均值参与比较,都无疑增加了算法的复杂度.文献[2]提出了多级查找表的中值滤波方法,在处理数据的效率上有了一定的提升,其缺点对存储单元的容量有较大的要求.针对软件算法改进在提高中值滤波效率的限制,许多学者开始将微电子技术应用到图像处理中来,其中 FPGA 芯片在处理数据上的并行与流水线设计特点具有很大的优势.文献[3]中提出了一种能提高效率的基于硬件的中值滤波算法,这种算法以三值模块的比较为单位,对将要进行比较的值分组,采用并行的处理方式进行处理.加以时钟控制,实现了三级流水线的处理.三个时钟周期就能够产生一个中值,并且之后的中值产生无需延迟.

3.2 改进的快速中值滤波算法

以上分析可知,软件方法中的比较次数降低有利于实时性的提高,而在硬件中则是硬件结构得以简化.在上述文献基础上,提出一种改进的算法,比软件方法的处理效率有很大提升,相比文献[3]的硬件结构简单,而又不失图像处理的实时性.在该中值滤波算法中比较次数再次降低,三值排序模块的数目减少两个,增加两个二值比较的模块,可以节约宝贵的资源.从而使硬件设计的结构得以简化.分析如

表 1、表 2 所示.

表 1 3×3 窗口示意图

	第一列	第二列	第三列
第一行	$a1$	$a2$	$a3$
第二行	$b1$	$b2$	$b3$
第三行	$c1$	$c2$	$c3$

表 2 两次三值排序后窗口示意图

	第一列	第二列	第三列
第一行	$a1^*$	$a2^*$	$a3^*$
第二行	$b1^*$	$b2^*$	$b3^*$
第三行	$c1^*$	$c2^*$	$c3^*$

首先每行进行处理,即对每行中三个数进行从小到大的排序,得到表 1. 根据排序的特点,以每行的中间数为基准,从小到大重新对三行进行行间排序,得到表 2. 对表 2 进行分析可以,首先用排除法,排除不可能是中值的数. $a1^*$ 、 $a2^*$ 显然不是中值. 因为通过上述的排序规则,可推得,至少有 5 个值大于 $a1^*$ 、 $a2^*$. 同理,可推得 $c2^*$ 、 $c3^*$ 显然也不是中值. 所以,中值的取值范围是 $a3^*$ 、 $b1^*$ 、 $b2^*$ 、 $b3^*$ 、 $c1^*$ 这五个数中. 比较 $b1^*$ 、 $c1^*$,较小数将会小于五个数中的三个,故二者中较大的那个数才有可能中值. 同理可并行比较 $a3^*$ 、 $b3^*$,二者中较小的数才有可能为中值. 最后将 $b1^*$ 和 $c1^*$ 中的较大数, $a3^*$ 和 $b3^*$ 中的较小数,以及 $b1^*$ 做三值排序并取出其中的中间值,即为我们所要求的.

通过下面具体的例子对具体步骤进行说明.

首先对图 2 中最右边的的数据进行行内排序,在以中间表格中底纹区域的数字(每行的中值)进行行间排序. 此时将求中值范围缩小到底纹区域(6, 2, 5, 9, 4). 在对此区域中的数字进行排序,由于 2、5、9 已有顺序,只需将去 2 与 4 的较大值, 6 与 9 的较小值,与 5 进行取中值即可. 表 3 中对几种算法的比较次数、使用周期、使用模块进行了比较,首先,对该算法的运算量进行分析,第一个时钟周期到来时采用并行方式将三行数值进行升序排序,运算量为 9 次. 第二时钟周期,只是各行中值的比较,比较次数为 3. 第三个时钟周期,并行对两个值进行比较,比较次数为 2. 第四个时钟周期,进行排序取中间值,比较次数为 3. 综上所述,这种算法的实现需要 17 次比较,与传统中值滤波算法减少了 19 次比较. 与文献[1]中的算法比较虽然多了 7 次,但实时性要远高于文献[1](注:表 3 中文献[1]参与比较的数据是在理

到相当.同时,节约了芯片内部的宝贵的硬件资源.

4.3 算法仿真结果与分析

本文使用软件平台为 intel i3 CPU 2.4 GHz,内存为 1 GB,Windows7 系统,Matlab7.0 上分别对加入 10%、30%、50%椒盐噪声的 cameraman 图像按照文献 2 进行仿真.硬件平台为 Altera 的 CycloneII 系列的频率为 50 MHz 的 EP2C8Q208C8 芯片对同一幅图像上以文献[3]与本文的算法进行操作.

为了说明本文中在硬件设计的结构上的简化,对图像处理效果上和处理的实时性上没有太大的影响,本文引进了峰值信噪比 PSNR(dB),平均绝对误差(MSE)和处理时间(ms)做客观评价标准^[7],评价标准的定义式如下:

$$MSE = \frac{1}{M \times N} \sum_{i=1}^M \sum_{j=1}^N [f(i, j) - g(i, j)]^2,$$

$$PSNR = 10 \lg \left[\frac{255^2}{MSE} \right],$$

$$MSE = \frac{1}{M \times N} [f(i, j) - g(i, j)]^2.$$

所得数据对比如表 4 所示.

表 4 客观评价对比

滤波方法	评价指标	加入的噪声密度			时间
		10%	30%	50%	
文献[1]	PSNR	26.402 5	24.027 1	21.774 3	20.062 4
	MAE	6.994 0	8.058 3	9.235 2	
文献[3]	PSNR	26.403 7	24.330 2	21.923 1	0.562 0
	MAE	6.897 0	8.049 2	9.210 8	
本文算法	PSNR	26.024 3	24.302 8	21.602 3	0.562 5
	MAE	6.839 0	8.048 4	9.192 0	

注:文献[1]中随着噪声密度增加,处理时间具有不稳定性,表 4 中的时间取三种情况下的平均值.

经过对表 4 和表 3 综合分析,可知硬件的资源的改进没有造成处理时间与理效果的损失.因此可得出本文算法的改进在图像处理系统中的可行性.

5 结束语

本文对原有的快速中值滤波算法进行了改进,结合 FPFA 的并行与流水线的特点,采用了 4 级流水线设计方法,对 3 * 3 滤波窗口只需 17 次比较、4 个时钟周期即可产生第一个中值,提高了中值滤波的速率,而且处理过程的稳定性,可靠性也有所改善.与已有的 FPGA 实现的算法相比较,硬件结构的设计得到进一步简化,节约了内部资源.通过验证,该算法能有效地滤除噪声,较好地满足高实时性要求.

参考文献:

- [1] 鲍华,樊榆波,饶长辉.基于均值查找的快速中值滤波算法[J].四川大学学报:工程科学版,2011,43(3):2.
- [2] 张小峰,刘羽.基于多级查找表的图像快速中值滤波算法[J].计算机工程与应用,2011,47(18):210-211.
- [3] 万海军,何东建,徐尚中.基于 FPGA 的图像中值滤波算硬件实现[J].微计算机信息,2008,24(7):3.
- [4] 仙云森.基于 FPGA 的图像处理算法研究及硬件设计[D].大连:大连理工大学硕士论文,2007.
- [5] Tavse S S, Jadhav P M, Ingle M R. Optimized median filter implementation on FPGA including soft processor [C]//International Journal of Emerging Technology and Advanced Engineering. Hyderabad, India, 2012.
- [6] 潘松,黄继业.EDA 实用教程:Verilog HDL 版[M].北京:科学出版社,2010.
- [7] 武英.一种图像椒盐噪声自适应滤除方法[J].微电子学与计算机,2008,26(1):148-151.

作者简介:

沈学利 男,(1969-),教授.研究方向为计算机网络安全和虚拟仿真等.

王肃国 男,(1987-),硕士研究生.研究方向为嵌入式图像处理.

(上接第 20 页)

作者简介:

韦良芬 女,(1975-),硕士,讲师.研究方向为片上网络、嵌入式.

张佑生 男,(1941-),博士生导师,教授.研究方向为计算机图形学、人工智能应用.

王勇 男,(1979-),博士研究生,副教授.研究方向为分布式计算、容错技术等.