

ETC 车载单元 MAC 控制器的设计与实现

李跃辉, 景为平, 张 威

(南通大学 江苏省专用集成电路设计重点实验室, 江苏 南通 226019)

摘 要: 对 DSRC 协议介质访问控制(MAC)子层进行了研究, 采用 Verilog HDL 语言实现 ETC 车载单元 MAC 子层功能, 并进行仿真和 FPGA 验证. 最后经流片测试, 结果表明设计的 MAC 控制器功能符合 DSRC 协议要求, 为 DSRC 专用芯片的国产化打下坚实的基础.

关键词: 电子收费; 专用短程通信; 介质访问控制; FPGA 验证; Verilog HDL

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2014)02-0046-04

The Design and Implementation of MAC Controller on OBU of ETC System

LI Yue-hui, JING Wei-ping, ZHANG Wei

(Jiangsu Key Laboratory of ASIC Design, Nantong University, Nantong 226019, China)

Abstract: Medium Access Control (MAC) sublayer protocol in Dedicated Short-Range Communication (DSRC) is studied. The function of MAC on On-Board Unit (OBU) in ETC system is implemented with Verilog HDL and verified by FPGA. The chip is taped out and the test result indicates that the function of MAC controller designed in this paper is in accordance with DSRC protocol. It lays a solid foundation for the localization of the dedicated chip in ETC.

Key words: electronic toll collection (ETC); dedicated short-range communication (DSRC); medium access control (MAC); FPGA verification; Verilog HDL

1 引言

电子收费(Electronic Toll Collection, ETC)系统是目前世界上较先进的收费系统, 是智能交通系统(Intelligent Transportation System, ITS)的重要组成部分, 也是物联网在交通领域内的一项具体应用. 近几年, 国内 ETC 的研究和实施取得了一定进展, 但现有的 ETC 系统核心芯片均未国产化, 大都采用进口通用微处理器来实现专用短程通信(Dedicated Short-Range Communication, DSRC)协议, 这样的系统存在成本高、集成度低、速度慢等问题^[1]. 因此, 开发出符合中国标准的 DSRC 专用芯片是 ETC 行业的整体需求^[2].

DSRC 协议规定了 ETC 系统车路通信的技术要求和服务功能. 在 DSRC 协议中, 数据链路层负责提供透明和可靠的数据传输, 介质访问控制(Medium Access Control, MAC)子层在数据传输中负责信息帧的封装和发送以及信息帧的接收和解析, 是数据链路层的基础^[3]. 本文根据 DSRC 协议, 设计一个车载单元(On Board Unit, OBU)MAC 控制器, 采用 Verilog HDL 语言实现 MAC 子层的服务功能.

2 OBU MAC 子层协议

DSRC 协议采用 OSI 参考模型中的三层结构: 物理层、数据链路层和应用层, 各层之间的数据传输

收稿日期: 2013-04-27; **修回日期:** 2013-06-26

基金项目: 国家自然科学基金项目(61201244); 南通市科技计划项目(BK2012022); 南通大学交通专项(10ZJ001); 南通大学自然科学研究项目(10Z075)

以帧形式进行,并由各层协议保证.数据链路层包括 MAC 子层和 LLC(Logic Link Control,逻辑链路控制)子层.

2.1 信息帧格式

信息帧包含前导码、帧起始标志、MAC 地址、MAC 控制域、LPDU(LLC Protocol Data Unit)、帧校验、帧结束标志、后导码几部分^[4].信息帧格式见表 1 和表 2.

表 1 信息帧格式

序号	字段	长度/字节	取值
1	前导码	4	0xFFFF0000 ^[5]
2	帧起始标志	1	0x7E
3	MAC 地址	4	广播地址或 OBU 专用地址
4	MAC 控制域	1	见表 2
5	LPDU	由 LLC 子层提供和解析	
6	帧校验	2	FCS 校验结果
7	帧结束标志	1	0x7E
8	后导码	1	0x00

表 2 MAC 控制域比特位定义

位	标识	含义	取值
7	D/U	方向标识符	1:上行;0:下行
6	L	LPDU 标识	1:存在;0:不存在
5	C/R	命令/响应	1:响应;0:命令
4	Q	广播信息	1:请求;0:不请求 建立专用链路
3—0	保留		

信息帧传输过程中,帧起始标志和帧结束标志之间的信息,采用透明传输.在发送端连续发送五个“1”后应插一个“0”;在接收端进行去透明化,连续收到五个“1”后,去掉第六个比特的“0”.

帧起始标志、帧结束标志、MAC 地址、MAC 控制域和 LPDU 先传送 LSB(最低位有效),而帧校验序列(Frame Check Sequence,FCS)从 MSB(最高位有效)开始传送.

2.2 OBU MAC 子层协议和服务功能

MAC 子层接收物理层 RXD 的信息,检查信息帧的有效性,包括帧起始标志、帧结束标志、透明性传输、帧长度、MAC 地址域和控制域以及帧校验序列等,并从有效信息帧中提取 LPDU 和 MAC 地址域的内容,以 MAC.indication 形式传送给 LLC 子层,见图 1.

MAC 子层以 MAC.request 形式接收 LLC 提供的 LPDU,根据信息帧格式构建一个信息帧,并将

该信息帧传送给物理层 TXD.

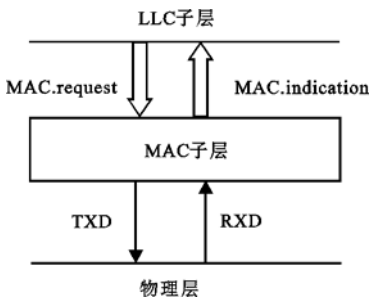


图 1 MAC 子层结构

3 OBU MAC 控制器设计实现

OBUMAC 控制器主要包括 MAC 接收、接收缓冲区、MAC 发送、发送缓冲区、MAC 控制以及时钟管理等几个模块,功能框图如图 2 所示.

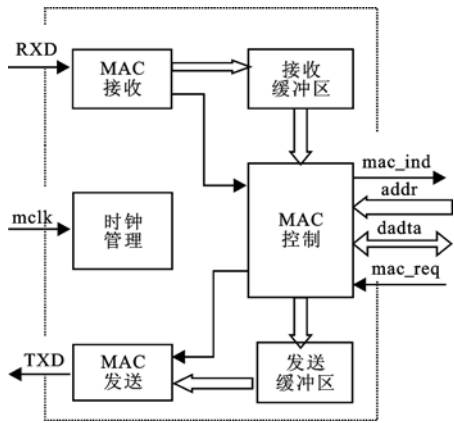


图 2 OBU MAC 控制器功能框图

OBUMAC 控制器主时钟为 8.192 MHz,经过时钟管理模块分频,产生一个 512 kHz 和 1.024 MHz 的时钟供其他模块使用,见表 3. MAC 控制模块用到了上述三个时钟,负责各模块之间接口信号的同步.

表 3 OBU MAC 控制器时钟分配

时钟名称	时钟频率/MHz
主时钟	8.192
MAC 接收模块	0.512
接收缓冲区读操作	8.192
接收缓冲区写操作	0.512
MAC 发送模块	1.024
发送缓冲区读操作	1.024
发送缓冲区写操作	8.192
MAC 控制模块	8.192/1.024/0.512

3.1 帧校验

帧校验序列(Frame Check Sequence, FCS)用于检测数据在发送、传输、接收过程中是否出现错误,只有校验正确才会进行下一步操作^[6]. FCS 的计算范围包括 MAC 地址、MAC 控制域和 LPDU. FCS 符合 GB 7496-1987 定义的 16 比特帧校验序列,生成多项式为 $X^{16} + X^{12} + X^5 + 1$,使用的初始值是 0xFFFF.

在 MAC 接收端,接收到的有效数据位与帧校验码一起参与帧校验运算,运算结果应该为 16'h1D0F,表示之前接收到的数据正确,否则表示之前接收到的数据有误.

在 MAC 发送端,帧校验模块对输出的有效数据位进行计算,并将计算得出的帧校验码取反后随在有效数据之后发送出去.

3.2 MAC 接收

MAC 接收模块从 RXD 输入位数据,根据协议进行信息帧数据解析、校验,并将有效数据写入接收缓冲区,同时生成接收错误(rx_err)、数据长度(rx_len)、接收完成(rx_end)等相应的控制信号提供给 MAC 控制模块. MAC 接收模块的状态机如图 3 所示.

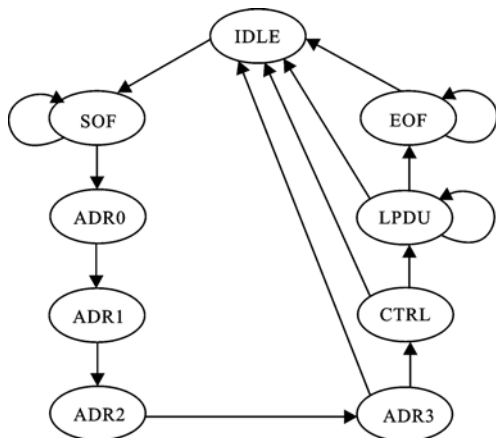


图 3 MAC 接收模块的状态转换图

状态机默认处于 IDLE 状态,当检测到 RXD 上出现前导码以及帧起始标志序列后进入 SOF 状态. 在 SOF 和 EOF 状态之间接收到的数据都进行去透明处理后,状态机每收到 8 位有效数据跳转一次,并将有效数据进行帧校验,同时转换成 8 比特并行数据写入接收缓冲区.

在 SOF、ADR3、CTRL 和 EOF 状态,会检查接收到的数据是否符合表 1 和表 2 的规定,若不符合规定,则表示数据无效,状态机返回 IDLE 状态,停止接收.

在 LPDU 状态,检测到帧结束标志时,判断 FCS 校验结果是否正确,若不正确则丢弃该数据帧,状态机返回 IDLE 状态,停止接收.

3.3 MAC 控制

MAC 控制模块主要用于协调 MAC 接收和 MAC 发送,提供 MAC 子层与 LLC 子层之间的接口并进行同步处理.

当 MAC 接收模块收到一个有效的数据帧接收完成后,mac_ind 信号置“1”,然后 LLC 子层给出地址 addr,读取接收缓冲区中相应的数据. 当 addr 等于数据帧长度 rx_len 时,表示接收缓冲区中的数据已经被全部读取,将 mac_ind 信号置低,表示该操作结束.

当 LLC 子层有发送请求时,将 mac_req 信号置“1”,同时将数据内容及其对应地址分别写到数据总线 data 和地址总线 addr 上. MAC 控制模块将 data 写到发送缓冲区中,同时对写入的数据个数进行计数. 当所有数据都写入后,LLC 子层将 mac_req 信号复位,MAC 控制模块产生一个 tx_req 信号,同时将数据长度写入 tx_len.

3.4 MAC 发送

MAC 发送模块接到 MAC 控制模块的发送请求 tx_req 后,开始按照信息帧格式组织数据,读取发送缓冲区数据,并进行 FCS 校验运算,将 FCS 校验结果一起封装成信息帧,通过 TXD 串行发送出去. 状态转换如图 4 所示.

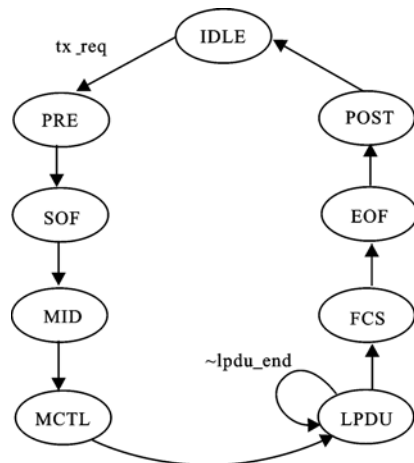


图 4 MAC 发送模块状态转换图

MAC 发送模块在 tx_req 有效后,状态机从 IDLE 进入 PRE 状态,在 PRE 状态给出前导码, SOF 状态给出帧起始标志, MID 状态给出 4 个字节的 OBU 的 MAC 地址, MCTL 状态根据协议规定给出 MAC 控制域, LPDU 状态则每次从发送缓冲区中

读取一个字节的数。当从发送缓冲区中读取的数据个数达到 tx_len 时, lpdu_end 置 1, 表示所有 LPDU 数据都发送完, 状态机进入 FCS 状态, 继续发送帧校验运算的结果 16 比特数据, 然后进入 EOF 状态, 给出帧结束标志, 进入 POST 状态, 发送后导码, 最后发送完成进入 IDLE 状态。

在 SOF 和 EOF 状态之间的所有数据都进行透明处理, 从 MID 状态开始, 将有效数据位送入帧校验模块进行计算, 进入 FCS 状态后, 把帧校验计算结果取反后随在有效数据后发送出去。

4 FPGA 验证

本文采用 verilog HDL 语言实现 OBU MAC 控制器设计代码, 并进行 RTL 级仿真。仿真通过后, 将代码在 QuartusII 软件中进行编译, 并下载到 Altera 公司 DE2 FPGA 开发板上进行验证, 用 SignalTapII 逻辑分析仪观察实际结果。

FPGA 验证平台如图 5 所示, 其中 FPGA 内部的 NiosII 模拟 LLC 子层以及上层应用, 负责与 OBU MAC 进行数据交换, NiosII 与 OBU MAC、FM0 编解码、OBU RF 一起模拟一个实际 OBU 系统, 与 RSU 进行通信。OBU RF 射频收发模块将解调后的数据经 FM0 解码后送给 RXD, OBU MAC 将有效数据帧传给 NiosII, NiosII 返回适当的响应数据给 OBU MAC, OBU MAC 生成数据 TXD 经 FM0 编码后送给 OBU RF 调制并发射出去。

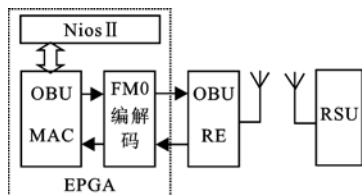


图 5 FPGA 验证平台

在图 6 中可以看出, 在 RXD 上出现帧开始信号后, OBU MAC 接收模块开始工作, 将串行数据转换成并行数据, 并通过 rx_wr、rx_waddr、rx_wdata 接口写入接收缓冲区, 直到出现 rx_end 信号, 表示数据帧接收结束。rx_len 记录了接收到的数据长度, rx_err 为低电平, 表示帧校验结果正确, 数据帧有效。此时 OBU MAC 控制模块立即向上一层 (即 NiosII 应用程序) 发出收到有效数据帧的指示, mac_ind 变高。接着上层应用程序发出读地址 (mac_addr), 读取接收缓冲区中的数据, 直到 mac_addr 等于 rx_len, 表示所有数据都被读取, mac_ind 变低, 整个接收过程结束。

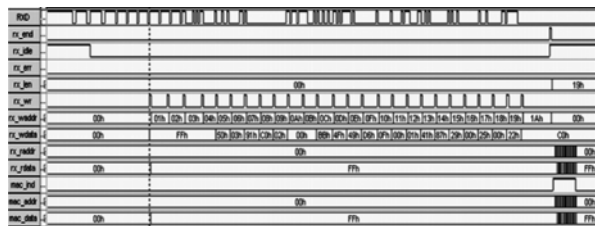


图 6 MAC 接收时序图

当上层应用程序准备好数据后, 将 mac_req 置高, 同时将数据及对应地址放在 mac_data 和 mac_addr 上, 如图 7 所示。MAC 控制模块检测到 mac_req 的变化后, 产生相应的写信号 tx_wr、地址 tx_waddr 和数据 tx_wdata, 并将数据写入发送缓冲区。当 mac_req 变低, 表示所有数据已经写完, 此时 MAC 控制模块记录数据长度 tx_len, 并产生发送请求 tx_req。此时 MAC 发送模块立即开始工作, 根据帧格式要求组织每一个字段数据, 产生前导码、帧开始字段, 然后从发送缓冲区读取数据内容, 并添加帧校验字段, 最后是帧结束, 同时将其转换成串行数据, 通过 TXD 发送出去。最后给出 tx_end 信号, 通知 MAC 控制模块发送过程已经完成。

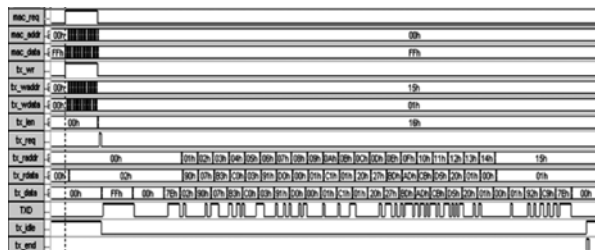


图 7 MAC 发送时序图

FPGA 验证结果表明, 本文所设计的 OBU MAC 模块功能完全符合 DSRC 协议要求。

5 结束语

本文在分析专用短程通信 (DSRC) 协议基础上, 用 Verilog HDL 硬件描述语言实现了 MAC 子层的服务功能, 并且通过了 RTL 仿真和 FPGA 验证。目前, OBU MAC 控制器已经与其它模块一起流片并封装成芯片。经测试表明, 本文设计的 MAC 控制器功能符合 DSRC 协议要求, 为 ETC 芯片国产化打下了坚实的基础。

参考文献:

- [1] 张威, 李跃辉, 景为平. 电子收费系统车载单元 LLC 子层研究[J]. 计算机工程, 2011, 37(8): 246-248.

(下转第 53 页)

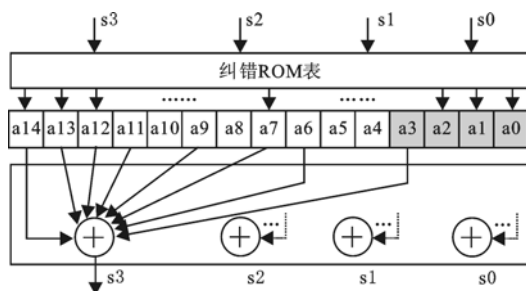


图 3 组合逻辑组成的 BCH(15,11,1)并行解码结构

4 仿真实验结果

对图 3 所示解码结构进行验证,首先使用编码器产生一个 BCH(15, 11, 1)码组 $In[14:0] = 15'b101101101101101$,通过信道传输,假设接收机接收到的码组为 $word[14:0] = 15'b101001101101101$,其中第[11]位发生了误比特。功能仿真结果见图 4。

User:huy@casue-hz6				Date:02/22/2013	Total Time Range: 0-402393	Page 1 of 1
#	Design	Signal	Value	Time: 0-402393 x 1ps (CI : 0REF)		
001	VI	word[14:0]	15'h01001010101101			
001	VI	data[14:0]	15'h00001010101101			
003	VI	drag[3:0]	4'b1110			

图 4 功能仿真结果

将 word 输入并行解码器后,输出校正子为 $dreg[3:0]=4b1110$,表示输入码组存在误比特,经过纠错后解码输出为 $data[14:0]=15'b101101101101101$,与原始码组 $In[14:0]$ 一致,解码和纠错功能正确。

由于该并行解码结构全部由组合逻辑构成,输入待解码码组后,在下一个时钟周期即可得到解码纠错输出。

5 结束语

本文由 BCH(15,11,1)的生成多项式推导出其

监督矩阵和校正子,设计了仅用组合逻辑构成的解码器。仿真结果表明,该解码器能够在一个时钟周期内完成解码,相比北斗 ICD 提供的反馈移位寄存器组成的解码器结构,实现和操作都更简单。更重要的是该解码器与 GPS、GLONASS 卫星导航系统的解码结构一致,简化了多模 GNSS 卫星导航接收机解码器的设计。

参考文献:

- [1] Navstar GPS space segment/navigation user interferences IS-GPS-200 (Revision D) [M]. Navstar GPS Joint Program Office, 2006.
- [2] GLONASS interference control document national radio signal in bands L1, L2 (Edition 5. 1) [M]. Moscow: Russian Institute of Space Device Engineering, 2008.
- [3] 中国卫星导航系统管理办公室. 北斗卫星导航系统空间信号接口控制文件: 1.0 版 [M]. 北京: 中国卫星导航系统管理办公室, 2012.
- [4] 樊昌信, 张甫翊, 徐炳祥, 等. 通信原理 [M]. 5 版. 北京: 国防工业出版社, 2006.
- [5] Calderbank A R. The art of signaling: fifty years of coding theory [J]. IEEE Transactions on Information Theory, 1998, 44(6): 2561-2595.

作者简介：

蔺晓龙 男,(1985—),博士研究生.研究方向为卫星导航接收机信号处理算法.

何文涛 男,(1982—),博士,助理研究员.研究方向为卫星导航接收机信号处理算法及超大规模集成电路设计.

徐建华 男,(1963—),研究员,博士生导师.研究方向为GPS接收机、FPGA平台开发、芯片系统设计.

叶甜春 男,(1965—),研究员,博士生导师.研究方向为集成电路设计与应用、纳米加工制造技术、新型器件.

(上接第 46 页)

- [2] 潘海军,陈佳. 电子不停车收费(ETC)芯片国产化可行性分析[J]. 公路交通科技·应用技术版, 2011, 7(6): 261-264.
- [3] 梁科,李国峰,王锦,等. 一种以太网介质访问控制器芯片的设计与实现[J]. 微电子学与计算机, 2011, 28(6): 1-4.
- [4] 全国智能运输系统标准化技术委员会. GB/T20851-2007, 电子收费专用短程通信[S]. 北京: 中国标准出版社, 2007.

- [5] 交通运输部公路科学研究院. 收费公路联网电子不停车收费技术要求[M]. 北京:人民交通出版社,2011.
- [6] 王时雨,贺占庄,张盛兵. 基于FPGA的以太网MAC控制器的实现[J]. 微电子学与计算机,2012,29(2): 171-175.

作者简介:

李跃辉 男,(1977—),硕士,助理研究员.研究方向为大规模数字集成电路设计、专用短程通信.