

基于负相关思想的异构电路冗余技术研究

施 威¹, 原 亮¹, 解双建¹, 满梦华²

(1 军械工程学院 计算机工程系, 河北 石家庄 050004; 2 军械工程学院 静电与电磁防护研究所, 河北 石家庄 050003)

摘 要: 为提高恶劣环境下电子系统的可靠性, 提出一种基于负相关思想的异构冗余电路集成设计方法. 利用数字电路门级演化方法设计拓扑结构迥异的功能电路, 在遗传算子中增加故障模式的相关性评估因子, 选择输出故障模式差异较大的电路进行冗余集成. 以 2 位乘法器为实验对象, 演化生成多个异构电路用于三模冗余集成. 进而, 利用故障注入实验对比提出的负相关异构冗余与同构冗余、随机异构冗余的容错性能. 发现电路规模相同时, 异构冗余比同构冗余有着更好的容错性能. 负相关异构冗余比随机异构冗余的容错能力更高. 以上结果说明了该方法的有效性和可靠性.

关键词: 遗传算法; 演化硬件; 三模冗余; 故障模拟; 容错电路

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2013)06-0071-04

Research on Selective Redundancy of Evolved Circuits Using Negative Correlation

SHI Wei¹, YUAN Liang¹, XIE Shuang-jian¹, MAN Meng-hua²

(1 Department of Computer Engineering, Ordnance Engineering College, Shijiazhuang 050003, China;

2 Institute of Electrostatic and Electromagnetic Protection, Ordnance Engineering College, Shijiazhuang 050003, China)

Abstract: A new design method of selective redundancy of evolved circuits is proposed, using negative correlation to improve the fault tolerance of redundant circuits. It is a point that we combine the measure of fitness with the simulated fault-injection making the circuits more robustness to the defined fault. Evolution is able to create sets of different circuits that when combined into an ensemble of circuits which the correlation between them is lower. The design method is proof-tested by 2×2 multiplier, though the test of fault-inject, two conclusions are obtained. The first is that the different structures are more reliable the same structures. The second is that different structures using negative correlation have more satisfactory fault tolerance than those which are selected randomly. The above results show that the reliability and validity of the design method.

Key words: genetic algorithm; evolution hardware; triple-module redundancy; fault simulation; fault-tolerant circuits

1 引言

随着电子系统功能的复杂化, 可靠性成为衡量系统性能的一个重要指标. 尤其在高辐射、大温差、强电磁干扰等恶劣环境下, 冗余设计的共因失效问题日益凸显. 据估计, 在核工业中由于共因失效而导致系统失效的情况占 1~20%; 在太空应用以及复

杂电磁环境中也会出现共因失效导致系统崩溃的情况^[1]. 因此传统的静态硬件冗余技术采取的同构三模冗余结构(Triple Module Redundancy, TMR)已经很难满足高可靠性的要求.

演化硬件(Evolvable Hardware, EHW)^[2]的发展为此提供了一种有效的解决途径. 通过演化算法与可重构器件有机的结合, 在不依赖先验知识和人

为干预的情况下,演化生成多个功能相同但结构迥异的电路.这些电路集成的三模冗余结构能够有效的减小电路故障的相关性.文献[3]中提出一种基于遗传算法的异构冗余电路快速构造方法,文献[4]中提出了一种芯片级在线修复能力的强容错三模冗余(TMR)系统结构及设计方法.但以上工作主要考虑电路拓扑结构的相异程度,而没有考虑冗余电路故障模式之间的相关性.

本文将遗传算法和负相关思想相结合,在适应度评估函数中加入改进的故障模型,增大演化个体间的相关度,并从演化结果中选取相关度最小的个体组成三模结构,以此来提升电路的异构度.

2 负相关概念

通过遗传算法(Genetic Algorithm, GA)来解决冗余电路可靠性问题.其主要思想是将可重构电路系统对应编码为二进制字符串,然后通过选择、交叉和变异等遗传操作对字符串群体进行演化,以满足设定的适应度函数^[5].进而,获得对相关错误具有较高鲁棒性的三模冗余系统.为实现演化电路间的高异构度,可以借鉴负相关概念,即对“错误”进行模拟并加入到适应度函数中进行评价,并以子电路间的相关性为依据,选择相互间相关系数小的个体进入下一代,使电路群体在特定故障模式下以减小输出间相关性的趋势演化,从而使电路演化呈现多样性.

一般电路演化的适应度函数只是单纯满足实现电路功能,而此处基于相关概念的适应度函数(记为 F)分为两部分:一是无故障适应度(记为 $F_{\text{fault-free}}$),二是加入模拟故障时适应度(记为 F_{fault}).首先定义在所有可能输入情况下,演化电路的输出字符串为 F_{out} ,例如:一个3输入3输出的电路,其输出值的串长度就有 $3 \times 2^3 = 24$ 位.定义 F_{correct} 对应目标电路所实现的输出二进制功能.假如 F_{out} 同 F_{correct} 一致,则表明该电路演化成功.

(1)对于 $F_{\text{fault-free}}$,将演化过程中的个体输出 F_{out} 同 F_{correct} 这两个二进制串相比较,对应每一位两者相同就置‘0’,反之则置‘1’,由此得到的新二进制串即是 $F_{\text{fault-free}}$.可以看出 $F_{\text{fault-free}}$ 中1的个数能对电路功能进行直接的评价,当 $F_{\text{fault-free}}$ 每一位全为0表明电路功能实现.

(2)对于 F_{fault} ,因在实际环境中故障发生以及故障类型都是不可预测的^[6],所以用故障概率来模拟其发生.以电路中某个节点的输出恒为“0”(stuck-at-zero)或者恒为“1”(stuck-at-one)来

代表两种故障类型.通过逆序遍历法找出节点阵列中的活动节点(即对输出产生影响的节点),在每一个活动节点上注入两种故障,每注入一次故障,输出 F_{out} 同 F_{correct} 比较一次;在二进制串的错误位置‘1’,得到的新二进制串记为 F_{k-j} ,其中 k 为0或1,表示节点注入的故障模型, j 代表电路中的节点号($1 \leq j \leq n$, n 为电路中活动节点数).因此,一个具有 n 个活动节点的电路需要进行 $2n$ 次故障模拟测试.计算方法如式(1)所示:

$$F_{\text{fault}} = \frac{F_{0-1} + F_{1-1} + F_{0-2} + F_{1-2} + \dots + F_{k-j} + \dots + F_{0-n} + F_{1-n}}{2 \times m}, \quad (1)$$

$k \in (0, 1), 1 \leq j \leq n$

为进一步模拟电路节点越多则其受故障干扰的几率越大这一情况,此处 m 为电路阵列的总节点数.可以看出当节点增加时,分子部分随之增大.因此 F_{fault} 可以衡量电路中活动节点在单个随机故障干扰下造成输出二进制串中特定位置错误的概率.

(3)相对于演化电路功能的实现,本文更加关注演化结果在两种错误模型下个体之间的相关性.因此适应度作为衡量演化过程中各个个体能够达到或者接近于最优解的程度^[7].必须在满足实现电路功能的基础上,尽可能增大演化电路间的异构度.前文已经提到的 $F_{\text{fault-free}}$ 是评价电路功能实现的标准,而 F_{fault} 也是评价电路间相关性的依据,两者的结合便构成负相关思想的适应度函数:

$$F = F_{\text{fault-free}} + F_{\text{fault}}$$

前文定义 $F_{\text{fault-free}}$ 中的某些输出错误位置‘1’,所以 F 中对应位的值大于1.不同于 F_{fault} ,它不是在不同故障模式下输出位错误的概率,只能看成是电路在故障模式下对输出错误情况具有表征作用的向量.因此两个电路相关性便由它们 F 向量的数量积来衡量,数量积大的则表明两个电路间相关密切.

3 三模冗余结构实现方法

3.1 三模容错技术

传统的三模冗余系统是由三个相同的功能模块(M_1, M_2, M_3)以及表决器 V 组成,如图1所示.

具有相同输入的3个完全相同模块的输出接至1个表决器,表决器将多数表决结果作为系统的输出.只要其中2个模块正常工作,TMR系统便能够输出正确结果^[8].但假如其中两个模块错误时,系统则出现错误.因此本文试图寻求一种途径,使冗余结构尽可能在两个模块同时发生错误时保持系统的

3.2.2 实验结果与分析

为验证异构冗余电路相比同构冗余电路具有更好的容错能力,同时说明借鉴的负相关概念在异构电路冗余集成时能进一步优化系统容错能力,本文进行了两组对比实验.

(1) 异构电路与同构电路冗余集成比较

首先在演化出的 10 个备选子电路中抽取活动节点数不同的 3、4 和 7 各自集成三模冗余系统,分别为 3-3-3, 4-4-4 和 7-7-7;其次通过随机选择再组成 3 组异构冗余电路,分别为 0-3-8, 1-4-6 和 2-5-9. 对这 6 组冗余电路进行错误模拟实验,所采用的仍是恒“0”(stuck-at-zero)和恒“1”(stuck-at-one)两种典型故障模型. 同文献[3]中采用的单点故障模拟不同,此处故障发生形式采用并行、随机的方式,即每组电路中所有活动节点都以一定的概率 p 模拟设定故障,这一故障模拟方式更能表现故障发生的随机性、独立性. 由于电子器件自然失效的概率在 10^{-6} 量级,所以假设出错概率 p 分别为 0.01%, 0.1%, 0.5%, 1%. 故障模拟在每一节点同步遍历 10^{10} 次,统计每组冗余电路出错的数目^[11]. 实验结果如表 3 所示.

表 3 同、异构冗余电路容错性能比较

冗余电路	故障数			
	($p=0.01\%$)	($p=0.1\%$)	($p=0.5\%$)	($p=1\%$)
3-3-3	96	6 148	8 635	17 306
4-4-4	118	6 562	9 054	18 054
7-7-7	106	6 389	8 451	17 452
0-3-8	75	4 765	6 886	14 463
1-4-6	88	5 096	7 263	15 580
2-5-9	89	5 864	7 458	15 426

(2) 负相关选择集成的冗余电路容错评价

根据表 2 中各子电路间的相关性分析可知,电路 3 和 7 之间的相关数最小,因此选取这两个子电路进行集成. 而冗余的第三个电路此处选择与电路 3 和 7 相关数都相对来说比较小的电路 6,于是选择个体间相关性较小的冗余电路为:3-6-7.

通过随机选择得到两组子电路互不相同的异构冗余电路,分别为 0-4-8, 4-5-9. 实验所采用的故障类型和形式同(1)中一样,统计每组电路出错的数目. 实验结果如表 4 所示.

表 4 负相关冗余集成的电路容错性能比较

冗余电路	故障数			
	($p=0.01\%$)	($p=0.1\%$)	($p=0.5\%$)	($p=1\%$)
3-6-7	56	4 152	6 032	13 875
0-4-8	79	4 865	6 945	15 204
4-5-9	85	5 291	7 156	15 786

从以上实验结果可以得到如下结论:

(1) 在相当的电路规模时,异构冗余结构比同构冗余结构有着更好的容错性能. 从表 3 可以看出,3 组异构电路的容错性能都比同构电路高,尤其是电路 0-3-8 比电路 4-4-4 提高了 30% 的容错能力. 这也证实了采用异构电路的冗余来提高电路容错性能这个方法的可行性和实用性.

(2) 本文采用的负相关冗余电路集成方法能够对异构子电路在特定故障模式下的容错能力给予一定的评价,进而以此为依据选择出容错性能较佳的冗余电路. 从表 4 可以看出,由负相关概念集成的冗余电路 3-6-7 比其他随机组合的异构冗余电路具有更好的容错性能,例如电路 3-6-7 比电路 4-5-9 提升了 25% 的容错能力. 因此本文介绍的负相关概念可以有效地指导电路的冗余集成,在随机异构电路容错的基础上进一步提高系统的容错性能.

4 结束语

本文借鉴负相关思想提出了一种冗余电路集成设计方法,选择输出故障模式差异较大的异构电路进行冗余集成. 进而,利用故障注入的实验方法证明了本方法的有效性和可靠性. 主要结论如下:(1) 电路规模相同时,异构冗余结构比同构冗余结构有着更好的容错性能;(2) 基于负电路冗余设计比随机异构冗余电路的容错能力更高. 本文仅就门级电路演化为基础,目标电路规模较小. 下一步拟借助函数级的电路演化技术,探索本方法在大规模数字电路设计领域的应用前景.

参考文献:

- [1] Seyyed Mahdavi S J, Mohammadi K. Reliability enhancement of digital combinational circuits based on evolutionary approach[J]. Microelectronics Reliability, 2010, 50(3): 415-423.
- [2] 刘尚合, 原亮, 褚杰. 电磁仿生学——电磁防护研究的新领域[J]. 自然, 2008, 31(1): 1-7.
- [3] 林勇, 罗文坚, 王煦法. 硬件电路的选择性进化冗余[J]. 中国科学技术大学学报, 2006, 36(5): 523-529.
- [4] 姚睿, 王友仁, 于盛林, 等. 具有在线修复能力的强容错三模冗余系统设计及实验研究[J]. 电子学报, 2010, 38(1): 177-183.
- [5] 梁后军. 电路进化设计算法研究[D]. 合肥: 中国科学技术大学, 2009.

(下转第 79 页)

文献[4]的 58.8%,矩形填充的时间仅为文献[4]的 69.1%,对比表明,本设计在占用较少的 FPGA 资源的基础上,极大地提高了绘制二维图形的效率.

表 2 时间对比

	Draw Line (480 pixels)	Fill rectangle (640 * 480 pixels)
This design	51 492.5 ns	13 841 154.5 ns
References[4] design	87 587.5 ns	20 043 587.5 ns (20 ms)
This design/ References[4] design	58.8%	69.1%

5 结束语

本设计在研究了扫描算法的基础上使用硬件程序实现了二维基本图形的绘制,并且做了 ROP2 操作,以便日后优化设计,使这些简单的图形经过一定的 ROP2 形成丰富多彩的 2D 显示效果.设计采用典型的 Top-Down 设计方法,对电路进行了模块划分和详细设计,使用 Verilog 硬件语言描述设计,并对设计电路进行了功能验证和逻辑综合及 FPGA 验证.综合及验证结果表明设计电路的正确性,且工作频率可以达到 205 MHz.除此之外,本设计还采用 SystemVerilog 搭建的测试平台对 2D 图形加速器的总体电路进行了功能对比,输出结果完全一致.

参考文献:

[1] 袁扬智,韦明,曾献军. 2D 图像硬件加速引擎的设计优化[J]. 微电子学与计算机,2009,26(4):241-248.

[2] 高齐,熊庭刚,秦信刚. 二维图形加速技术与 FPGA 实现[J]. 计算机与数字工程,2011,39(4): 142-145.

[3] 刘勇奎,周晓敏. 逐点生成参数曲线的双步算法[J]. 计算机辅助设计与图形学学报,2000,14(7):619-623.

[4] 任继成,刘慎权. 区域填充扫描线算法的改进[J]. 计算机辅助设计与图形学学报,1998,10(6):481-486.

[5] 张玉芳,刘君,彭燕. 一种改进的扫描线多边形填充算法[J]. 计算机科学,2005,32(6):164-166.

[6] Windows Microsoft. Binary raster oiperations[EB/OL]. [2010-8-15]. [http://msdn.microsoft.com/en-us/library/windows/desktop/dd183369\(v=vs.85\).aspx](http://msdn.microsoft.com/en-us/library/windows/desktop/dd183369(v=vs.85).aspx).

[7] Francis S Hill Jr, Stephen M Kelley. 计算机图形学(OpenGL 版)[M]. 3 版. 胡事民,刘利刚,刘永进,等译. 北京,清华大学出版社,2009.

作者简介:

刘鑫女,(1988-),硕士研究生.研究方向为专用集成电路设计与系统集成.

蒋林男,(1970-),教授,硕士生导师.研究方向为专用集成电路设计.

(上接第 74 页)

[6] Edward Stott,Pete Sedcole,Peter Y K. Fault tolerant methods for reliability In FPGAs[C]//FPL 2008. London; Electrical and Electronic Engineering Imperial College, 2008:415-420.

[7] Brenda Lin,Mai Irie. Evolvable Hardware[R]. CRAB Lab:CIT595 Research Project, 2008.

[8] 刘文冰,刘尚合,原亮. 用于静电放电 EMP 实验的三模冗余技术[J]. 机械工程学院学报,2006,18(4):29-31.

[9] 满梦华,褚杰,施威,等. 嵌入式数字电路故障自修复技术研究[J]. 河北科技大学学报,2011(32):142-144.

[10] Miller, Julian F. Cartesian genetic programming[M]. Natural Computing Series, New York: Springer, 2011.

[11] 林勇,罗文坚,王煦法. 基于遗传算法的异构硬件电路冗余系统构造方法[J]. 电路与系统学报,2009,14(3): 61-65.

作者简介:

施威男,(1988-),硕士研究生.研究方向为智能检测与故障诊断.

原亮男,(1977-),教授.研究方向为智能检测与故障诊断、电磁防护仿生技术.

解双建男,(1986-),硕士研究生.研究方向为嵌入式系统设计.

满梦华男,(1984-),博士研究生.研究方向为电磁防护理论与技术.