

基于 TAM 分组策略的 SoC 测试多目标优化设计

谈恩民, 李清清

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 在片上系统芯片(System-on-Chip, SoC)测试优化技术的研究中, 测试时间和测试功耗是相互影响相互制约的两个因素. 在基于测试访问机制(Test Access Mechanism, TAM)分组策略的基础上, 以测试时间和测试功耗为目标建立了联合优化模型, 运用多目标遗传算法对模型进行求解. 以 ITC'02 标准电路中的 p93791 电路为实例进行验证, 表明此方法能够在测试时间和测试功耗的优化上获得较理想的解, 且能提高 TAM 通道的利用率.

关键词: SoC 测试; 测试时间; 测试功耗; 测试访问机制; 多目标遗传算法

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2013)10-0069-04

Optimization of SoC Test Multiple Objects Based on TAM Grouping Strategy

TAN En-min, LI Qing-qing

(College of Electronics Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: In the study of System-on-Chip (SoC) test optimization technology, test time and test power were mutual influence and restrict to each other. Based on TAM grouping strategy, this paper constructed the combined optimization model for test time and test power, applied multi-objective genetic algorithm to deal with the combined optimization model, and adopted ITC'02 Benchmark circuit p93791 to verify the algorithm. The results show that it can obtain ideal solutions on optimization of test time and test power, and improve the utilization of TAM.

Key words: SoC test; test time; test power; TAM; multi-objective genetic algorithm

1 引言

目前对于 SoC 测试优化技术研究, 国内外很多学者多集中于测试时间^[1]或测试功耗单一因素的优化上^[2]. 部分对于 SoC 测试时间, 测试功耗的协同优化研究, 也是在将测试功耗作为约束条件下, 考察测试时间的优化问题^[3-4]. 文献[5]中, 虽研究的是测试时间和测试功耗的多目标优化, 但文中设定芯片上各芯核(Intellectual Property, IP) TAM 宽度都相同, 而各 IP 核所需的 TAM 宽度却并不都相同, 因而造成资源的浪费及通道利用率的降低. 文献[1, 6]中, 虽建立了 TAM 分组机制, 但仅测试时间为单一优化目标, 并没有考虑对测试功耗的优化. 本文在 TAM 分组策略的基础上, 建立了测试时间和

测试功耗的多目标优化模型, 研究了多目标遗传算法实现过程, 并将多目标遗传算法^[7]应用到 SoC 的测试优化模型中, 最后采用 ITC'02 Benchmark 中的 p93791 电路进行了算法验证, 并给出优化结果.

2 SoC 测试优化问题描述

在综合文献[5-6]中 SoC 测试优化模型的优点, 并改进模型中的不足之后, 本文建立了基于 IP 核的 SoC 测试优化模型: 对于给定的 SoC, IP 核数为 N , TAM 测试总线分组数为 B . 本文主要是在对 TAM 通道进行分组的基础上, 以测试时间和测试功耗两者为目标同时进行优化.

一般而言, TAM 宽度越大, 核的测试时间就越多. 但当 TAM 宽度增加到大于某 IP 核的扫描链条

收稿日期: 2012-11-30; 修回日期: 2013-01-28

基金项目: 国家自然科学基金(60861003)

数时,测试时间几乎不再减少,多余的 TAM 通道并不能得到充分的应用,反而导致测试结构的硬件开销的增大. 本文的 TAM 分组策略设计如下:

(1) 对于任意一个给定的 TAM: 测试总线总宽度 W , 将总的 TAM 宽度分为 B 组, 产生一组个数为 B , 和为 W 的 TAM 子宽度 $w_i (1 \leq i \leq B)$, 并将 w_i 分配到各 IP 核上.

(2) 产生一组新的 w_i 值: 随机选取原 w_i 中的一个元素及与其相邻的元素, 在保证这两元素之和不变, 且两元素的值与原来的值不相同的情况下, 随机产生其中一个元素的值, 另一个元素的值为两者的和与已随机产生的那个元素之差.

(3) 约束条件: w_i (不能取 0) 最小值取 1, 最大值不超过所测芯片中 IP 核的最大扫描链数 $SC_{\max}$. W 的最大取值不超过 $SC_{\max}$ 与 $B-1$ 之和.

测试时间和测试功耗两者求解的目标函数如下文所示.

(1) 最小化 SoC 的总测试时间. 对于包含 N 个 IP 核的 SoC 芯片来说, 所有 IP 核并行测试会降低 SoC 总测试时间, 但是会增大 SoC 的瞬时测试功耗. 因而, 对 SoC 中的 IP 核采用并串相结合的方式进行测试, 即同一组的 IP 核并行测试, 不同组 IP 核串行测试. 总测试时间目标函数表达式为

$$Ft = \text{Min} \left\{ \sum_{j=1}^k \text{Max} \{ T_{j1}, \dots, T_{ji}, \dots, T_{jk} \} \right\} \quad (1)$$

式中, k 为 IP 核分组数, n_k 为每一组 IP 核的个数, $T_{ji} (1 \leq i \leq n_k)$ 为第 $j (1 \leq j \leq k)$ 组第 i 个 IP 核的测试时间.

(2) 最小化 SoC 测试的瞬时最大功耗. 在 CMOS 数字电路中, 动态功耗是最主要的功耗, 因此本文主要考虑动态功耗. 在 IP 核的并串测试过程中, 瞬时的 SoC 总测试功耗表达式为:

$$Fp = \text{Min} \left\{ \text{Max} \left\{ \sum_{i=1}^{n_k} P_{ji} \right\} \right\} \quad (2)$$

式中: n_k 与上相同, $P_{ji} (1 \leq j \leq k, 1 \leq i \leq n_k)$ 为 SoC 中第 j 组第 i 个 IP 核测试时的所产生的功耗.

3 多目标遗传算法

3.1 算法设计

3.1.1 染色体编码

本文采用整数编码的方式, 各染色体的长度为 N , 编码取值为 1 到 N 之间的任意整数, 单个染色体编码数值相同的 IP 核为同一组. 以 IP 核数为 5 的 SoC 芯片为例, 其编码如图 1 所示.

核	1	2	3	4	5
编码	1	2	1	3	2

图 1 染色体编码示意图

图中编码为 12132, 其所表达意思为, 5 个 IP 核分成三组进行测试, 核 1 和核 3 为一组, 核 2 和核 5 为一组, 核 4 为一组, 同一组的 IP 核并行测试, 不同组 IP 核串行测试, 且测试顺序不做要求. SoC 中对 IP 核的分组就是通过染色体编码来实现的.

3.1.2 个体目标函数值的计算

根据每条染色体的编码, 提取出 IP 核分组的组数 k , 每一组的 IP 核成员及每一组 IP 核的个数 n_k 的信息.

功耗值的计算步骤如下:

(1) 各组 IP 核功耗值计算: 将同一组中所有 IP 核测试功耗求和.

(2) 芯片瞬时最大功耗值的计算: 比较各组 IP 核功耗值, 取最大的一个, 即如式(2)所示.

功耗值计算部分程序:

```
for(i=0; i<count; i++) //count 相同则同组
{
    for(j=0; j<Dim; j++)
    {
        if(table[part_num_value[i]-1][j] != 0)
        {
            power[i] += core_group[table[part_num_value[i]-1][j]-1].power;
        }
    }
    if(max < power[i]) //找出最大的瞬时功耗值
    {
        max = power[i];
    }
}
```

总测试时间的计算步骤如下:

(1) 根据约束条件随机初始化 w_i 的值;

(2) 将 w_i 随机分配到各 IP 核上;

(3) 计算各组 IP 核测试时间: 比较同一组中所有 IP 核的测试时间, 取最大的一个, 即 $\text{Max} \{ T_{j1}, \dots, T_{ji}, \dots, T_{jk} \}$. 这里 j 、 i 和 n_k 与前文表达的意思相同.

(4) 计算芯片总测试时间: 将各组 IP 核测试时间求和, 即按式(1)计算.

(5) 判断 w_i 分配到各 IP 核的循环是否结束. 若未结束则在原来的分配方案中随机选取两个元素, 改变这两元素的值, 且与原来的值不相同, 并返回到步骤(2). 若循环结束, 比较在这一组 w_i 值下各种 IP 核分配方案下的测试时间, 取最小的一个作为此种 IP 分配方案下的芯片总测试时间. 并判断产生新 w_i 值的循环是否结束, 若未结束则按前面分组策略设计中(2)的方法产生一组新的 w_i 值, 并返回到步骤(1). 若结束则比较在不同组 w_i 下的芯片总测试

时间,取最小的一个作为被测芯片的测试时间。

3.1.3 非支配排序

非支配排序就是按照非支配个体的标记顺序进行排序.将种群中第一层非支配个体标记为 1,并移去这些个体;在余下的个体中寻找出一层非支配个体并将其标记为 2,依此方法将所有的非支配个体都标记。

3.1.4 拥挤距离计算

设第一个和最后一个个体拥挤距离为无限大,其中第 i 个体拥挤距离等于第 $i+1$ 和第 $i-1$ 个个体的所有目标函数之差的和.对于第 2 及第 $m-1$ 个体之间的拥挤距离计算公式如下:

$$I[i].dis += \frac{f[i+1] - f[i-1]}{f[m-1] - f[0]} \tag{3}$$

式中, $I[i].dis$ 表示第 i 个体的拥挤距离, $f[i]$ 表示求第 i 个体的目标函数值, m 为同一层非支配个体数目.在对目标函数进行升序排列之后, $f[m-1]$ 和 $f[0]$ 分别表示目标函数的最大值和最小值。

3.1.5 交叉操作

在两个父代个体中随机选择交叉点及交叉片段长度进行互换相应基因片段。

3.1.6 变异操作

在经过交叉后的种群中随机选择一个个体,随机产生一个变异点的位置,互换相应位置上的基因。

3.1.7 选择操作

优先选择非支配排序号小的个体,对于非支配序号相同的个体,优先选择拥挤距离较大的个体,以保证解的均匀分布。

3.1.8 精英保留策略

精英保留策略即是 将父代种群中的优良个体直接复制到子代中去.这种精英保留策略的优点是可以将优良的个体保存下来。

3.2 算法的主要流程

算法的主要流程如图 2 所示。

4 算法验证及数据分析

算法验证环境:在 Microsoft Visual C++ 6.0 的平台上编写算法程序,以国际标准 SoC 电路 ITC'02 SoC Test Benchmark 中的 p93791 为验证对象. p93791 包含 32 个 IP 核,是标准电路中规模最大,最复杂的电路,因此它对基于 IP 核设计的 SoC 电路的测试具有较强的代表性。

多目标遗传算法参数设置情况如下:种群数为 200,遗传代数 为 50,交叉概率为 0.8,变异概率为

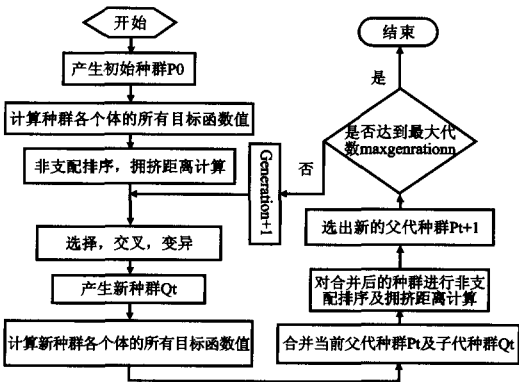


图 2 多目标遗传算法的流程

0.1. p93791 的各核测试功耗值采用参考文献[5]中的数据。

表 1 和表 2 分别是 TAM 分组数 $B=2, B=3$ 时,用多目标遗传算法优化得到的结果.表 3 是参考文献[1,6]中的方法在 p93791 $B=3$ 时的结果.表 1,表 2 和表 3 中, W 表示总的 TAM 宽度,表 1 中 w_1 和 w_2 表示和为 W 的各子 TAM 宽度,表 2 和表 3 中 w_1, w_2 和 w_3 表示和为 W 的各子 TAM 宽度.表 3 中, ILP(Integer Linear Programming)是整数线性规划算法, SA(Simulate Anneal)是模拟退火算法。

表 1 p93791 在 $B=2$ 时的实验结果

W	$w_1 + w_2$	测试时间/ μs	测试功耗/mW
16	15+1	683 262	14 426
24	3+21	496 508	14 994
32	14+18	406 306	14 426
40	33+7	339 601	14 426
47	21+26	223 956	14 994

本文中设定芯片最大瞬时功耗为 18 750 mW,由表 1 和表 2 可以看出,通过优化得到的测试功耗都没有超出最大功耗,是可以采用的解.将表 1 与表 2 进行比较发现,在相同的 TAM 总宽度下,表 1 中测试时间都比表 2 中的小,减少幅度在 W 最大时为 41.8%,在 $W=32$ 时的减少幅度为 0.4%。

表 2 p93791 在 $B=3$ 时的实验结果

W	$w_1 + w_2 + w_3$	测试时间/ μs	测试功耗/mW
16	7+4+5	803 320	14 994
24	15+5+4	692 561	9 977
32	1+15+16	408 038	14 994
40	20+15+5	373 214	14 994
48	20+11+17	385 088	14 994

由表 3 与表 2 中的数据,可见在相同 TAM 总

宽度下,表 2 中测试时间显然比表 3 中各算法的测试时间小。两表中最大的 W 时,表 2 中的 $W=48$ 比表 3 中的 $W=64$ 小,但表 2 中的测试时间比表 3 中的小,具体数值如下:与 SA 算法相比测试时间数值减少了 $67\,817\,\mu\text{s}$,幅度减少近 14.97% ;与 ILP 算相比值减少了 $79\,740\,\mu\text{s}$,幅度减少近 17.32% ;与启发式算法相比数值减少了 $79\,740\,\mu\text{s}$,幅度减少近 18.76% 。

表 3 文献[1,6]中 p93791 在 $B=3$ 时实验结果

W	$w_1+w_2+w_3$	测试时间/ μs		
		ILP 算法	SA 算法	启发式算法
16	3+5+8	1 771 720	1 764 006	1 786 200
24	8+9+7	1 187 990	1 184 907	1 209 420
32	23+4+5	887 751	884 980	887 751
40	23+5+12	698 583	713 039	741 965
48	15+10+23	599 373	594 579	599 373
56	10+23+23	514 688	513 540	514 688
64	46+9+9	460 328	452 875	473 997

5 结束语

本文在 TAM 分组策略的基础上,建立了以测试时间和测试功耗两者为目标的优化模型,通过染色体编码实现对 IP 核的分组,采用并串相结合的测试机制,选用 ITC'02 SoC Test Benchmark 中代表性较强的 p93791 作为验证对象,应用多目标遗传算法进行了求解。从数据分析可知,通过对 TAM 通道进行适当的分组,不仅可以提高 TAM 通道利用率,减少测试总线的数量,也有利于对测试时间的优化。

且本文所建立的优化模型,对测试时间与测试功耗优化具有较好的效果。

参考文献:

- [1] Iyengar V, Chakabartyk, Marinissen E J. Test wrapper and test access mechanism cooptimization for system on chip [J]. Journal of Electronic Testing: Theory and Applications, 2002(18):213-230.
- [2] Samii S, Larsson E, Chakrabarty K. Cycle—accurate test power modeling and its application to SoC test scheduling[C]//Pro of International Test Conference. Santa Clara, California, IEEE, 2006.
- [3] Harmanani H M, Salamy H A. Power—constrained system on a chip test scheduling using a genetic algorithm[J]. Journal of Circuits, Systems, and Computers, 2006, 15(3): 331-349.
- [4] 汪滢,许东宁. SOC 测试时间与测试功耗协同优化[J]. 微计算机信息, 2009,25(11-2): 27-29.
- [5] 谈恩民,王鹏. 基于 NSGA—II 算法的 SOC 测试多目标优化研究[J]. 电子测量与仪器学报, 2011,25(3): 226-231.
- [6] 王艳梅. 基于数字 IP 核的 SOC 测试结构研究[D]. 桂林:桂林电子科技大学, 2003.
- [7] 崔逊学. 多目标进化算法及其应用[M]. 北京:国防工业出版社, 2008.

作者简介:

谈恩民 男,(1966-),教授. 研究方向为计算机辅助测试和集成电路可测试性设计。

李清清 女,(1987-),硕士研究生. 研究方向为计算机辅助测试和集成电路可测试性设计。

(上接第 68 页)

参考文献:

- [1] 颜焯. 在力感应触摸屏上手写签名系统的设计[D]. 北京:北京邮电大学, 2011.
- [2] 陈江江. 多点触摸交互技术硬件系统分析、优化与应用[D]. 上海:上海大学, 2009.
- [3] Han Jerfferson Y. Low cost multi-touch sensing through frustrated total internal reflection[C]//UIST2005. USA, Stanford: ACM press, 2005:115-118.
- [4] Zheng Wei, Wei Liu, Qing He, et al. The design of infrared touch screen based on MCU[C]// ICIA 2011. China, Shenzhen, 2011.
- [5] 李建福. 红外图像中人体目标检测、跟踪及其行为识别研究[D]. 重庆:重庆大学, 2010.
- [6] 胡斌,宫宁生. 一种改进的 Otsu 阈值分割算法[J]. 微电子学与计算机, 2009,26(12):153-155.
- [7] 伏玉琛,周洞汝. 计算机图形学[M]. 武汉:华中科技大学出版社, 2003:82.

作者简介:

赵红毅 男,(1975-),硕士,讲师. 研究方向为嵌入式系统及计算机图像处理。