

基于 FPGA 的全数字 Costas 环的设计与实现

苏 洲¹, 冯全源¹, 俞卫中²

(1 西南交通大学 信息科学与技术学院, 四川 成都 610031; 2 泰格微波技术股份有限公司, 四川 成都 611731)

摘 要: 对基于现场可编程门阵列(FPGA)的全数字 Costas 环的设计方法进行了研究. 首先, 基于锁相环的模型, 研究了数字 Costas 环的结构和性能, 详尽的分析了数字 Costas 环的原理. 然后, 对数字 Costas 环的所有参数公式进行了准确细致的推导, 对某些重要参数公式进行了修正, 以提高所设计的数字 Costas 环的性能. 最后, 采用 Verilog HDL 硬件描述语言, 在 Xilinx FPGA 上开发了数字 Costas 环的各个模块, 并综合成一个完整的 Costas 环. 结合一个实际案例给出了实现后的数字 Costas 环的寄存器传输逻辑(RTL)原理图和仿真结果. 仿真数据证明按照该设计方法和修正后的参数公式可以设计出实用的、性能十分优良的全数字 Costas 环.

关键词: 数字 Costas 环; 现场可编程门阵列; 载波同步; 同频同相; 环路滤波

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2013)07-0072-06

Design and Implementation of Digital Costas Loop Based on FPGA

SU Zhou¹, FENG Quan-yuan¹, YU Wei-zhong²

(1 School of Information Science and Technology, Southwest Jiaotong University, Chengdu 610031, China;

2 Tiger Microwave Technology Co., Ltd., Chengdu 611731, China)

Abstract: Design methods of the digital costas loop based on field programmable gate array (FPGA) was studied. First, the structure and performance of the digital costas loop based on the model of phase-locked loop was studied and a detailed analysis of the digital costas loop was presented. Then, all parameter formulas were derived accurately and some important formulas were modified in order to improve the performance of digital costas loop. Finally, each module of the costas loop was developed by Verilog HDL on a Xilinx FPGA, and all function blocks were assembled into a complete costas loop. Combined with an actual case, the register transfer logic (RTL) schematic of the digital costas loop which has been implemented on FPGA is displayed, and the simulation results are shown. The simulation data shows that the digital costas loop with practical and excellent performance can be achieved according to the design method and formulas presented by this paper.

Key words: digital costas loop; field programmable gate arrays; carrier synchronization; same frequency and phase; loop filtering

1 引言

同步是一个极其重要的研究课题. 载波同步是同步的一个重要分支, 是在接收机中产生一个和接收信号的载波同频同相的本地信号, 提供给解调器用于相干解调. 因此, 提取参考载波信号的质量在很

大程度上决定了相干解调系统的解调性能.

对于 BPSK 这类没有离散载频分量的接收信号, 可以采用导频法或者直接法来进行载波同步. 虽然导频法具有较好的性能, 但却会占用额外的码字、频率和功率等资源, 降低了传输效率. 所以, 直接法提取载波的性能一直被国内外研究者广泛的关注.

收稿日期: 2012-10-10; **修回日期:** 2012-11-02

基金项目: 国家自然科学基金重大项目(60990320, 60990323); 国家“八六三”计划重大项目(2012AA012305); 国家自然科学基金面上项目(61271090); 四川省科技支撑计划项目(2012GZ0101); 成都市科技计划项目(12DXYB347JH-002)

直接载波同步电路有多种,如:Costas 环、平方环、通用载波恢复环和判决反馈环等。Costas 在 1956 年首先提出采用 Costas 环来恢复载波信号^[1]。Riter 已经证明^[2],跟踪低信噪比的抑制载波信号的最佳装置是 Costas 环和平方环。由于平方环需要对接收信号进行平方运算,导致频率倍增,使其后面的锁相环工作频率加倍,实现的难度增大。工作在载波频率的 Costas 环更具有优势,Costas 环自身具有一定频率偏移的抑制能力^[3],并且,Costas 环能同时实现载波同步和相干解调功能。

Costas 环是一种闭环自动调整系统。为了得到较好的性能,要求 Costas 环的同相和正交支路的低通滤波器的性能完全相同,这在模拟电路中很难实现,然而采用数字滤波器则很容易办到。并且,模拟 Costas 环电路中还存在不可避免的零点漂移,调试困难等缺点,而用全数字方式实现 Costas 环就可以有效地解决上述问题^[4-5]。

FPGA 具有极强的实时性和并行处理能力,使其成为数字通信领域和数字信号处理的首选方式之一。但在研究中发现,具体使用 FPGA 进行设计实现时,环路参数的实际值和理论分析值有较大的差距。本文将对数字 Costas 环电路的重要参数进行详细推导分析,并结合一个具体案例给出已实现了的全数字 Costas 环电路的 RTL 电路原理图和详细的实时仿真结果。

2 Costas 环的基本原理

Costas 环主要由以下部分组成:压控振荡器(VCO)、乘法器、低通滤波器(LPF)、鉴相器(PD)、环路滤波器(LF)^[6]。其中,在数字 Costas 环中,VCO 由数字控制振荡器(NCO)代替,在 FPGA 设计中,使用直接数字频率合成器(DDS)来实现。数字 Costas 环原理方框图见图 1 所示。

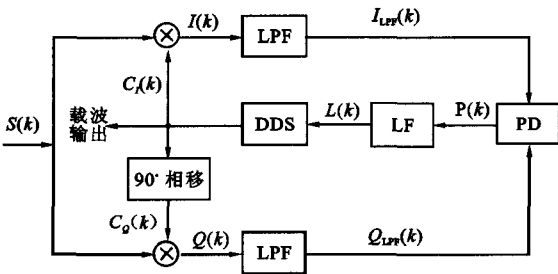


图 1 数字科斯塔斯环原理方框图

在图 1 中, $S(k)$ 是输入的经验采样后的二进制相移键控调制信号(BPSK),可以表示为:

$$S(k) = m(k) \cos(\omega_0 k + \theta) \quad (1)$$

式中, $m(k)$ 为数据调制信号, ω_0 为 BPSK 调制信号的载波信号的角频率, θ 为 BPSK 调制信号的初始相位。

接收信号 $S(k)$ 被送入两路乘法器,分别与 $C_I(k)$ 和 $C_Q(k)$ 相乘。 $C_I(k)$ 和 $C_Q(k)$ 分别是 DDS 输出的本地载波同相支路信号和正交支路信号,可分别表示为:

$$C_I(k) = \cos(\omega_c k + \varphi) \quad (2)$$

$$C_Q(k) = \sin(\omega_c k + \varphi) \quad (3)$$

式中, ω_c 为本地载波信号的角频率, φ 为本地载波的初始相位。

若以 BPSK 调制信号的载波信号的角频率 ω_0 为参考频率,则 $C_I(k)$ 和 $C_Q(k)$ 可分别表示为:

$$C_I(k) = \cos(\omega_0 k + \delta) \quad (4)$$

$$C_Q(k) = \sin(\omega_0 k + \delta) \quad (5)$$

$$\delta = \omega_c k - \omega_0 k + \varphi \quad (6)$$

根据数字 Costas 环原理方框图,输入信号 $S(k)$ 分别与 $C_I(k)$ 和 $C_Q(k)$ 相乘后得:

$$\begin{aligned} I(k) &= S(k)C_I(k) \\ &= m(k) \cos(\omega_0 k + \theta) \cos(\omega_0 k + \delta) \\ &= \frac{1}{2} m(k) [\cos(2\omega_0 k + \theta + \delta) + \cos(\theta - \delta)] \end{aligned} \quad (7)$$

$$\begin{aligned} Q(k) &= S(k)C_Q(k) \\ &= m(k) \cos(\omega_0 k + \theta) \sin(\omega_0 k + \delta) \\ &= \frac{1}{2} m(k) [\sin(2\omega_0 k + \theta + \delta) + \sin(\theta - \delta)] \end{aligned} \quad (8)$$

I 、 Q 两路信号分别经过低通滤波器后,高频分量被滤除,信号可表示为:

$$I_{LPF}(k) = \frac{1}{2} m(k) \cos(\theta - \delta) \quad (9)$$

$$Q_{LPF}(k) = \frac{1}{2} m(k) \sin(\theta - \delta) \quad (10)$$

这两路信号经过乘法鉴相器即得瞬时相位误差信号^[7],可表示为:

$$\begin{aligned} P(k) &= \frac{1}{4} m^2(k) \sin(\theta - \delta) \cos(\theta - \delta) \\ &= \frac{1}{8} m^2(k) \sin[2(\theta - \delta)] \\ &= \frac{1}{8} m^2(k) \sin(2\Delta\psi_k) \end{aligned} \quad (11)$$

$$\begin{aligned} \Delta\psi_k &= \theta - \delta \\ &= \theta - (\omega_c k - \omega_0 k + \varphi) \\ &= (\omega_0 - \omega_c)k + (\theta - \varphi) \end{aligned} \quad (12)$$

相位误差信号通过环路滤波器,环路滤波器的截止频率很低,只允许近似直流的信号通过。数字环路滤波器的输出信号即 DDS 的频率控制字,通过实

时调整 DDS 的频率控制字,来控制 DDS 输出本地载波信号的频率和相位,使得相位误差信号 $\Delta\phi_k$ 尽可能小.由式(12)可知,理想情况下,当输入信号和本地信号的瞬时相位差 $\Delta\phi_k=0$ 时,即实现本地载波信号和输入信号的载波同频同相.

3 数字 Costas 环的设计、参数的确定

在本次设计中,需要被同步的输入信号为 BPSK 调制信号.其载波频率为 56kHz,码速率为 32Kbps,采样位数 12bits,采样频率 1MHz.

3.1 DDS 的设计与实现

DDS 是数字 Costas 环的核心器件,由它来产生本地载波信号,来对接收信号的载波进行跟踪和同步. DDS 的工作原理是:在工作时钟的驱动下,相位累加器对频率控制字进行线性累加.若有相位偏置,还需要加上相位偏置码,从而得到相位码来对波形存储器寻址,使之输出相应的幅度码,实现正余弦波形.

DDS 的实现方式有多种,有基于存储器实现的 DDS、基于 CORDIC 算法实现的 DDS 和使用 DDS 的 IP 核.

在本次设计中,直接调用 DDS 的 IP 核.根据设计需求,设置 DDS 的实现架构为相位产生器和正余弦查找表.系统工作时钟为 10MHz,频率控制字位数 32bits,输出波形位数 12bits,这样无杂散动态范围可达 72dB,频率精度为 0.04Hz.另外,设置相位增量为数据流模式.在该模式下,才能实时刷新 DDS 内部相位增量寄存器的值,不断调整 DDS 输出波形的频率和相位.最后设置一些必要的握手信号和控制信号即可.

3.2 乘法器和乘法鉴相器的设计与实现

乘法器和乘法鉴相器均直接调用 Xilinx 公司提供的 IP 核.均采用并行乘法器结构,但是参数设置稍有不同.根据设计需要,同相和正交支路上的两乘法器输入数据位数为 12bits,输出数据位数为 24bits.乘法鉴相器的输入数据位数设置为 16bits,输出数据位数为 32bits.

3.3 低通滤波器(LPF)的设计与实现

低通滤波器用于滤除 Costas 环同相和正交支路中信号的高频分量.滤波器的性能对环路性能影响很大,因此必须设计一个性能较好的低通滤波器.由于有限脉冲响应(FIR)滤波器只在原点处存在极点,这使得 FIR 滤波器具有全局稳定性.并且, FIR 滤波器具有线性相位,即系统的相移和频率成比例,可达到无失真传输.因此在本设计中选用 FIR 低通

滤波器.为了简化设计,同样直接调用 Xilinx 公司提供的 FIR 滤波器 IP 核.利用 Matlab 软件中的 fdatool 工具进行滤波器设计.分别设置 FIR 低通滤波器的阶数、添加的窗函数、采样率和截止频率.在实际工程中,截止频率可由式(13)确定:

$$f_i = 2f_c - f_{\text{data}} \quad (13)$$

式中, f_i 为截止频率, f_c 为载波频率, f_{data} 为数据速率.

设计的低通滤波器的幅频响应和相频响应如图 2 所示.

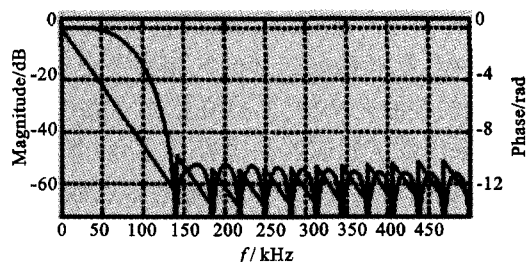


图 2 FIR 低通滤波器的幅频响应和相频响应

然后将设计好的 FIR 低通滤波器的系数导入 Xilinx 公司的 FIR IP 核中,设定采样频率为 1 MHz,工作时钟为 100 MHz,输入数据位数 24 bits,将输出数据的低位截掉,只保留高 16 位.

3.4 数字环路滤波器(LF)的设计与实现

Costas 环电路中的环路滤波器是一个线性低通滤波器.它不仅可以滤除瞬时相位误差信号中的高频成分,而且对环路参数的调整起决定性作用.另外,它可为环路提供一个短期记忆,能保证锁相环在系统由于瞬时噪声失锁时迅速重新捕获信号^[7].

对模拟环路滤波器进行双线性变换并数字化可得到数字环路滤波器^[8-9].因为一阶数字环路滤波器会产生稳态相差,导致系统误码率增加.三阶数字环路滤波器的结构过于复杂,实现难度较大.二阶数字环路滤波器在锁定时稳态相差为 0,同步带无限大,实现难度适宜^[9-11].所以本文采用二阶数字环路滤波器,其结构框图见图 3.

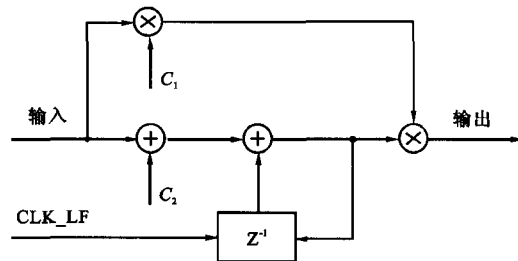


图 3 二阶数字环路滤波器结构图

图 3 中, Z^{-1} 表示延迟一个时钟周期, C_1 和 C_2

为环路滤波器参数,计算公式^[11]如下:

$$C_1 = \frac{2\xi\omega_n T}{K_0 K_d} \quad (14)$$

$$C_2 = \frac{(\omega_n T)^2}{K_0 K_d} \quad (15)$$

式中, ξ 为环路阻尼系数; ω_n 为环路自然谐振角频率; T 为 DDS 频率字更新周期,即环路滤波器工作周期; K_0 为 DDS 的控制灵敏度; K_d 为环路鉴相增益。

环路阻尼系数 ξ 对系统稳定性和速度都有一定影响。从抑制白色高斯噪声的角度,设定 $\xi=0.5$ 为最佳;然而从环路稳定性的角度, ξ 越大环路越稳定^[9]。由于暂态响应不宜过长,经权衡本设计选取 $\xi=0.707$ 为最佳值。

环路自然谐振角频率 ω_n 的计算公式如下:

$$\omega_n = \frac{8\xi B_L}{1+4\xi^2} \quad (16)$$

式中, B_L 为环路噪声带宽。 B_L 越小,环路对噪声的滤波能力越强;但是为了兼顾捕获时间, B_L 又不能太小^[12]。所以需要折衷考虑。在工程实践中,应满足 $B_L \leq 0.1R_b$ 。其中, R_b 为码速率。在本设计中,取 $B_L=0.1R_b=3.2\text{kHz}$,带入式(16)中,计算可得 ω_n 为 3017.6 rad/s 。

DDS 的控制灵敏度 K_0 的计算公式如下:

$$K_0 = \frac{2\pi f_s T}{2^N} \quad (17)$$

式中, f_s 为采样频率, T 为 DDS 频率控制字更新周期, N 为 DDS 频率控制字数。在本设计中, f_s 取 1MHz , T 为 $0.1\mu\text{s}$, N 为 32。带入式(17),可得 K_0 为 1.463×10^{-10} 。

环路鉴相增益 K_d 可由以下公式求得:

$$K_d = \frac{1}{8} k_{p1} k_{p2} k_{lp1} k_{lp2} k_{pd} \quad (18)$$

式中, K_{p1} 、 K_{p2} 分别为环路同相和正交支路乘法器系数, K_{lp1} 、 K_{lp2} 分别为 2 个低通滤波器系数, K_{pd} 为乘法鉴相器系数^[9](若鉴相器采用其他方案,

式(18)需要进行相应的调整)。

将相应系数带入式(18)中,求得 K_d 为 2^{21} 。最后求得环路滤波器参数 C_1 为 1.391 , C_2 为 2.968×10^{-4} 。在具体电路实现时,为了减少延迟,简化电路设计,节约 FPGA 资源,常取 C_1 和 C_2 值为 2 的幂次方值来近似^[5]。可取 $C_1=2^0+2^{-1}=1.5$, $C_2=2^{-12}=2.44 \times 10^{-4}$ 。然后只需通过简单的移位和加法运算,便可实现信号和 C_1 、 C_2 相乘。在仿真过程中发现,当 C_1 、 C_2 值较小时,环路的跟踪锁定时间较长。为了减小环路的跟踪锁定时间,对 C_1 、 C_2 值进行适当调整。最终取 $C_1=2^1+2^0=3$ 和 $C_2=2^{-8}=3.9 \times 10^{-3}$ 。

瞬时相位误差信号经环路滤波器后输入到 DDS,作为 DDS 的频率控制字,以此来实现实时调整 DDS 输出波形的频率和相位。由图 1 和图 3 可知,环路滤波器输出信号可由以下公式得到:

$$\begin{aligned} L(k) &= C_1 P(k) + C_2 \sum P(k) \\ &= \frac{1}{8} C_1 m^2(k) \sin(2\Delta\phi_k) + \\ &\quad \frac{1}{8} C_2 \sum m^2(k) \sin(2\Delta\phi_k) \end{aligned} \quad (19)$$

由式(19)可知,当瞬时相位差 $\Delta\phi_k=0$ 时, $\frac{1}{8}$

$$C_1 m^2(k) \sin(2\Delta\phi_k) = 0, \frac{1}{8} C_2 \sum m^2(k) \sin(2\Delta\phi_k)$$

为一固定值,即为 DDS 的频率控制字,使其输出信号与接收信号的载波同频同相。

4 数字 Costas 环的 FPGA 实现

将设计好的各个模块进行整合,需注意各个模块的工作时钟。在 Xilinx ISE Design Suite 12.3 里完成数字 Costas 环的设计。使用 Synplify Pro 9.6.2 对设计进行综合,综合后的 Costas 环 RTL 原理如图 4 所示。使用 Modelsim SE 6.5 对设计进行功能仿真。

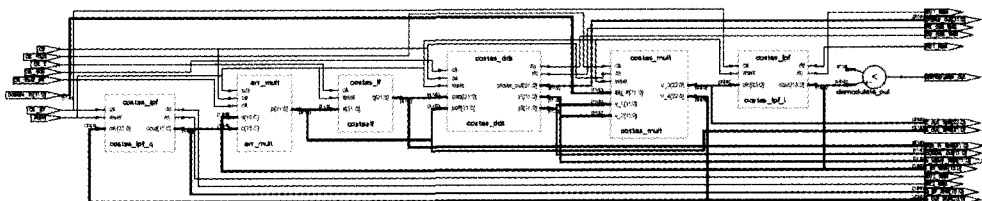


图 4 在现场可编程门阵列上实现的数字科斯塔斯环整体原理图

5 仿真结果和分析

图 5 和图 6 分别显示的是当接收的 BPSK 信号未加噪声,本地载波初始频率分别为 50 kHz 和 62.8 kHz 时,本次设计的全数字 Costas 环对其进行跟踪同步的结果.图 7 和图 8 分别显示的是当输入信号的信噪比(SNR)等于 10 dB,本地载波初始频率分别为 53.5 kHz 和 58.5 kHz 时,该数字 Costas 环对其进行跟踪同步的结果.

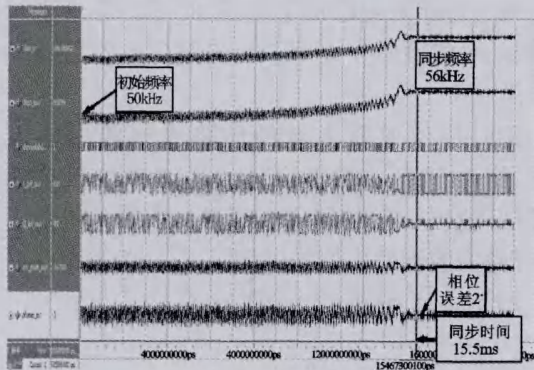


图 5 未加噪声,本地载波初始频率 50 kHz 时,科斯塔斯环同步性能的仿真结果

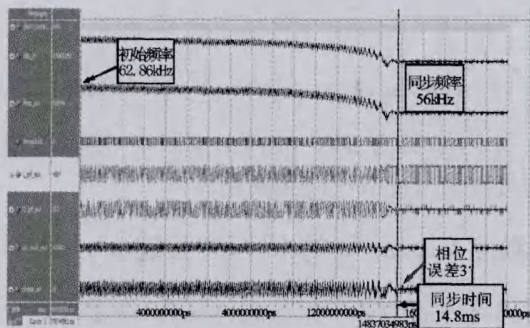


图 6 未加噪声,本地载波初始频率 62.86 kHz 时,科斯塔斯环同步性能的仿真结果

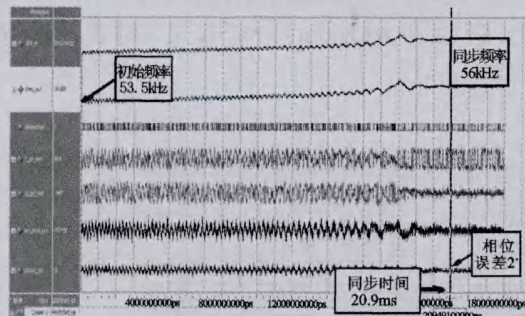


图 7 信噪比为 10dB,本地载波初始频率 53.5 kHz 时,科斯塔斯环同步性能的仿真结果

仿真结果表面,当输入信号中没有噪声,固有频

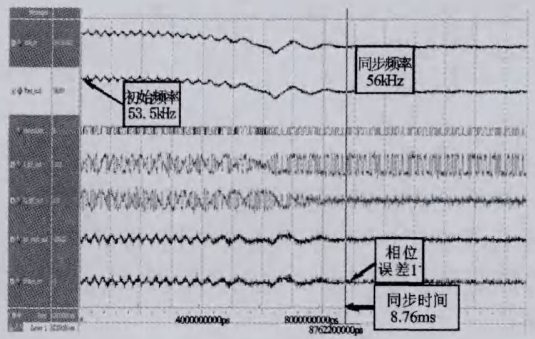


图 8 信噪比为 10dB,本地载波初始频率 58.2 kHz 时,科斯塔斯环同步性能的仿真结果

差为 ± 6 kHz 时,环路同步时间小于 16 ms,锁定后的相差小于 3° ;当 SNR 为 10 dB,固有频差为 ± 2.5 kHz,环路同步时间小于 21 ms,锁定后的相差小于 3° .

表 1 较详细的列出了该数字 Costas 环对接收信号的跟踪同步性能.

表 1 数字科斯塔斯环的同步性能

初始频差 (kHz)	噪声	同步时间 (ms)	相位误差 ($^\circ$)
-2.5	0	1.5	≤ 3
2.2	0	1.3	≤ 3
-4.8	0	6.8	≤ 3
4.5	0	3.3	≤ 3
-6	0	15.5	≤ 3
6.8	0	14.8	≤ 3
-2.5	SNR=10 dB	20.9	≤ 3
2.2	SNR=10 dB	8.76	≤ 3

6 结束语

本文给出了一套详细的基于 FPGA 的全数字 Costas 环的设计方法,对数字 Costas 环的原理进行了详尽的分析,对 Costas 环的参数公式进行了推导并对某些重要参数公式进行了修正.通过仿真结果可知,本次设计的全数字 Costas 环能准确对接收信号进行跟踪和同步,同步后的相位误差小于 3° .并且,同步时间很短,当本地载波和接收信号的初始频差为 ± 6 kHz 时,环路同步时间小于 16 ms.因此按本文所述的设计方法和参数公式可以设计出具有较高性能的、实用的全数字 Costas 环.

参考文献:

- [1] Costas J P. Synchronous communication[J]. Proceedings of the IRE, 1956, 44, (12): 1713—1718.
- [2] Riter S. An optimum phase reference detector for fully modulated phase shift keyed signals[J]. IEEE AES—

- 5, 1969, 4(7):627—631.
- [3] Mengaliu, D'Andrea A N. Synchronization techniques for digital receivers[M]. New York: Plenum, 1997: 205—228.
- [4] 曾凤池. 数字化考斯托斯锁相环的分析与研制[J]. 自动化学报, 1981, 7(4):312—318.
- [5] 张安安, 杜勇, 韩方景. 全数字 Costas 环在 FPGA 上的设计与实现[J]. 电子工程师, 2006, 32(1):18—20.
- [6] 樊昌信, 曹丽娜. 通信原理[M]. 2 版. 北京:国防工业出版社, 2007.
- [7] Lindsey W. Phase noise effects on space shuttle communications link performance[J]. IEEE Trans Commun, 1978, 26(11) : 1117—1124.
- [8] 张才霞, 王少云, 刘海颖. 一种基于 Costas 环的 BPSK 解调设计[J]. 信息化研究, 2010, 6(11):34—40.
- [9] Chung B Y. Performance analysis of an all—digital BPSK direct—sequence spread—spectrum IF receiver architecture[J]. IEEE Journal on Selected Areas in Communications, 1993, 11(7):1096—1107.
- [10] 张欣. 扩频通信数字基带信号处理算法及其 VLSI 实现[M]. 北京:科学出版社, 2004.
- [11] 张厥盛, 郑继禹, 万心平. 锁相技术[M]. 西安:西安电子科技大学出版社, 1998.
- [12] Nguyen T M. The behavior of costas loop in the presence of space telemetry signals[J]. IEEE Tran Communi, 1992, 40(1):190—198.

作者简介:

苏 洲 男,(1987—),硕士研究生. 研究方向为基于 FPGA 的数字通信和信号处理.

(上接第 71 页)

- [2] Maimon O, Rokach L. Data mining and knowledge discovery handbook[M]. New York:Kluwer Academic Publishers, 2005: 374—380.
- [3] Jewie Han, Michelin Kamber. Data mining: concepts and techniques[M]. 2nd ed . 北京:机械工业出版社, 2008:237—245.
- [4] Kennedy J, Eberhart R,. Particle swarm optimization [C]//Proc. IEEE International Conference on Neural Networks, IV. Piscataway, NJ:IEEE Service Center, 1995:1942—1948.
- [5] Shi Y, Eberhart R C. Empirical studying on particle swarm optimization[C]//Proc. on evolutionary computation. Piscataway, NJ:IEEE Service Center, 1999: 1945—1950.
- [6] Shi Y, Eberhart R C. Fuzzy adaptive epartiele swarm optimization[C]//Proe. on evolutionary computation. Seoul, Korea, IEEE Service Center, 2001. 741—750.

作者简介:

刘培奇 男,(1959—), 博士,副教授. 研究方向为机器学习、数据挖掘、自然语言处理.

孙 靖 男,(1986—), 硕士研究生. 研究方向为自然语言理解、数据挖掘.