

一种高精度 $\Sigma-\Delta$ A/D 转换器的数字滤波器设计

徐双恒, 李 靖, 陈 华, 眭志凌, 宁 宁

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 设计了一种用于高精度音频 $\Sigma-\Delta$ A/D 转换器的数字滤波器. 该滤波器由级联梳状滤波器(CIC)、补偿滤波器和半带滤波器组成. 设计中采用了乘法器分时复用技术以减少电路面积. 设计的滤波器可实现 128/64 两种抽取率, 其性能可满足该 $\Sigma-\Delta$ A/D 转换器的要求.

关键词: A/D 转换器; 数字滤波器; 分时复用; 梳状滤波器; 半带滤波器

中图分类号: TN713

文献标识码: A

文章编号: 1000-7180(2013)05-0092-04

A Design of Digital Filter in high—Precision $\Sigma-\Delta$ A/D Converter for Audio Applications

XU Shuang-heng, LI Jing, CHEN Hua, SUI Zhi-ling, NING Ning

(State Key Lab. of Elec. Thin Films and Integrated Devices, Univ. of Electronic Science & Technology, Chengdu 610054, China)

Abstract: A digital filter in high—precision $\Sigma-\Delta$ A/D converter for audio applications was designed. The filter is composed of a cascaded—integrator—comb(CIC) filter, a compensation filter and a halfband filter. Time division multiplex technology is used for multipliers to reduce circuit area. The filter supports 128 or 64—time decimation and its performance can satisfy the requirement of the $\Sigma-\Delta$ A/D converter.

Key words: A/D converter; digital filter; time division multiplex; CIC filter; halfband filter

1 引言

当今半导体集成电路技术的飞速发展, 消费电子广泛普及, 产生巨大的市场价值. 音频 ADC 作为各类消费电子不可缺少的组成部分, 性能要求也越来越高. $\Sigma-\Delta$ ADC 以其高精度、高线性度、对模拟电路要求不高等特点, 被广泛应用于高精度数字音频系统^[1-2]. $\Sigma-\Delta$ ADC 采用过采样、噪声整形、数字滤波技术, 将模拟电路的设计难度简化, 从而比一般结构 ADC 更容易实现高精度的目标. 其中, 数字滤波器一般以多级结构实现^[3-4].

本文设计的滤波器采用三级结构, 依次为级联梳状滤波器滤波器(CIC)、补偿滤波器和半带滤波器^[5-6]. 设计中采用乘法器分时复用技术, 有效减少电路面积. 该滤波器能实现 128/64 倍抽取, 可对该应用中信噪比大于 104dB 的调制器输出信号进

行无失真滤波.

2 滤波器的总体架构

本文设计的滤波器由如图 1 所示的三级结构组成, 通带纹波小于 0.01dB, 阻带衰减大于 70dB, 可以实现 128/64 倍抽取. 以文中的具体应用为例, 该滤波器的输入来自前级 $\Sigma-\Delta$ 调制器的输出, 即采样率 6.144MHz、位宽 5bit 的数字信号. 第一级是 CIC 滤波器, 实现 32 倍抽取. 第二级是补偿滤波器, 实现 2/1 倍抽取. 第三级是半带滤波器, 实现 2 倍抽取, 该级对整个级联滤波器的幅频特性起决定性作用. 补偿滤波器和半带滤波器的实现中, 采用了乘法器分时复用技术.

该滤波器级联结构的优点有: ①由电路简单、无需乘法器的 CIC 滤波器作为第一级, 可有效降低电路面积和功耗. ②补偿滤波器在补偿 CIC 通带衰减

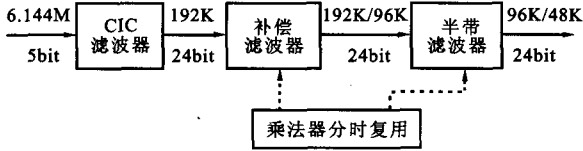


图1 滤波器的总体架构

的同时,可以实现2/1倍两种抽取率而减少一个半带滤波器的开销。③整个滤波器的幅频特性主要由最后一级半带滤波器决定,降低了补偿滤波器的设计要求。④包含乘法运算的补偿滤波器和半带滤波器处于较低的工作频率,可以有效降低电路功耗。⑤采用乘法器分时复用技术,有效减少电路面积。

3 三级滤波器设计

3.1 CIC滤波器

CIC滤波器是一种特殊的FIR滤波器^[6],它由梳状单元I和积分单元C级联而成,如图2所示。

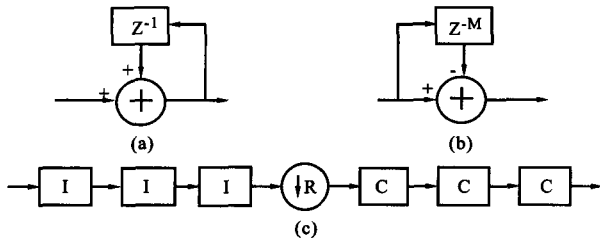


图2 CIC滤波器的组成单元和结构

积分单元的传输函数为:

$$H_I(z) = \frac{1}{1-z^{-1}} \quad (1)$$

梳状单元的传输函数为:

$$H_C(z) = 1-z^{-RM} \quad (2)$$

由式(1)、式(2)可得出CIC滤波器的传输函数:

$$H(z) = H_I^N(z) H_C^N(z) = \frac{(1-z^{-RM})^N}{(1-z^{-1})^N} = \left(\sum_{k=0}^{RM-1} z^{-k} \right)^N \quad (3)$$

式(3)中, N 为CIC滤波器级数, R 为抽取率, M 为梳状单元的差分延迟(一般为1或2)。

令 $z = \exp(j2\pi f_{\text{real}}/f_s)$, $f = f_{\text{real}}/(f_s/R)$ (f 为真实频率 f_{real} 归一化到CIC输出端频率 f_s/R 的值)。

即 $z = \exp(j2\pi f/R)$,代入(3)式可得幅频特性:

$$|H(f)| = |H(f)| = \left| \frac{\sin \pi M f}{\sin \pi f/R} \right| \quad (4)$$

使用MATLAB设计CIC滤波器,抽取率 $R=32$,级数 $N=5$,梳状单元差分延迟 $M=1$,得到的CIC滤波器幅频特性如图3所示。

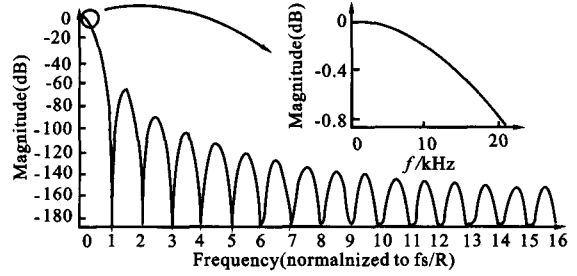


图3 CIC滤波器幅频特性

从图3可以看出,CIC滤波器在通带20KHz内有约0.8dB的衰减。根据设计指标要求,通带纹波小于0.01dB,故后级必须添加补偿滤波器。

该CIC滤波器的直流增益为 $G=(RM)^N=2^{25}$,输入位宽 $B_{\text{in}}=5$ 。为了避免溢出,CIC滤波器输出和内部加法器的位宽为 $B_{\text{out}}=B_{\text{adder}}=\log_2 G + B_{\text{in}}=30$ 。从图1可以看出,这30位中只有高24位送到后级补偿滤波器。

3.2 补偿滤波器

前面已经指出,CIC滤波器在通带内有一定的衰减,故需要补偿滤波器加以修正。同时,补偿滤波器还可进行2倍抽取,减少一个半带滤波器的开销。补偿滤波器无需狭窄的过渡带,只要保证噪声不混叠到20KHz以内即可。因此,补偿滤波器的阶数可以做得较低。又由于补偿滤波器要实现2/1倍两种抽取率,故不能采用多相滤波器结构,只能采用一般结构。

使用MATLAB设计出的补偿滤波器阶数为15阶,幅频特性如图4所示。可以看出,20kHz通带内衰减约为0.01dB,达到了补偿的目的。

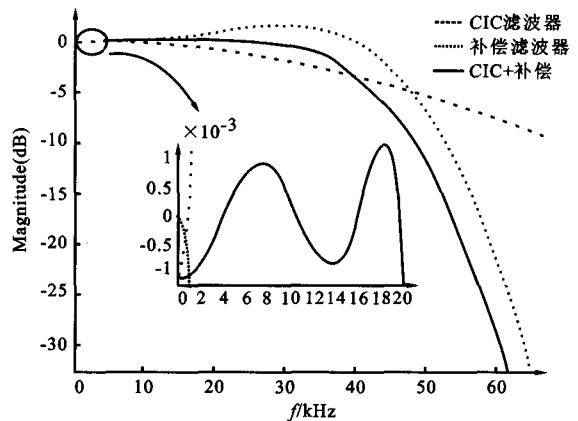


图4 补偿滤波幅频特性

3.3 半带滤波器

半带滤波器是一种特殊的FIR滤波器,它除了最中间的系数为0.5,其他奇数项系数都为0。由于FIR滤波器系数一般具有对称性,可以减小一半的

乘法器开销. 又由于近一半系数等于 0, 可以再减少一半乘法器开销. 所以, 需要的乘法器个数为系数总数的 $1/4$, 可有效降低电路面积和功耗. 由于半带滤波器的抽取率为定值 2, 故可采用多相滤波器结构来降低电路功耗.

使用 MATLAB 设计出的半带滤波器阶数为 54 阶, 阻带衰减大于 70dB, 滤波器幅频特性如图 5 所示.

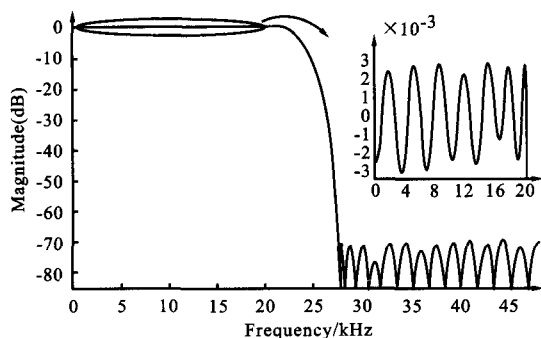


图 5 半带滤波器幅频特性

3.4 三级级联滤波器

MATLAB 设计出的三级滤波器幅频特性如图 6 所示. 从图中看出, 整个三级滤波器的阻带衰减大于 70dB, 跟半带滤波器相当, 通带纹波小于 0.01dB, 满足设计指标要求.

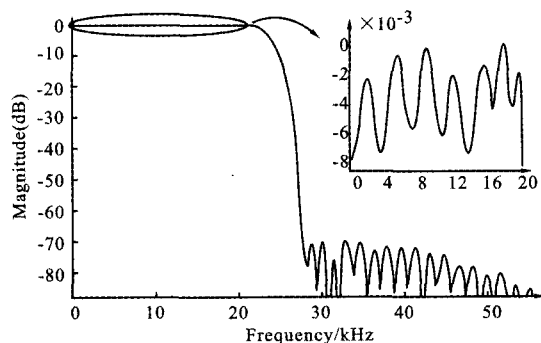


图 6 三级滤波器幅频特性

4 乘法器的分时复用

除了 CIC 滤波器, 补偿滤波器和半带滤波器在电路实现时都需要用到乘法器. 电路实现 FIR 滤波器的通常做法为: 利用系数的对称性, 先将对称项相加, 再与系数相乘, 这样可以减少一半的乘法器开销. 图 7 所示为该方法实现的补偿滤波器, 共使用了 8 个乘法器. 本文采用乘法器分时复用技术, 实现补偿滤波器只需要一个乘法器, 结构如图 8 所示.

从图 8 中可以看出, 为实现乘法器的分时复用, 需要增加 1 个高速时钟 CLK2、1 个计数器、1 个乘法器、1 个加法器、3 个多路复选器等相关单元. 延时

寄存器 R1~R15 工作在原来的时钟域 CLK1, 计数器、多路复选器、乘法器和累加器工作在高速时钟域 CLK2, 输出寄存器 ROUT 工作在输出时钟域 CLK3. CLK2 频率是 CLK1 的至少 N 倍, N 等于采用分时复用技术前的乘法器个数. 就本文设计的补偿滤波器而言, N 等于图 7 中的乘法器个数 8, CLK2 频率为 CLK1 频率的 8 倍. CLK3 频率是 CLK1 频率的 2 倍.

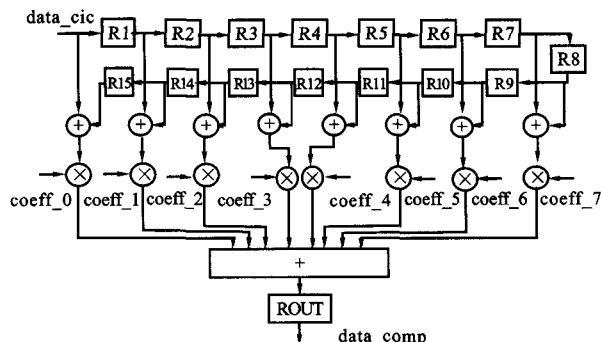


图 7 通常结构的补偿滤波器

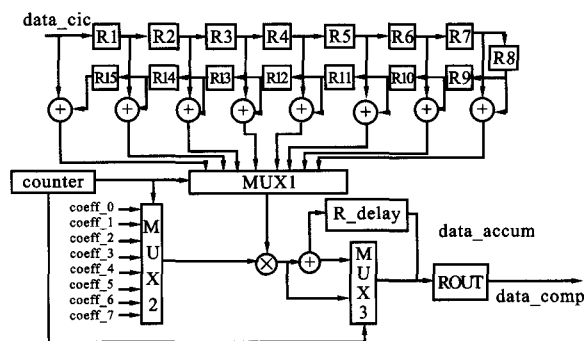


图 8 乘法器分时复用的补偿滤波器

计数器 counter 用来控制 MUX1、MUX2, 以选择 8 路信号和对应系数分时相乘. counter 还通知 MUX3 是将第 1 路乘法结果送进累加器以初始化累加器, 还是将累加结果输出. 故 data_accum 信号由许多组阶梯状波形连接而成, 这些阶梯就是累加过程的体现, 每个阶梯的末段就是累加结果. 这些阶梯末段形成一个明显的主包络, 便是真正的滤波结果. 寄存器 ROUT 将 data_accum 信号的这个主包络以 $1/2$ 倍速率抽取, 得到补偿滤波器的输出 data_comp.

图 9 为补偿滤波器的时序图. 图 (b) 为图 (a) 在时间区间 A—B 内的放大图. 可以看出 data_accum 有很多锯齿. 如果放大看, 一个锯齿就是一组阶梯, 一组阶梯有 8 个小阶, 代表累加 8 次才得到一个数据. 所有的阶梯末段 (第 8 个阶梯) 形成了图 9(a) 中的主包络, 该主包络与 data_comp 波形一致. 由于采用补码, 累积过程中会出现与正确累加结果反号的

中间数据,它们连起来就形成了图9(a)中的副包络。

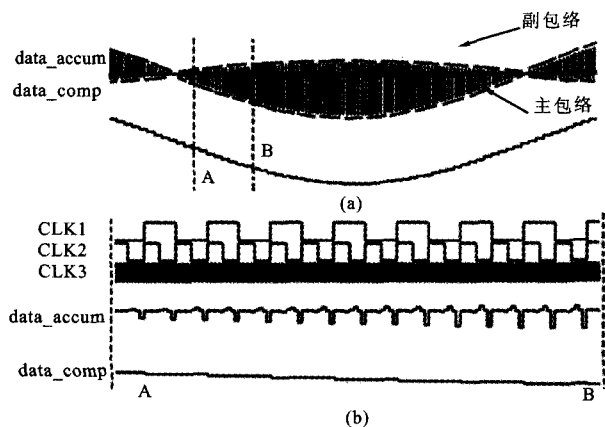


图9 补偿滤波器的累加和输出波形

5 实验结果和验证

使用Modelsim对Verilog语言编写的RTL级进行功能仿真验证.各级滤波器的输出信号波形如图10所示. data_cic、data_comp、data_hb分别为CIC滤波器、补偿滤波器、半带滤波器的输出,T1、T2分别为补偿滤波器和半带滤波器的延时。

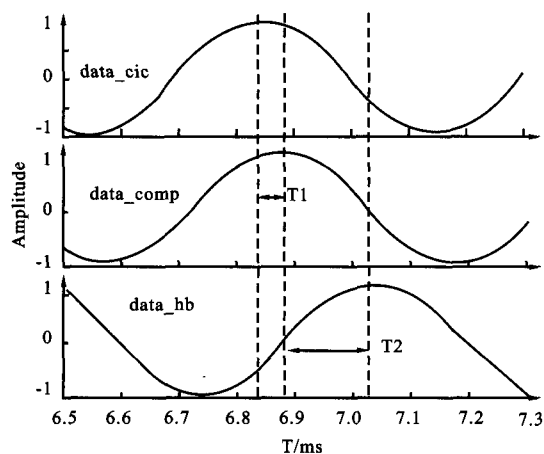


图10 各级滤波器的输出信号波形

CIC滤波器滤除高频噪声,输出正弦信号 data_cic. 补偿滤波器对信号幅度进行微小的补偿. 半带滤波器也会对信号幅度产生影响,但只要信号在20KHz范围内,这种影响很小,可忽略不计. 半带滤波器的输出信号延时 T2 比补偿滤波器的延时 T1 大,这是因为半带滤波器阶数更高、时钟周期更长. 将各级信号 data_cic、data_comp、data_hb 导出,经FFT分析可得各信号的 SNR 都等于 104dB,与调制器输出信号信噪比相同,有效位数大于 16 位。

6 结束语

本文设计了一种音频 $\Sigma\text{-}\Delta\text{A/D}$ 转换器的数字滤波器. 该滤波器采用CIC滤波器、补偿滤波器、半带滤波器三级级联结构,可以实现128/64倍两种抽取率. 设计中采用的乘法器分时复用技术,可以有效降低硬件开销. 仿真和计算结果表明,该滤波器实现了滤除高频噪声和数据抽取的目的,可以满足高精度音频 $\Sigma\text{-}\Delta\text{A/D}$ 转换器的要求。

参考文献:

- [1] YuQing Yang, Sculley T, Abraham J. A single die 124dB stereo audio delta sigma ADC with 111dB THD [C]//Solid State Circuits Conference, Munich:IEEE, 2007;252 - 255.
- [2] Thomas Choi, Brian Lam. A 65nm 1.2V 16-bit audio codec sigma-delta ADC in 2-2 MASH architecture with temperature-compensated biasing [C]// Electron Devices and Solid-State Circuits (EDSSC), Tianjin:IEEE, 2011;1-2.
- [3] Koppula R M R, Balagopal S, Saxena V. Efficient design and synthesis of decimation filters for wideband delta-sigma ADCs [C]// SOC Conference (SOCC), Taipei:IEEE, 2011;380-385.
- [4] Abed K H, Nerurkar S B, Colaco S. Design and implementation of a decimation filter for high performance audio applications [C]// Electronics Circuits and Systems, Marrakech:IEEE,2007;12-815.
- [5] Zanjani SMM, Ornam S R, Fakhraie S M, et al. Algorithmic design of high-precision low-power multi-stage decimation filters [C]// Circuits and Systems, San Juan:IEEE,2006;184-187.
- [6] HONGENAUER E B. An economical class of digital filters for decimation and interpolation [J]. IEEE Trans Acoustics Speech and Signal Processing, 1981 29(2):155-162.

作者简介:



徐双恒 男,(1987-),硕士研究生. 研究方向为数字信号处理和超大规模集成电路设计的研究。