

基于 RocketIO 自定义传输协议在高速 串行通信中的设计与实现

苏秀妮, 陈建春, 那彦

(西安电子科技大学 电子工程学院, 陕西 西安 710071)

摘 要: 为了便于工程应用, 提高数据传输速率, 以 Xilinx 公司 Virtex5 系列 FPGA 内嵌的 RocketIO 为物理层, 实现了基于自定义传输协议的两种设计——高速收发器的设计与高速串行接口的设计, 并对两种设计进行了简要分析, 指出了适用的不同场合. 以高速信号采集为实例, 在 ISE 开发环境中实现了基于自定义传输协议的高速串行接口, 用 Chipscope 捕获数据并对其进行分析, 得出基于 RocketIO 的自定义传输协议在高速串行通信中可靠性高, 误码率低于 10^{-13} .

关键词: FPGA; RocketIO; 自定义传输协议; 高速信号采集; 高速串行接口; Chipscope

中图分类号: TN914.3

文献标识码: A

文章编号: 1000-7180(2013)09-0090-04

Design and Implmentaion of Customized Transfer Protocol in High-Speed Serial Communication Based on RocketIO

SU Xiu-ni, CHEN Jian-chun, NA Yan

(School of Electronic Engineering, Xidian University, Xi'an 710071, China)

Abstract: RocketIO, which is high-speed dedicated transceiver embedded in Virtex-5 family FPGA of Xilinx corporation, acts as physical layer. Both designs are implemented based on RocketIO, the one is high-speed transceiver based on customized transfer protocol, the other is high-speed serial interface(HSSI) based on the same one. A brief analysis is made between designs, related application occasion is explained. Taking high-speed signal acquisition, for example, the high-speed serial interface, based on customized transfer protocol, is implemented though verifying and analysing data that caught by chipscope. According to the result, customized transfer protocol, based on RocketIO, is reliable and error bit rate less than 10^{-13} .

Key words: FPGA; RocketIO; customized transfer protocol; high-speed transceiver; high-speed signal collected; high-speed serial interface; Chipscope

1 引言

随着 3G 时代的来临, 以通信为支柱的云计算、三网融合及移动支付等行业, 对巨额信息量的处理速率及带宽提出了更高的要求, 加之信号处理的复杂度越来越高, 特别是在视频、图像等多媒体应用领域, 高速可靠通信给当今通信业带来了巨大挑战. 传统并行接口技术成为进一步提高数据传输速率的瓶颈, 而串行通信技术正在取代传统并行技术成为当

今高速接口技术的主流, 同时对传输高速率信号机制提出了迫切的需求, 使得高速串行通信成为当前研究的热点^[1].

本文从工程应用角度出发, 以 RocketIO 为物理层介绍吉比特收发器(MGT)的结构, 提出了两种常用的基于 RocketIO 的高速串行通信模型——高速收发器的设计与高速串行接口的设计, 并指出采用自定义传输协议进行设计时的要点, 采用嵌入式时钟的自同步方案, 从高速数据流中恢复出时钟, 有

效的提高了传输速率,并且使得数据的可靠传输得到保证.最后以高速信号采集为例,在 Virtex5 系列 FXT 平台^[5]的 FPGA 上实现了基于自定义传输协议的高速串行通信,并给出了仿真结果和板上测试结果.

2 RocketIO 简介

RocketIO 是 Xilinx 在 VirtexII pro 以上系列中集成的专有高速串行收发器.典型的 RocketIO 收发器结构^[2-4]如图 1 所示,由物理编码层(PCS)和物理媒介层(PMA)构成. PCS 主要由周期冗余检测(CRC—Cycle Redundancy Check)、8B/10B 编码器、发送 FIFO、8B/10B 解码器、用于实现通道绑定和时钟修正的弹性缓冲器等核心部分构成. PMA 主要包括串并转换器、差分接收器、发送时钟生成电路、接收时钟恢复电路等.

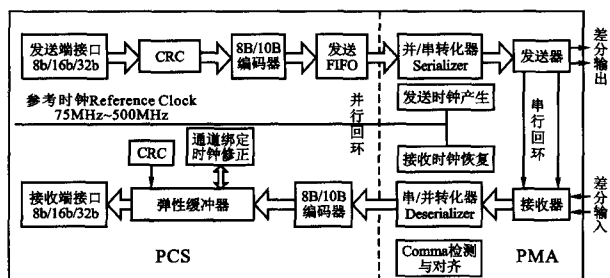


图 1 RocketIO 收发器结构框图

发送端按照一定的计算规则产生的 CRC 校验码插入到预发送的并行数据中,经过 8B/10B 编码(8B/10B 编码模块可根据需要选择),写入发送 FIFO,然后将其转换成差分数据发送出去.

接收端通过接收器接收串行差分数据,在时钟数据恢复(CDR)电路的作用下,从串行数据流中恢复出时钟信号,该时钟信号用于串并转换,在 comma 检测和对齐模块的作用下,将数据对齐并进行串并转换,输出的并行数据经过 8B/10B 解码(可根据需要选择,与发送端选择一致),依据需要用弹性缓冲器实现通道绑定和时钟修正,经过 CRC 模块校验后并行输出.

3 基于 RocketIO 自定义传输协议的高速收发器设计

Virtex5 系列中,一个 RocketIO 中包含两个吉比特收发器(GTX),单个 GTX 的线速率 750Mb/s~6.5Gb/s,该系列中 GTX 多达 32 个通道^[2-4],当多通道同步工作时,总的吞吐率高达 208Gb/s.高速

率对 RocketIO 参数的设计提出了高要求,加之标准协议不能满足工程需要、保密性不好且对用户来说太过于宽泛,定制协议是个很好的选择.现以串行回环为例介绍自定义传输协议设计高速收发器的过程.

3.1 回环介绍及意义

发送端接收进入 FPGA 的并行数据,经过 CRC、8B/10B 编码、并/串转换等核心模块后,最终以差分数据的形式将数据发送出去;接收端接收该差分数据,然后经过数据时钟恢复、串/并转换、8B/10B 解码等,最终将对齐的并行数据经过并行接口输出 FPGA,这整个过程就是一个串行回环,但是并不是图 1 所示的每一个模块都包含,可以根据需要旁路不必要的模块.并行回环是不包含串化解串器(SERDES)、差分发送器和差分接收器的回环,即由 PCS 层依据需要所选模块构成的回环.回环的选择可通过 LOOPBACK 的设置来实现,当 LOOPBACK 设置为 001 时,选择的是近端 PCS 回环;为 010 时,选择的是近端 PMA 回环;为 100 时,选择的是远端 PMA 回环;为 110 时,选择的是远端 PCS 回环;为 000 时,选择的是正常操作;其他组合,均是保留,没有意义^[5].

设置这些回环,是为了方便测试,回环测试既可以应用在开发过程中,又可以应用在已部署好的设备中便于隔离故障.当有故障出现时,可以使用专用伪随机序列(PRBS—Pseudo-random Binary Sequence)进行检测,每一个收发器都有内置的 PRBS 发生器和校验器.

3.2 串行回环的自定义传输协议定制

以 Virtex5 系列 LXT 平台为例,介绍远端 PMA 回环的设计,其他回环的设计与此相类似,下面从协议定制和时钟驱动方面重点介绍远端回环的设计.

协议定制的核心部分:

Internal Data Width: 16 位(假设数据宽度为 16 位) Target Line Rate: 4.0Gbps Reference Clock: 250MHz

TXSettings:

Line Rate : 4.0Gbps Encoding: None(LSB)
Data path width: 16 发送器先发最低位(LSB)

RX Settings:

Line Rate: 4.0Gbps Decoding: None(LSB)
Data path width: 16 接收器先收最低位(LSB)

TXUSRCLK(2)/RXUSRCLK(2) Source:

Refclkout

TX,RX PCS/PMA Alignment Use: TX,RX
Buffer

Comma Detection Setting:

Plus comma:0101111100

Minuscomma:1010000011

Comma mask:0011111111

Align_comma_word = Even byte boundary

该协议串行数据速率高达 4 Gbps,旁路 8B/10B 编解码,用户使用时钟来源于参考时钟的输出(REFCLKOUT)(也可以来源于 TXOUTCLK,根据需要选择).基于 RocketIO 自定义传输协议的高速收发器的设计框图如图 2 所示.

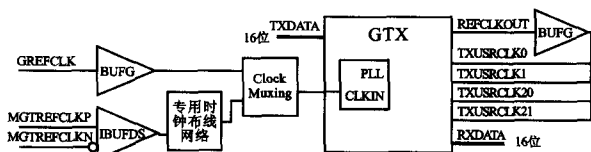


图 2 基于 RocketIO 自定义传输协议的高速收发器设计框图

从图 2 中可以看出, RocketIO 工作时钟(共享 PLL 的时钟)既可以来源于单端全局参考时钟,也可以来源于收发器的专用差分时钟.选择差分时钟来驱动时钟网络,使得延迟大大减小,速率得到很大的提高.用户使用时钟(TXUSRCLK/TXUSRCLK2/RXUSRCLK/RXUSRCLK2)用 REFCLKOUT 直接来驱动,由于输入输出数据均是 16 位,故 REFCLKOUT 输出不需经过 PLL 或 DCM 分频就可直接用于用户使用时钟端口^[6]. Comma 检测和对齐使用的 comma 是高速协议中普遍使用的 K28.5,即协议定制中 comma 参数所设置的 Pcomma(正 comma)和 Ncomma(负 comma)的值.合理的用户自定义传输协议可以实现高效实时的不间断高速数据传输,根据工程需要对协议进行灵活定制,提高了项目进度及质量.

4 基于 RocketIO 定义传输协议的高速串行接口的设计

高速收发器设计中,数据经过 FPGA 并行输入端口进入 RocketIO 的发送部分,根据工程应用对其进行处理,最终以差分串行数据输出,接收部分对该差分串行数据处理最终输出并行数据.如果高速差分串行数据经过 RocketIO 接收器的差分端口进入 FPGA,在只有接收器没有发送器的情况下,对高速差分串行数据的处理将是另一种方法.该方法使

用在 FPGA+DSP 的高速信号处理及信号采集中.常用高速数字信号处理系统架构如图 3 所示.

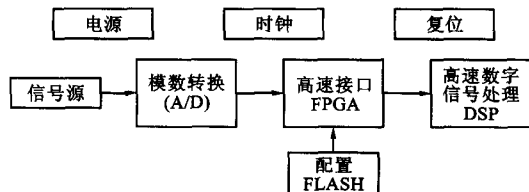


图 3 高速数字信号处理系统架构

图 3 所示系统中,高速接口和高速数字信号处理是核心部分,高速接口能否可靠接收高速串行数据是高速数字信号处理的前提.

4.1 基于自定义传输协议的高速串行接口

并行接口由于资源浪费,传输距离较短,速率较高时,电磁干扰影响较严重,且给 PCB 布线带来极大的困难,所以高速接口常常采用的是串行接口.本文中高速串行接口实现框图如图 4 所示.

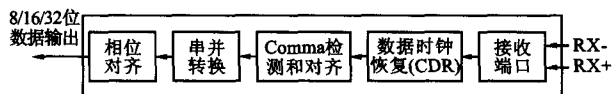


图 4 基于 RocketIO 高速串行接口实现原理框图

在以 RocketIO 为物理层的吉比特收发器中,接收端接收到差分串行数据后,用时钟数据恢复(CDR)电路恢复出的时钟信号采样串行数据,并且根据检测到的同步码(comma 序列)将数据对齐,然后转化为并行数据,在并行时钟的同步下将其输出.

4.2 协议定制(仅接收部分)

Internal Data Width: 16 位(假设数据宽度为 16 位) Target Line Rate: 4.0Gbps Reference Clock: 250MHz

RX Settings:

Line Rate: 4.0Gbps Decoding: None(MSB)

Data path width: 16 接收器先收最高位(MSB)(先接收最低位还是最高位依据需要来选择,没有特殊要求)

RXUSRCLK(2) Source: Recovery(将时钟嵌入在数据中,提高传输速率及可靠性)

RX PCS/PMA Alignment Use: Bypass RX Elastic Buffer(Use phase alignment)

Comma Detection Setting:

Plus comma:0101111100

Minus comma:1010000011

Commamas:0011111111

为了避免数据中出现与所设的 comma 相同,故

使用双 comma,即正负 comma 同时有效

Align_comma_word = Even byte boundary

5 基于 RocketIO 自定义传输协议的高速串行接口的仿真结果

以高速信号采集为例,在 ISE 环境中进行设计,用 Modelsim 进行仿真,基于 RocketIO 自定义传输协议的高速串行接口的仿真结果如图 5 所示。



图 5 线速率为 4G 的高速串行接口时序仿真图

REFCLK_P_IN 和 REFCLK_N_IN 是全局差分时钟输入端口,是 RocketIO 收发器与 FPGA 外部时钟的接口,该差分时钟经过全局差分时钟缓冲 (IBUFGDS) 后给共享 PLL 提供工作时钟。RXP0/RXP1 和 RXN0/RXN1 分别为通道 0/1 的高速串行差分数据输入的正端口和负端口,与 FPGA 外部差分数据的输出相连接;RXDATA0/RXDATA1 为通道 0/1 并行数据输出,与 FPGA 外部并行数据的输入相连接;RXISALIGNED0_OUT/RXISALIGNED1_OUT 为通道 0/1 的 comma 对齐的指示信号,当高电平时,说明并行数据已是对齐的数据,低电平时,说明数据没有对齐。PLLLKDET_OUT 为 PLL 锁定指示信号,高电平时,说明锁相环已锁定,输出时钟已稳定,即 RocketIO 中各个模块的输入时钟已稳定。

从图 5 中可以看出 RocketIO 在工作时钟为 250MHz,线速率为 4G 时,高速差分串行接口 RXP/RXN 将高速串行数据流正确接收,并将其准确无误的转换成并行数据 RXDATA 输出。

在高速信号采集系统中,用 chipscope 采集板上的结果如图 6 所示。

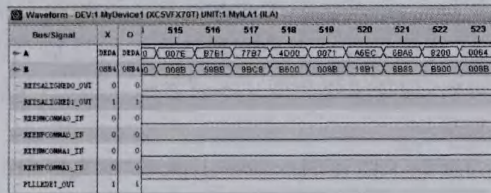


图 6 线速率 4G 的 RocketIO 高速串行接口板上测试结果

图 6 为 Chipscope 在 PCB 板上采集的 2 路数据,指定帧的形式为帧头 8 位、用户数据每 12 位一组,共 4 组、帧尾 8 位,总共 64 位。采集的信号源为

频率 1MHz 的正弦波,其中 A、B 分别代表 GTX 的两个通道。高速 AD 将模拟正弦信号转换成数字信号,最终以 4G 的速率串行输入到 FPGA 中,然后高速串行接口对其进行接收、处理。从图中可以看出,数据包以指定的帧形式输出,对其进行解包,提取出有用数据,用 Matlab 可以正确的恢复出信号波形。故该串行接口可以正确的接收线速率为 4G 的高速串行信号。用内嵌的误码率分析仪^[2](IBERT)分析,该系统的误码率低至 10^{-13} 。

6 结束语

本文以 Virtex5 系列 FPGA 的 RocketIO 为例,研究基于自定义传输协议的高速收发器及高速串行接口的设计,基于自定义传输协议的高速收发器的设计有利于检测、调试,有效的促进项目进度;基于自定义传输协议的高速串行接口的设计,有助于实现高速、高效、可靠的串行数据传输,缩短开发周期,节省资源,可靠性得到保证。

参考文献:

- [1] 武红伟,苏涛,梁中英. RocketIO 在高速数据通信中的应用[J]. 信技术, 2011, 43(11): 9-11.
- [2] 李敏,徐建成,李健. 基于 RocketIO 接口的高速互联应用研究与实现[J]. 现代电子技术, 2012, 35(6): 11-14.
- [3] 胡锦,彭成,谭明. 基于 RocketIO 的高速串行协议设计与实现[J]. 微计算机信息, 2008, 24(63): 196-198.
- [4] Xilinx. Virtex-5 FPGA RocketIO GTX Transceiver ug198 [R]. 2009.
- [5] Xilinx. Virtex-5 Family Overview[R]. 2009.
- [6] Xilinx. Virtex-5 FPGA RocketIO GTX Transceiver Wizard v1. 7 Getting Started Guide[R]. 2010.

作者简介:



苏秀妮 女, (1986—), 硕士研究生. 研究方向为基于 RocketIO 的高速串行接口及高速串行通信;

陈建春 女, (1962—) 教授, 硕士生导师. 研究方向为高速实时数字信号处理.

那彦 女, (1964—) 教授, 硕士生导师. 研究方向为信息融合、图像融合理论及应用研究.