

基于 PCRAM 主存系统的访问机制

孙 健, 陈 岚, 郝晓冉

(中国科学院 微电子研究所, 北京 100029)

摘 要: 随着基于 DRAM 主存系统功耗的不断上升, 相变随机访问存储器 (PCRAM) 凭借其高密度、低功耗、非易失等优点, 将成为下一代最有潜力的主存技术。然而, PCRAM 的写操作具有寿命有限和写入能耗、延时较大的特点, 限制了其在主存系统中的应用。为了延长主存系统的使用寿命并减少写入能耗, 采用写前读技术设计了一种基于异或的数据并行机制。实验结果表明, 经过该机制处理, 与传统的 Data Comparison Write 和 Flip-N-Write 机制相比, 写寿命分别延长 38% 和 19%, 写入能耗分别减少 28% 和 17%。

关键词: 相变随机访问存储器; 主存系统; 能量损耗; 写寿命

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2014)01-0099-04

An Access Scheme for PCRAM-Based Main Memory System

SUN Jian, CHEN Lan, HAO Xiao-ran

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: As the energy consumption grows in memory system, Phase Change Random Access Memory (PCRAM) is the most promising candidate to be the alternative of DRAM-based main memory. It appears to great advantages of high scalability, low power consumption and non-volatile. However, the limitation of PCRAM used as main memory is the characteristics of write operation, such as poor endurance, high write energy consumption and high write access latency. This paper proposes a parallel read-before-write XOR-based scheme to improve life time and reduce energy consumption of PCRAM. Comparing with Data Comparison Write and Flip-N-Write scheme, experimental results show that our solution improves the write endurance up to 38% and 19%, reduce the write energy consumption by 28% and 17% on average respectively.

Key words: phase change random access memory; main memory system; energy consumption; write endurance

1 引言

目前处理器技术已经进入多核时代, 应用软件对主存的需求越来越高^[1]。然而, 随着半导体制造工艺尺寸的收缩, 传统基于动态随机访问存储器 (DRAM) 技术的主存面临着功耗、存储密度以及制造工艺等瓶颈。研究表明, 主存系统的功耗占系统总功耗的比例已经达到 30%~40%^[2]。因此, 新型主存技术的研究, 对减少主存系统的功耗以降低系统总功耗至关重要。相变随机访问存储器 (PCRAM) 是一种速度与 DRAM 接近的新型存储

器, 其非易失性和高集成度等特点, 使得它将替代 DRAM 成为下一代最有潜力的主存技术。尽管 PCRAM 具有诸多优势, 但是单个相变存储单元存在写入次数的限制, 当写入次数大于存储单元所能承受的极限时, 会产生读写不一致的错误^[3-4]。此外, PCRAM 写入能耗较高。为了解决这些问题, 本文提出一种基于异或的并行写前读机制, 达到延长主存写寿命和减少写入能耗的目的。

2 相变随机访问存储器

相变随机访问存储器采用典型的“1T1R”结构,

收稿日期: 2013-02-18; 修回日期: 2013-04-09

基金项目: 中国科学院战略性先导科技专项 (XDA06020400); 国家重大科技专项 (2012zx03005007)

即一个晶体管和一个存储单元. 存储单元利用硫族化合物 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) 在不同状态之间的导电性差异来存储数据. 通过控制加热电极电流脉冲的大小和持续时间, 相变材料可以在晶态和非晶态这两种稳定状态之间快速转换^[5-6]. 如图 1 所示, 当电极加热到结晶温度(300 度)和融化温度(600 度)之间, GST 处于晶态并实现 SET 操作; 当电极加热到融化温度(600 度)以上, GST 又变成非晶态并实现 RESET 操作. 随着相变材料加热次数的增多, 体积上的变化可能使得 GST 与加热电极之间的接触变得不再可靠, 无法保证对 PCRAM 进行正确的写入操作, 导致相变存储单元失效.

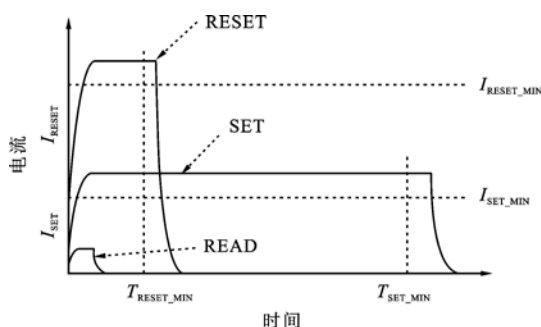


图 1 PCRAM 电流-时间曲线

3 设计方案

本文利用写前读的思想, 设计了一种基于异或的并行处理架构. 在数据写回之前, 先将 PCRAM 存储单元中的数据读取出来, 与一组经过预处理的写回数据相比较, 选择修改位数最少的数据写入 PCRAM 存储单元并记录预处理数据的编号.

3.1 写入机制

写入机制如图 2 所示, 按照功能可分为数据预处理、数据读取、数据选择、数据写入和数据存储等五部分.

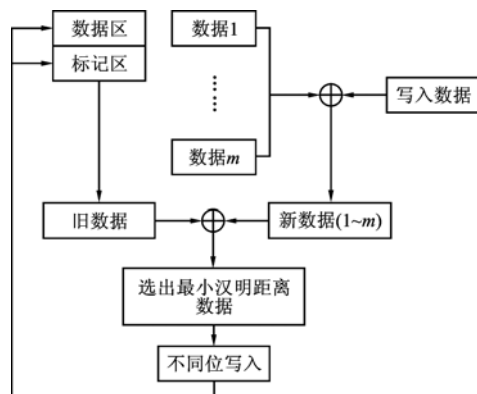


图 2 数据写入机制

数据预处理部分先将 cache 写回的数据与 m 组

数据进行异或, 得到 m 组预处理后的新数据. 其中数据 1 和数据 2 分别设定为全 0 和全 1, 以得到写回的原始数据和按位取反后的数据. 数据读取部分将写回地址中已存在的数据和对应的标记编号读取到旧数据寄存器中. 数据选择部分把 m 组预处理后的数据和编号分别与读取出的旧数据进行比较, 计算出 m 个汉明距离, 选取汉明距离最小的作为最终写入 PCRAM 的数据. 数据写入部分把汉明距离最小的数据与 PCRAM 存储器中存在的不同数据中不同的位写入 PCRAM 存储单元. PCRAM 作为数据存储介质保存最终写入的数据以及记录选取数据编号的标记.

3.2 读取机制

数据读取机制是一个解码的过程, 如图 3 所示. 首先从 PCRAM 存储单元中把访问地址所对应数据区和标记区的数据读取出来. 然后由多路选择器根据读出的标记, 从数据 1 到 m 中选择出参与解码计算的数据. 最后对数据区读出的数据和多路选择器送出的数据进行异或操作, 解码出上层设备需要的原始数据.

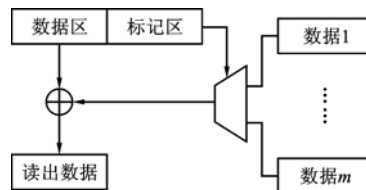


图 3 数据读取机制

4 实验评测

4.1 实验环境

本文采用 GEM5^[7] 仿真环境对基于 PCRAM 的并行处理架构进行评测. GEM5 是一款精确周期执行驱动的开源计算机体系结构模拟器, 可以模拟包括 CPU、总线、存储系统, 并在模拟环境中加载操作系统和应用软件, 实现全系统仿真. 实验对 GEM5 体系结构模拟器进行了修改, 建立基于 PCRAM 的主存系统, 并实现了基于异或的并行处理机制. 基线系统的配置如表 1 所示, 其中包含了基于 ARM-V7 架构的顺序流水线处理器、32 kB I-cache、64 kB D-cache 和 1 Gb 的 PCRAM 主存系统. 为了评测架构性能, 选用了 Mibench^[8] 嵌入式测试程序集, 涉及多媒体、通信、网络、控制等多种嵌入式应用领域.

4.2 实验结果

本组实验分别对基于无处理机制、DCW (Data

Comparison Write)^[9]、FNW(Flip-N-Write)^[10]和本文方法的 PCRAM 主存系统进行随机数据写回的测试,选用同一组随机测试序列,如图 4 所示.当写回次数达到 10 000 000 次时,基于本文方法的 PCRAM 主存系统实际修改位数减小到 816 769 944,从而达到了延长 PCRAM 写寿命和降低写入能耗的目的.

表 1 基线系统配置

参数	配置
处理器参数	ARM-v7 架构,顺序流水线执行
缓存参数	32 kB I-cache, 64 kB D-cache 256 bit cache line
PCRAM 参数 ^[9]	PCRAM 容量 1 Gb 读能量/位=74 pJ SET 能量/位=64 nJ RESET 能量/位=12 nJ

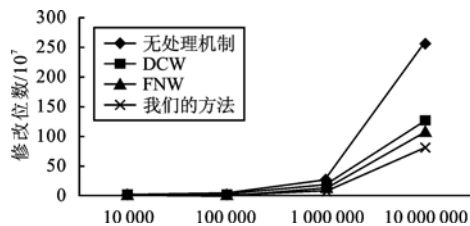


图 4 数据修改位数对比

PCRAM 存储单元有写入次数的限制,因此 PCRAM 主存系统的写寿命将随着存储器中修改位数的减少而延长.在 Mibench 测试程序的评测下,图 5 所示为以基于 DCW 机制的 PCRAM 主存系统的写寿命为参考单位,对基于 FNW 和本文处理机制的 PCRAM 主存系统的写寿命进行归一化处理.与 DCW 和 FNW 相比,本文方法分别延长 PCRAM 的平均写寿命 38% 和 19%.

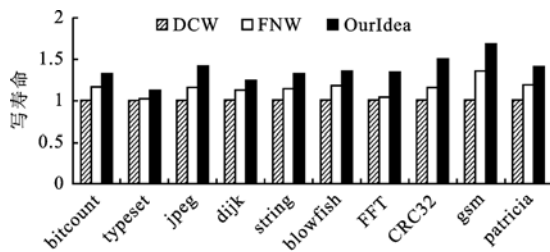


图 5 不同 benchmark 下写寿命对比

由于 PCRAM 的写入能耗较大,PCRAM 主存系统的写入能耗将随着存储器中修改位数的减少而减少,图 6 所示.以基于 DCW 机制的 PCRAM 主存系统的写入能量为参考单位,对基于 FNW 和本

文方法的 PCRAM 主存系统的写入能量进行归一化处理.与 DCW 和 FNW 相比,本文方法对 PCRAM 平均写入能耗分别减少 28% 和 17%.

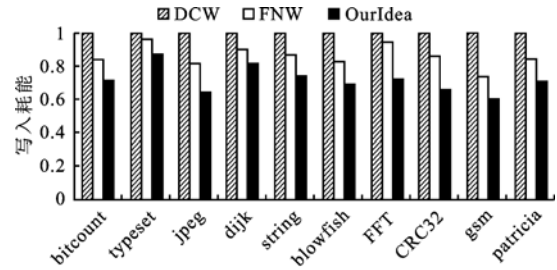


图 6 不同 benchmark 下写入能耗对比

图 7 表明了基于本文方法并行预处理数据个数对存储写入器修改位数的影响.当预处理数据个数选取为 1 和 2 时,该机制分别与 Data Comparison Write 和 Flip-N-Write 等价.随着并行预处理数据个数的增加,存储器中实际修改的位数有明显地减少.从图 7 中可以看出,若无限增加并行预处理数据个数,则对减少存储器中实际修改位数的效果有所减弱.与此同时,这也将增加额外的标记位记录预处理数据的编号.

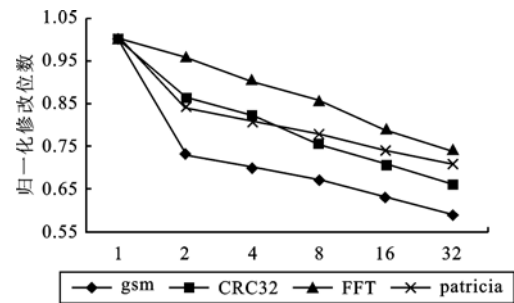


图 7 修改位数与并行预处理数据个数的关系

5 结束语

相变随机访问存储器作为主存使用时,存在着写寿命限制和写入能耗较大的问题.文中利用相变存储器读取代价小于写入代价的特点,提出了一种基于写前读方法的并行处理机制.经过该机制处理,与 Data Comparison Write 和 Flip-N-Write 相比,写寿命分别延长 38% 和 19%,写入能耗分别减少 28% 和 17%.该机制不会与其他上层系统的策略相冲突,可以共同执行对系统进行优化.

参考文献:

- [1] Kwon Suknam, Yoo Sungjoo, Lee Sunggu, et al. Optimizing video application design for phase-change RAM-based main memory[J]. IEEE Trans on VLSI Systems, 2012, 20(11): 2011-2019.

- [2] Dhiman Gaurav, Ayoub Raid, Rosing Tajana. PDRAM: A hybrid PRAM and DRAM main memory system[C] // Proceedings of the 46th Annual Design Automation Conference (DAC). New York: IEEE, 2009:664-469.
- [3] Zhou Ping, Zhao Bo, Yang Jun, et al. A durable and energy efficient main memory using phase change memory technology[C]// Proceedings of International Symposium on Computer Architecture (ISCA). Austin: IEEE,2009: 14-23.
- [4] Qureshi M K, Srinivasan V, Rivers J A. Scalable high performance main memory system using phase-change memory technology[C] // Proceedings of International Symposium on Computer Architecture (ISCA). Austin: IEEE,2009:24-33.
- [5] Raoux S, Burr G W, Breitwisch M J, et al. Phase-change random access memory: a scalable technology [J]. IBM Journal of Research and Development, 2008, 52(4/5):465-479.
- [6] Seznec Andre. A phase change memory as a secure main memory [J]. Computer Architecture Letters, 2010, 9(1): 5-8.
- [7] Binkert Nathan, Beckmann Bradford, Black Gabriel, et al. The gem5 simulator[J]. SIGARCH Computer Architecture News, 2011, 39(2): 1 - 7.
- [8] Guthaus M R, Ringenberg J S, Ernst D, et al. MiBench: a free, commercially representative embedded benchmark suite[C] // Proceedings of IEEE 4th Annual Workshop on Workload Characterization. Austin: IEEE,2001:3-14.
- [9] Yang Byung-Do, Lee Jae-Eun, Kim Jang-Su, et al. A low power phase-change random access memory using a data-comparison write scheme[C] // Proceedings of 2007 IEEE International Symposium on Circuits and Systems (ISCAS). New Orleans: IEEE, 2007: 3014-3017.
- [10] Cho Sangyeun, Lee Hyunjin. Flip-N-Write: A simple deterministic technique to improve PRAM write performance, energy and endurance[C]// Proceedings of 2009 IEEE International Symposium on Microarchitecture (MICRO). New York: IEEE,2009:347-357.

作者简介:



孙 健 男,(1988—),硕士.研究方向为计算机存储系统架构、嵌入式系统设计.

陈 岚 女,(1968—),研究员,博士生导师.研究方向为超深亚微米芯片设计方法学及计算机系统结构.

郝晓冉 女,(1980—),助理研究员.研究方向为计算机存储系统架构.