

一种高性能的亚阈值基准电压源设计

代 贇, 张国俊

(电子科技大学 薄膜与器件国家重点实验室, 四川 成都 610054)

摘 要: 本文给出了一种基于亚阈值 MOS 特性的基准电压源. 通过使用线性区工作的 MOS 管代替传统电阻来消除掉迁移率和电流的温度影响, 拓宽了温度范围, 改善了性能. 采用 $0.5\mu\text{m}$ CMOS 工艺进行仿真. 结果表明电路能在 $2.5\sim 8\text{V}$ 范围内工作, 线性调整率为 0.3mV/V . 在 3.3V 工作电压下, 输出基准在 -55°C 到 150°C 温度范围内温度系数为 $7.3\text{ppm}/^\circ\text{C}$, 静态功耗为 $13.8\mu\text{W}$, 1kHz 下电源抑制比为 -53dB . 该基准电压源的设计能满足宽温度范围、低温漂、低功耗和高电源抑制比的要求.

关键词: 亚阈值基准电压源; 线性区; 温度系数; 电源抑制比; 低功耗

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)05-0108-04

A Design of High Performance Voltage Reference Based on Subthreshold

DAI Yun, ZHANG Guo-jun

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic
Science and Technology of China, Chengdu 610054, China)

Abstract: A voltage reference based on subthreshold is presented in this paper. The MOSFET working in linear region, instead of the traditional resistance, is used to eliminate the mobility and current temperature impact. In this way, the range of temp is broadened and performance is improved. The circuit is simulated with $0.5\mu\text{m}$ CMOS model and the result shows that the circuit can work ranging from 2.5 to 8V and its line regulation is 0.3mV/V . Under 3.3V operating voltage, the output reference tempcoefficient in -55°C to 150°C is $7.3\text{ppm}/^\circ\text{C}$, and its static power is $13.8\mu\text{W}$, power supply rejection ratio is -53dB at 1kHz . The design of reference meets the requirements of a wide temperature range, low temperature drift, low power and high power supply rejection ratio.

Key words: subthreshold voltage reference; linear region; temperature coefficient; power supply rejection ratio; low power

1 引言

基准电压源被广泛应用于各种模拟或者数模混合系统中, 例如 A/D、D/A 转换器、开关电源和线性稳压器等^[1]. 随着便携电子产品的日益普及, 为了提高电池的续航能力和应对复杂恶劣环境的能力, 让它们工作在更宽的温度范围、低能耗下显得尤为重要. 同时, 出于对成本的考虑, 要求电路尽量少的使用 MOS 管以外的其他器件.

为了解决上述问题, 本文基于亚阈值 MOSFET

的特性, 提出一种能在很宽温度范围内稳定工作的低功耗基准电压源电路. 该基准电压源结合 MOS 管在线性区、饱和区和亚阈区不同的 $I-V$ 特性, 产生具有正温特性的热电压 V_T 和负温特性的 V_{TH} , 然后求和, 最终产生一个具有零温度系数的基准电压.

2 典型的基准电压源电路

典型的基准电压源电路大体分以下几类: ①传统带隙基准电压源; ②基于不同 MOS 栅源电压差的电压基准源; ③基于 MOS 亚阈值特性的电压

在基准产生电路中由于自偏置结构的存在,往

往都存在简并工作点,一个零点和一个正常工作点.为了克服简并偏置点,在电路中设计了启动电路.

启动电路由 MS1、MS2 和 C0 组成.当电源电压 VDD 由零开始上升的时,由于 MS2 的栅极电位处于低电平,MS2 先导通,则给自偏置管 M1 一个启动电流,直到 VDD 上升到 V_{TH} ,则 MS1 导通,给 C0 充电,MS2 栅极电位开始变高,最终关断 MS2,完成整个启动过程.相比文献[6]的启动电路,此启动省去了大阻值的限流电阻,而且正常工作时没有直流电流,降低了整个基准电压源的功耗,节省了芯片面积.

3.2 基准产生电路

基准产生电路由 M1—M9、R1、R2、C1 和 C2 组成.其中包含了工作在三个不同工作区的 MOS 管. M1、M2 管工作在亚阈值区, M7 管工作在线性区,其他管子则工作在饱和区.对于亚阈值 I—V 特性,由文献[2]可知:

$$I = \mu C_{OX} \frac{W}{L} V_T^2 \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \quad (5)$$

其中 μ 为载流子迁移率, C_{OX} 为栅极单位面积电容, $n = \frac{C_{OX} + C_{DEP}}{C_{OX}}$, C_{DEP} 为耗尽区电容, n 与工艺有关.

利用式(5)的亚阈值电流关系,可以得到:

$$V_{GS} = V_{TH} + nV_T \ln \frac{I}{\mu C_{OX} \frac{W}{L} V_T^2} \quad (6)$$

因此 M7 管上的压降则为

$$\Delta V_{GS} = V_{GS1} - V_{GS2} = nV_T \ln M \quad (7)$$

其中 M 为 M2 和 M1 的镜像比, M3 和 M4 以及 M5 和 M6 的镜像比都是 1 比 1.

由 M7 工作在线性区,因此可以将之看成一个小电阻:

$$R_{ON} = \frac{1}{\mu C_{OX} \left(\frac{W}{L}\right)_{M7} (V_{GS} - V_{TH})} \quad (8)$$

其中 M7 管的栅源电压即为基准电压. 则 M6 上的电流:

$$I_6 = \frac{\Delta V_{GS}}{R_{ON}} = \mu C_{OX} \left(\frac{W}{L}\right)_{M7} (V_{REF} - V_{TH}) nV_T \ln M \quad (9)$$

令 K 为 M9 和 M6 的镜像比,可以推出基准电压

$$V_{REF} = V_{GS8} = V_{TH} + \sqrt{\frac{2I_9}{\mu C_{OX} \left(\frac{W}{L}\right)_{M8}}} \quad (10)$$

将式(7)、(8)、(9)带入式(10),将 V_{REF} 简得:

$$V_{REF} = V_{GS8} = V_{TH} + \frac{2K \left(\frac{W}{L}\right)_{M7} nV_T \ln M}{\left(\frac{W}{L}\right)_{M8}} \quad (11)$$

可以清楚看到此式较之前的亚阈值基准电路已经消除了电流 I 和迁移率 μ 的影响,因此可以产生在更宽的温度范围产生很好的温度特性.

将 V_{REF} 对温度求导:

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{TH}}{\partial T} + 2 \frac{K \left(\frac{W}{L}\right)_{M7} n \ln M}{\left(\frac{W}{L}\right)_{M8}} \times \frac{\partial V_T}{\partial T} \quad (12)$$

由文献[7]可知 V_{TH} 的温度特性:

$$V_{TH}(T) = V_{TH}(T_0) - \alpha(T - T_0) \quad (13)$$

由式(12)、(13)可得:

$$\frac{\partial V_{REF}}{\partial T} = -\alpha + 2 \frac{K \left(\frac{W}{L}\right)_{M7} n \ln M}{\left(\frac{W}{L}\right)_{M8}} \times \frac{k}{q} \quad (14)$$

其中 k 为玻尔兹曼常数,通过令式(14)为 0,就可以求出 K 、 M 的值以及 M7 和 M8 的宽长比,最终得到具有零温系数的基准电压.

3.3 运算放大器

运算放大器由 M10~M14 组成,让尾电流管 M14 镜像 M1 的电流,就是为了让整个运算放大器偏置电流很小,让运放的输入对管 M10、M11 工作在亚阈值区,从而实现低功耗大增益的功能.由文献[7]可知,亚阈值运放的一级增益为:

$$A_v = g_{m11} \times R_{OUT} \quad (15)$$

其中由式(5)的亚阈值电流可知:

$$g_{m11} = \frac{I}{nV_T} \quad (16)$$

$$R_{OUT} = r_{o11} \parallel r_{o13} = \frac{1}{(\lambda_n + \lambda_p)I} \quad (17)$$

因此由式(15)、(16)、(17)得:

$$A_v = \frac{1}{nV_T(\lambda_n + \lambda_p)} \quad (18)$$

较普通一级运放有更大的增益.对于运放的补偿,采用在第二级运用米勒补偿的方法,对基准产生电路的两条支路引入 RC 结构进行补偿,将 M5 和 M6 的右半平面零点移到左半平面抵消 M4 漏极产生的次级点,提高环路稳定性.

4 电路仿真

本文在 0.5 μ m CMOS 工艺下,利用 Cadence spectre 进行仿真验证.在 3.3V 电源电压条件下,

−55℃~150℃温度范围内,仿真曲线如图 5 所示。该电路输出的基准电压在整个温度扫描范围内变化只有 1.8mV,温度系数为 7.3ppm/℃,输出基准电压 1.196V,其静态工作电流为 4.2μA,静态功耗为 13.8μW。

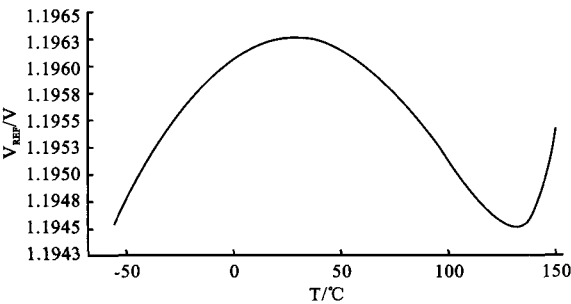


图 5 改进亚阈值基准温度特性

由于运算放大器的引入,必须要考虑到环路的稳定性,在引入了 RC 米勒补偿过后,对环路进行仿真,仿真曲线如图 6 所示。环路增益为 83dB,带宽为 1.1MHz,相位裕度为 63°。因此整个环路很稳定。

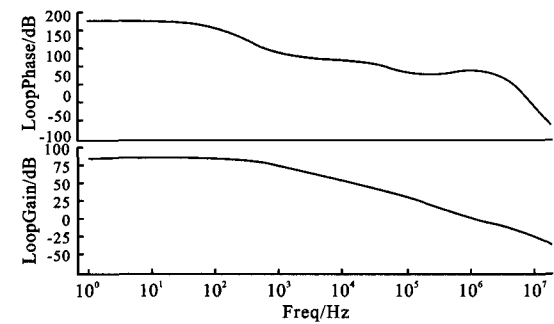


图 6 环路稳定波特图

由于运算放大器的存在,对于整个基准电路的 PSRR 特性有了很大的改善,在负载 1pF 电容条件下,PSRR 仿真曲线如图 7 所示。低频 PSRR 低频增益为−54dB,1kHz 时 PSRR 为−53dB。

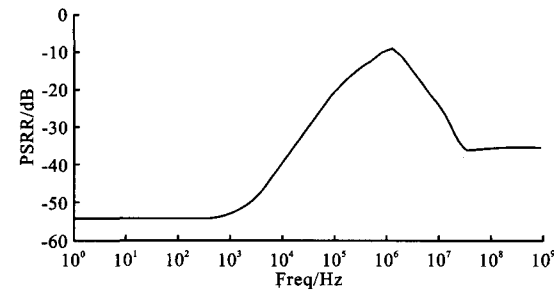


图 7 电源抑制比仿真曲线

该基准能在电源电压 2.5~8V 内工作,线性调整率仿真曲线如图 8 所示。线性调整率为 0.3mV/V。

表 1 给出了相关电路的性能比较。本文所提出的亚阈值基准电压源在温度范围、温度系数、电源抑

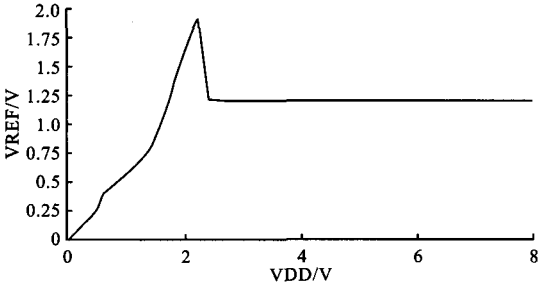


图 8 线性调整率仿真曲线

表 1 本电路与其他相关电路性能比较

电路特性	本文	文献[8]	献[9]
工艺/ μm	0.5	0.35	0.18
工作电压/V	2.5~8	3~7	1~5
基准电压/V	1.196	1.2	0.298
温度范围/℃	−55~150	−10~120	−23~77
温度系数(ppm/℃)	7.3	50	72.6
电源抑制比/dB	−53@1kHz	−52@1kHz	N/A
功耗/ μW	13.8	143	1.48

制比和功耗方面都有较好的表现。

5 结束语

本文基于 MOS 管的亚阈值特性,设计出了一种高精度电压基准源。在 0.5μm 工艺下,运用 Spectre 仿真显示,电路在 2.5~8V 能正常工作,在 3.3V 电源电压,−55℃~150℃温度范围内,基准电压温度系数仅为 7.3ppm/℃,1kHz 时 PSRR 为−53dB,整个电路功耗为 13.8μW,是一种宽温度范围、低温漂、低功耗以及高稳定性的高性能基准源,可以广泛运用于多种模拟电路系统中。

参考文献:

[1] 辛新鹏,李冬梅,王志华. CMOS 带隙基准源研究现状[J]. 微电子学,2008,38(1):57–63.

[2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,程军,张瑞智,等译. 西安:西安交通大学出版社,2002.

[3] Rincon-Mora G A. A voltage reference from diodes to precision high-order bandgap circuits[M]. New Jersey: IEEE Press,2002.

[4] Ka Na Leung. A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators[J]. IEEE J Solid-State Circuits, 2003, 1(38):146–150.

[5] 余国义,邹雪城. 低压低功耗 CMOS 基准参考源的设计[D]. 武汉:华中科技大学,2006.

采样保持电路采用双采样的拓扑结构,运放设计采用共源共栅跨到前馈补偿的两级运放,栅压自举开关采用双边对称的无馈通的栅压自举开关.基于对S/H电路中3种关键模块的优化,从而实现12bit精度100MSPS采样率86.4dB SFDR的S/H电路,达到了预期结果.

参考文献:

- [1] Francesco Centurelli, Pietro Monsurrò, Salvatore Pennisi, et al. Design solutions for sample-and-hold circuits in CMOS nanometer technologies [J]. IEEE Transactions on Circuits and Systems-II: Express Briefs, 2009, 56(6): 459-463.
- [2] Z Yu, M A P Pertijs, G C M Meijer. Ultrasound beamformer using pipeline-operated S/H delay stages and charge-mode summation [J]. Electronics Letters, 2011, 47(18): 46-47.
- [3] Ke Liu, Hai-gang Yang. Optimum design of a fully differential 12bit 100MS/s sample and hold module with over 77dB SFDR[C]//IEEE International Conference on ASIC (ASICON). Gui Lin, China; 2007: 442-445.
- [4] Rongbin Hu, JieTang. A novel full differential double sampling circuit for ADC [C]//IEEE International Conference on ASIC (ASICON). Lu Shan, China; IEEE, 2012: 1548-1551.
- [5] Zheng Hao, Fan Xiangning, Sun Yutao. Design of 12bit 100MHz sample and hold circuit for pipeline ADC[C]//Wireless Communications and Signal Processing (WCSP), International Conference. Nan Jing, China; IEEE, 2011: 480-483.
- [6] Haitao Wang, Hui Hong, Lingling Sun, et al. A sample-and-hold circuit for 10-bit 100MS/s pipelined ADC [C]//IEEE International Conference on ASIC (ASICON). Xia Men, China; IEEE, 2011: 480-483.
- [7] Hwei-Yu Lee, Shen-Iuan Liu. A 140MS/s 10-bit pipelined ADC with a folded S/H stage [C]//IEEE International Symposium on ASIC (ASICON). Tai Bei, China; IEEE, 2012: 976-979.
- [8] Santosh Devasia. Design of feedforward input for output-settling control with dual-stage actuators [J]. IEEE Transactions on Mechatronics, 2007, 12(6): 670-679.
- [9] Jie Cui, P K Chan. A low-power capacitive transducer for portable electrical capacitance tomography with high dynamic range [J]. IEEE Sensors Journal, 2011, 11(12): 3388-3399.
- [10] W Yu, G C Temes. Power-up calibration techniques for double-sampling $\Delta\Sigma$ modulators [J]. Electronics Letters, 2009, 45(19): 15-16.

作者简介:



孙振亚 男,(1986—),硕士研究生.研究方向为数模混合信号集成电路研究.

(上接第111页)

- [6] 代赞,杨兴,带曲率补偿的带隙基准电流源的设计[J]. 物联网技术,2012,2(2):64-67.
- [7] Phillip E. Allen, Douglas R. Holberg. CMOS 模拟集成电路设计[M]. 2版. 冯军,李智群,译. 北京:电子工业出版社,2006.
- [8] Ramasamy S, Venkataramani B. A low power CMOS voltage reference circuit with subthreshold MOSFETs [C]//proceedings of the International Conference on Electronic Design. [s. l.]; IEEE, 2008: 1-6.
- [9] Shu J, Cai M, A low supply-dependence fully-MOS-FET voltage reference for low voltage and low power [C]//proceedings of the IEEE Asia Pacific conference on Circuits and Systems. Guangzhou; IEEE, 2008: 442-445.

作者简介:

代赞 男,(1988—),硕士研究生.研究方向为模拟集成电路设计.

张国俊 男,(1960—),教授.研究方向为半导体功率器件、模拟集成电路、微细加工技术.