

片上 Flash 测试接口的设计

杨 阳¹, 宋明歆¹, 朱学亮²

(1 哈尔滨理工大学, 黑龙江 哈尔滨 150080; 2 中国电子科技集团第 58 研究所, 江苏 无锡 214000)

摘 要: 提出了一种 DSP 上嵌入式 Flash 存储器的测试接口设计. 结合对 Flash IP 接口分析以及测试的要求, 实现了测试接口引脚复用设计和接口逻辑转换的设计, 设计在减少测试引脚数量的同时准确并完整地实现了对片上 Flash 的测试, 满足了设计的可测试性. 通过 NCSim 仿真验证, 设计达到了测试要求, 并成功应用于一款 32 位定点 DSP 芯片中.

关键词: Flash; 测试接口; DSP; 复用

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)12-0100-04

Test Interface Design for On-chip Flash

YANG Yang¹, SONG Ming-xin¹, ZHU Xue-liang²

(1 Harbin University of Science and Technology, Harbin 150080, China;

2 58 Institute of China Electronics Technology Group, Wuxi 214000, China)

Abstract: A new kind of test interface for embedded Flash IP of DSP on chip is presented in this paper. By analyzing the interface of Flash IP and the test requirement, we realize the pin multiplexing logic design and the address/data converter logic design. The design reduces the number of test pins while accurately and completely test the on-chip Flash, meeting testability of the design. Simulation by Ncsim, the design meet the testing requirements, and successfully applied to a 32-bit fixed-point DSP.

Key words: Flash; test interface; DSP; multiplexing

1 引言

随着 Flash 存储器的时序和设计越来越复杂^[1],可能出现的问题也日益增多,传统的片上 FLASH 设计一旦完成,很难从片外对其直接进行操作,当处理器出现问题时,无法对 FLASH 存储器进行测试验证,进而影响整个处理器的故障分析.因此,提高 FLASH 设计的可测试性变得日益重要.

本文对 DSP 处理器片上 FLASH 的设计增加了片外测试通道,片外测试引脚通过内部测试逻辑对 FLASH 存储器进行测试与控制,实现了片上 FLASH 的可测试性.

2 总体设计

FLASH 存储器的测试接口整体结构如图 1 所

示,FLASH 存储阵列除了和 DSP 内核正常连接以外,还通过复用选择器加入了测试控制单元^[2-3],片外测试引脚通过测试控制单元实现对 FLASH 存储阵列的控制与测试.

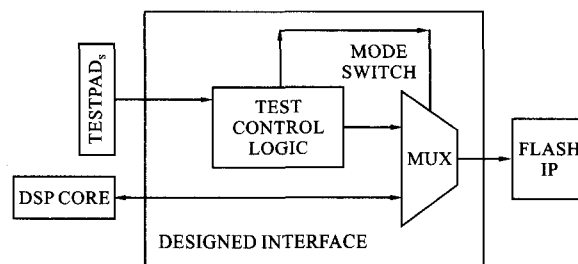


图 1 接口总体设计框图

2.1 Flash-IP 模块说明与测试时序设计

本文设计的 Flash Memory Block 是一种 CMOS 页擦除双字编程嵌入式存储器,拥有快速页

收稿日期: 2013-02-18; 修回日期: 2013-04-19

基金项目: 2011 年度黑龙江省青年科学基金(QC2011C087)

擦除和字编程的特点. 存储器内部划分成存储块和信息块两部分. 存储块的大小为 $16K \times 64$, 信息块大小为 320×64 主要存储器件信息. Flash 接口如图 2 所示.

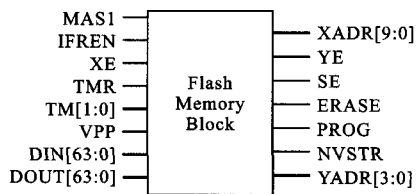


图 2 Flash 接口图

XADR[9:0] 是 X 地址输入获取行地址, 通过 XADR[2:0] 选择存储块或者信息块中的一行; YADR[3:0] 是 Y 地址输入获取列地址; DIN[63:0] 数据输入总线; DOUT[63:0] 数据输出总线; XE 是 XADR 使能端, 当 $XE=0$ 时所有行地址不可读; YE 是 YADR 使能端; SE 是敏感放大使能; IFREN 是信息块使能控制线; ERASE 是擦除控制线; PROG 是编程控制线; NVSTR 是稳定存储控制线. 通过对 Flash 存储器各操作的时序分析, 设计相应的测试时序.

测试 Flash 的读取功能时, 首先将数据的地址存储到地址寄存器当中, 再将各个使能信号送入相应的控制寄存器. 使能信号有效, Flash 经过 T_{xa} 和 T_{ya} 后获取 XADR 和 YADR 后将对应地址内的数据输出到 DIN 完成数据的读取. 测试时地址总线信号 XADR、YADR 与控制信号 XE、YE 分开先后输入并存入相应寄存器, 满足 Flash IP 读取时序如图 3 所示.

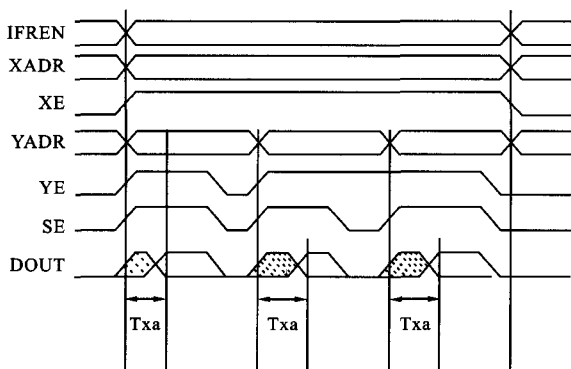


图 3 Flash IP 读取时序图

测试编程功能时, 信号的输入分为三个阶段. 首先将地址送入地址寄存器当中, 再将编程数据送入相应的数据寄存器当中, 最后输入相应的控制使能信号. 通过控制信号的不断变化将数据写入存储器当中. 为了提高测试时序的稳定性并符合电路时序的要求, 各个控制信号都设有相应的建立时间和保

持时间. T_{nv} 为 NVSTR 建立时间; T_{prgs} 为编程建立时间; T_{prog} 为编程时间; T_{ads} 地址建立时间; T_{adh} 为地址保持时间; T_{pgh} 为编程保持时间; T_{nvh} 为 NVSTR 保持时间; T_{rcv} 为恢复时间. 测试编程时, 地址线、数据线、控制线先后输入同样满足了 Flash IP 的编程时序如图 4 所示.

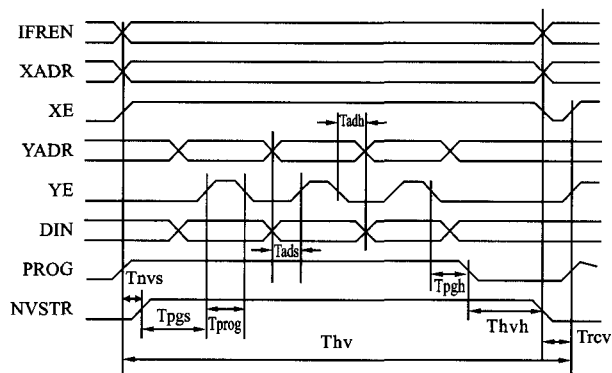


图 4 Flash IP 编程时序图

测试页擦除操作时, 只需要输入相应的行地址 XADR, 使能信号 XE, 和相应控制信号 ERASE, NVSTR, 其他信号相应置 0. 测试擦除操作时先输入相应的行地址再输入相应的控制信号完成 Flash 的擦除操作符合 Flash IP 的如图 5 所示.

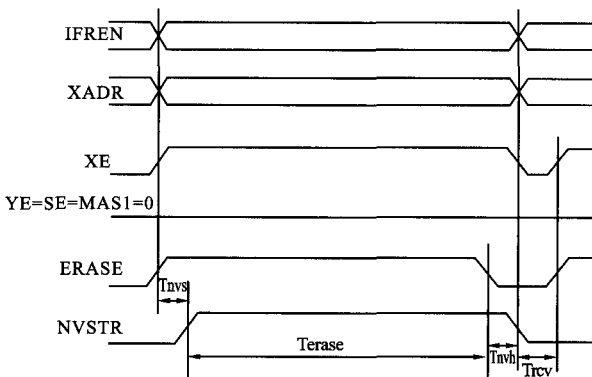


图 5 Flash IP 擦除时序图

通过对设计的 Flash 测试时序信号输入先后的分析, 控制各类信号的输入先后, 设计了 control signal/data/address bus 复用^[4]逻辑和相应的数据地址转换逻辑.

2.2 测试控制逻辑设计

当接口处于测试模式时整个测试路径接口的寄存器传输级逻辑框图如图 6 所示测试接口主要包含六个模块, 数据地址转换模块, 实现数据和地址位数的转换, Control logic 根据 SEL[2:0] 不同的值选择将输入作为相应信号的输入或输出, 模块 Address Register、Data Register、Control signal Register、Extra Test Register 用来暂存相应的数据, 分

别连接到 Control/Data/Addr Bus(8 Pads). 地址总线分为 XADR 和 YADR,数据位宽为 8,控制信号 8FlashIP Control Signal 包含 8 根控制线 XE、YE、SE、IFREN、ERASE、PROG、MAS1、NVSTR,数据位宽为 8. 数据总线 DIN[15:0]、DOU[15:0]的数

据位宽为 16,将数据总线都分为高八位和低八位进行复用. 从而通过 SEL 不同的状态值控制复用端口的数据类型(控制信号、数据信号、地址信号等). 整体复用对应关系如表 1 所示.

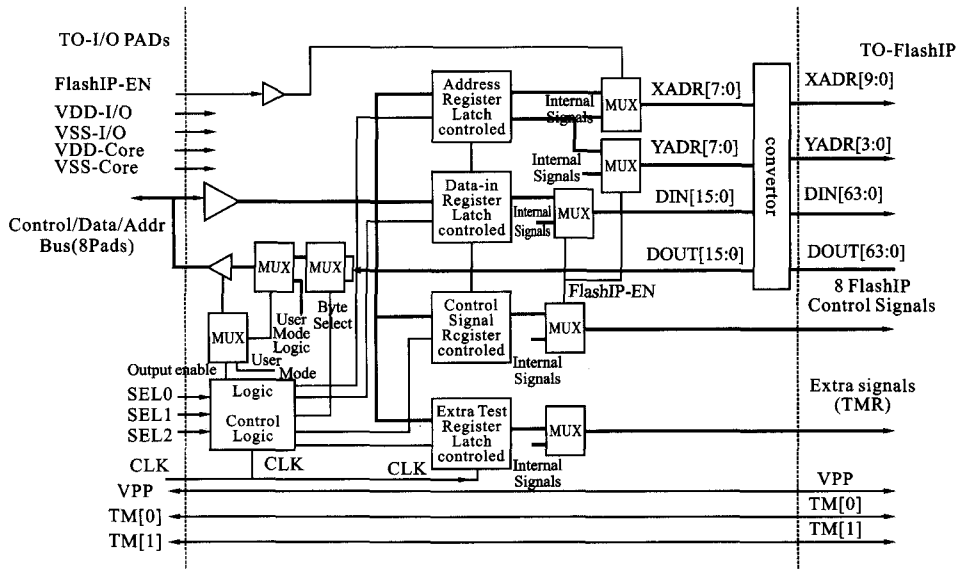


图 6 测试控制逻辑框图

表 1 复用引脚状态表

SEL[2:0]	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Remark
000(0)	A15	A14	A13	A12	A11	A10	A9	A8	High Byte Addr
001(1)	A7	A6	A5	A4	A3	A2	A1	A0	Low Byte Addr
010(2)	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8	High Byte Din
011(3)	DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0	Low Byte Din
100(4)	DO15	DO14	DO13	DO12	DO11	DO10	DO9	DO8	High Byte Dout
101(5)	DO7	DO6	DO5	DO4	DO3	DO2	DO1	DO0	Low Byte Dout
110(6)	XE	YE	SE	IFREN	ERASE	PROG	MAS1	NVSTR	Control signals
111(7)	TMR	X	X	X	X	X	X	X	Extra Signals

Flash-IP 核的数据线 DATAIN、DATAOUT 的数据位宽为 64,将数据分成四块 16 位数据如图 7 所示. 因为 IP 核每次只允许对 64 位数据中的 16 位操作,所以每次对同一个地址需要连续四次写操作将四个 16 位数据写到一个地址里,否则就会对存储空间有极大的浪费. Flash 每次写之前必须将存储单元的内容擦成 FFFF,数据的写入只能将对应位置的 1 置 0 而不能将 0 置 1. 任何数据可以覆盖 FFFF,而已经写入的数据不会被 FFFF 覆盖. 因而每次不做操作的 DIN 寄存器中其他 48 位数据都置 1. 数据地址转换模块将接口的中的相应的地址和数据转换成与 Flash 相匹配的位宽和逻辑. 数据地址

转换模块的高位地址 XADR 为 00 时低位地址 YADR 连续从 00 写到 03 时完成了将一个 64 位的数据存放到 Flash 的第一个地址 0000 当中,转换模块输入端低位地址 YADR 为 3F 时对应 Flash 的低位地址为 F,因为总的存储的数据的位数为 $(3F+1) \times 16$ 所以数据位宽为 64 的相应的地址应当到 F, $(\text{Flash 地址}+1) \times 64 = (\text{转换模块地址}+1) \times 16$. 转换模块的低位地址 YADR 转化成十进制数满足如下公式时则分别对相应块的 16 位数据进行操作,从 64 位数据右边向左起第一个 16 位数据的 YADR 符合 $4 \times n$ 第二个 16 位数据地址符合 $1 + n \times 4$ 第三个 16 位数据地址符合 $2 + n \times 4$ 第四个 16 位数

据地址符合 $3+n \times 4$, n 为任意非负整数. 因而当转换模块的低位地址 YADR 3F 换成十进制数 63 符合第四个 16 位数据地址表达式, 对 64 位数据的第四块 16 位数据操作, 如图 4 所示其他三块的数据都置为 FFFF, 第四块 16 位数据置成 201F.

3 仿真实验

仿真通过测试接口将一串 16 位数据 201F、1817、100F、0807……写入到 Flash 中, 再通过测试接口读出写入的数据.

整体仿真验证了接口相应的复用情况首先将一串数据通过测试接口写入到 Flash 中, 然后再通过相应的测试接口将写入的数据读取出来. 通过相应的仿真图可以看出测试接口对 Flash 进行了正确的读写等测试. 实现了 Flash 的可测试性

4 结束语

本文提出了一种 DSP 片上 Flash 存储器的片外 Data/Address/Control signal bus multiplexing 测试接口的设计, 大大增强了片上 Flash 的可测试性. 测试接口能够在复用控制信号 SEL 的控制下灵活的控制 Flash 进行读、写和擦除操作, 实现了对片

上 FLASH 的测试. 本测试接口既可以在片外对 Flash 进行测试, 也可用于片内自测试系统当中, 提高 Flash 可靠性同时也提升了整个 DSP 系统测试的灵活性. 经仿真验证设计实现了功能要求并通过 TSMC65nm 工艺成功应用于一款 32 位定点 DSP 中.

参考文献:

- [1] 鉴海防, 王占. SOC 嵌入式 Flash 存储器的内建自测试设计[J]. 微电子学与计算机, 2005, 22(4): 87-91.
- [2] 雷加, 晏筱微. Flash 存储器的内建自测试设计[J]. 微计算机信息, 2008, 24(2): 296-297.
- [3] International SEMATECH. The International Technology Roadmap for Semiconductors[C]// proceedings of the 20th Anniversary Symposium Tokyo, Japan: IEEE, 2005.
- [4] 张玥 万培元 林平分. 集成电路可测试性设计 IO 复用方法[J]. 半导体技术, 2011, 36(9): 705-709.

作者简介:

杨 阳 男, (1988—), 硕士研究生. 研究方向为专用集成电路设计.

宋明歆 男, (1974—), 副教授, 研究方向为集成电路设计.

(上接第 99 页)

- [4] Vedat Coskun. Relocating sensor nodes to maximize cumulative connected coverage in wireless sensor networks[J]. Sensors, 2008, 8(4): 2792-2817.
- [5] Chun-Hsien Wu, Yeh-Ching Chung. A polygon model for wireless sensor network deployment with directional sensing areas[J]. Sensors, 2009, 9(12): 9998-10022.
- [6] Gaojuan Fan, Ruchuan Wang, Haiping Huang, et al. Coverage-guaranteed sensor node deployment strategies for wireless sensor networks[J]. Sensors, 2010, 10(3): 2064-2087.
- [7] 郑耿忠, 刘秋梅. 基于模糊控制的移动无线传感器网络部署优化[J]. 微电子学与计算机, 2011, 28(2): 28-32.

- [8] 王雪, 王晟, 马俊杰. 无线传感网络布局的虚拟力导向微粒群优化策略[J]. 电子学报, 2007, 35(11): 2038-2042.
- [9] 杨明华, 曹元大, 谭励, 等. 一种移动传感器网络精确部署算法[J]. 北京理工大学学报, 2009, 29(1): 27-31.
- [10] 李明, 石为人. 虚拟力导向差分算法的异构移动传感网络覆盖策略[J]. 仪器仪表学报, 2011, 32(5): 1043-1050.

作者简介:

贺学剑 男, (1975—), 硕士研究生, 讲师. 研究方向为计算机应用技术.

陈家新 男, (1962—), 博士, 教授, 硕士研究生导师. 研究方向为计算机图形学、数字图像分析、人工智能系统.