

一种 12 位 100MSPS 采样保持电路的设计

孙振亚, 徐双恒, 陈 华, 眭志凌, 闫小艳

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 基于 $0.13\mu\text{m}/3.3\text{V}$ CMOS 工艺, 设计了一种用于 12bit 100MSPS Pipeline ADC 的采样保持(S/H)电路。采用具有高线性度双边对称的无馈通自举采样开关, 获得高增益、宽带宽的跨导前馈补偿共源共栅两级全差分跨导放大器, 以及能显著降低增益误差的相关双采样 S/H 拓扑结构来搭建 S/H 电路。仿真结果表明: 当在 11.27MHz 的输入信号, 111MHz 的采样信号下, 该 S/H 电路无杂散动态范围(SFDR)86.4dB, 功耗为 32mW。

关键词: 采样保持; ADC; 自举采样开关; 相关双采样

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)05-0112-05

Design of a 12-bit 100MSPS CMOS Sample and Hold Circuit

SUN Zhen-ya, XU Shuang-heng, CHEN Hua, SUI Zhi-ling, YAN Xiao-yan

(State Key Lab. of Elec. Thin Films and Integrated Devices, Univ. of Electronic Science and Technology, Chengdu 610054, China)

Abstract: A 12bit 100 MSPS pipelined analog-to-digital converter (ADC) sample and hold circuit is designed based $0.13\mu\text{m}/3.3\text{V}$ CMOS process. In this circuit, a high linearity Double Side Symmetrical No Feed Through (DSSNFT) bootstrapped switch, a high gain wide bandwidth Cascode Transconductance Feed Forward (CTFF) compensation two-stage fully differential OTA and a low gain-error correlated double sampling S/H topology structure are used to build S/H circuit. The simulation results show that SFDR can reach 86.4dB with input signal 11.27MHz and sample signal 111MHz. Power consumption is about 32mW at a 3.3V supply.

Key words: S/H; ADC; bootstrapped switch; correlated double sampling

1 引言

S/H 模块作为 Pipeline ADC 的前端关键模块, 是制约 Pipeline ADC 系统速度、精度和线性度指标优势的瓶颈^[1], 并已成为当前模数混合信号处理领域的研究热点。

目前, S/H 电路技术发展主要体现在其基本单元或组态的研究上^[2-3]。例如用于提高输入端采样信号线性度的自举采样开关、基于时间交织原理的双采样拓扑^[4]、具有高增益宽带宽的增益自举运放^[5-6]或 Miller 补偿两级运放、折叠共源共栅运放^[7]等。然而, 传统自举采样开关往往功能单一, 线性度有限^[8]; 增益自举运放结构复杂, 功耗大, Miller 补偿运放为了获得较大带宽对 Miller 电容要求

较高, 甚至还需要补偿电阻^[9]; 双采样技术在每半个时钟周期仍然是相互独立的单通道采样^[10]。

为实现 12bit 精度、100MSPS 采样率高性能 S/H 模块, 本文从探索 S/H 关键模块入手, 结合 Pipeline ADC 系统要求和成熟的 $0.13\mu\text{m}/3.3\text{V}$ CMOS 工艺技术, 优化 S/H 电路结构及其性能指标, 得到了较好的结果。

2 电路结构与设计

2.1 DSSNFT 自举开关

由于 S/H 电路高精度的要求, 图 1 给出了区别于传统自举开关, 的具有高线性度双边对称无馈通的 DSSNFT (Double Side Symmetrical No Feed Through) 栅压自举采样开关半边等效原理图。它是

由主采样开关 SWITCH、双边自举回(Side A 与 B, Side B 与 Side A 完全相同)和能消除时钟馈通信号电路(MN8~9、SWITCH')三部分组成,其中 Φ_1 、 Φ_2 是非交叠时钟, Φ_1' 、 Φ_2' 其对应反相时钟。

对于 MN1~2a Side A 与 B 可以共用; Side A 含 MP1~3a、MN3~7a 和一个自举电容 C_c , 实现开关管 SWITCH 的栅电压 V_G 跟随源电压 V_S 变化, 即 V_{GS} 恒定。当 Φ_2 有效时, C_c 的 N 端接 GND 且 P 端接 VDD, 从而 C_c 被充电至电源电压 VDD, 此时 V_G 接 GND, 开关管 SWITCH 断开; 当 Φ_1 有效时, 电容 C_c 充电回路断开, MN4a 的导通使得 MP1a 导通, 随后 MN6~7a 也导通从而开启了栅电压自举回路。此时, C_c 的 N 端接输入 V_{in} , 由于 C_c 在 Φ_2 有效时被充电至电源电压 VDD, 所以 SWITCH 的栅电压 V_G 变为 VDD 与 V_{in} 之和。因 SWITCH 的 V_{GS} 是与输入无关的恒定值, 从式(1)知, 此时导通电阻不变, 可实现轨对轨信号传输, 消除导通电阻值的影响。

$$R_{on} = \frac{1}{\mu C_{ox} W [V_{GS} - V_{th}] / L} \quad (1)$$

Side B 包括与 Side A 中对应相同的电路结构, 但 Side B 实现的是 SWITCH 栅电压 V_G 跟随漏电压 V_D 变化。这种双边对称的栅压自举采样开关对短沟器件具有更好效果, 因其开关的导通电阻^[1]:

$$R_{on} = \frac{1 + (V_D - V_S) / E_c L}{\mu C_{ox} W [V_G - V_S / 2 - V_D / 2 - V_{th}] / L} \quad (2)$$

由式(2)知相比长沟器件而言, 其分母非线性部分变成与 V_S 和 V_D 均相关的变量, 分子则多了与漏源电压差 $V_D - V_S$ 、临界电场 E_c 和沟道长度 L 相关的变量。为消除两部分非线性, 采用双边对称结构自举采样开关使 V_G 同时跟随 V_S 与 V_D 变化且保持恒定。图1中 MN7a/b 与 MN6a/b 是对称 MOS 管, 使得输入信号在向源漏端传输时相同, 从而源漏电压保持一致。

图1中 SWITCH' 管与 SWITCH 管尺寸完全相同, 并且让其永远处于关断状态。从 Φ_1 有效的采样阶段到 Φ_2 有效的保持阶段, SWITCH 栅电压从 V_{in} 变为 0, SWITCH' 栅电压从 0 变为 V_{in} , SWITCH 管与 SWITCH' 管会分别存在一个与输入相关的大小相等符号相反的时钟馈通电压信号, 此时输出端时钟馈通电压值为:

$$V_{FT} = \frac{(V_{DD} + V_{in}) C_{ov}}{C_{ov} + C_S} - \frac{V_{in} C_{ov}}{C_{ov} + C_S} \quad (3)$$

式(3)中前后两部分分别是 SWITCH 和 SWITCH' 引入的时钟馈通电压, C_{ov} 与 C_S 分别表示 SWITCH 栅漏交叠电容和采样电容。可见, V_{FT} 成为

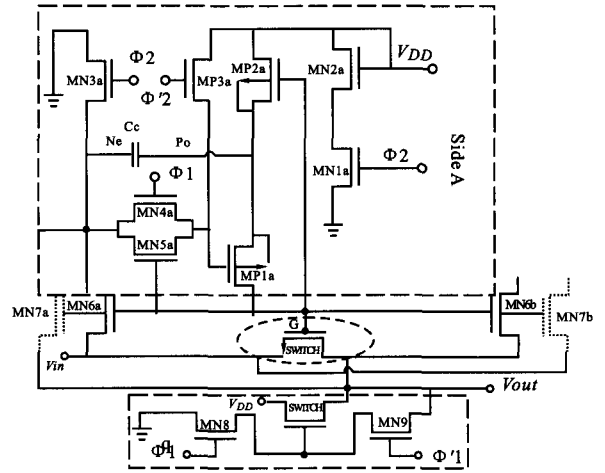


图1 DSSNFT 自举采样开关半边等效电路

与输入无关的固定失调电压, 而全差分结构可以完全消除该失调电压。

2.2 CTFF 两级全差分跨导放大器

由于 S/H 高速高精度的要求, OTA 不仅要满足高增益, 也要满足宽带宽, 还要提供满足要求的输出摆幅。本文采用了两级运算放大器。鉴于传统的两级放大器中 Miller 电容补偿次主极点对带宽的影响。图2中采用的是基于跨导前馈补偿原理^[8]提出的一种共源共栅跨导前馈 CTFF (Cascode Transconductance Feed Forward) 两级全差分跨导放大器 OTA, 该 OTA 采用共源共栅跨导前馈结构 (MN7、MN8~9a/b) 代替传统的 Miller 电容补偿, 有效避免了零极点分裂导致主极点反而减小的现象。OTA 第一级采用 NMOS 管差分输入的 (MN1、MN2~3a/b、MP1~2a/b) 套筒式共源共栅结构, 第二级 (MN4、MN5~6a/b、MP3a/b) 在达到输出摆幅的情况下, 对输入对管与输出之间增加共源共栅级能够减小第二级输出节点对第二级输入管工作环境的影响, 并各点的偏置电压可采用与 OTA 的 MOS 管成比例的比例的 MOS 管来完成结构一致的支路, 其中 $v_{bn1} \sim 3$ 可设计成具有相同反馈电压的共模反馈点, 从而用一个共模反馈 CMFB 电路完成, 能降低功耗和减小面积。

对该运放小信号建模, 并采用一阶近似得到该运放的传输函数:

$$H(s) = \frac{v_{out}}{v_{in}} = - \frac{A_1 A_2 + A_3 (1 + s/\omega_{p1})}{(1 + s/\omega_{p1}) (1 + s/\omega_{p2})} \quad (4)$$

式(4)中 A_1 、 A_2 、 A_3 分别为第一级、第二级、前馈通路的直流增益, ω_{p1} 、 ω_{p2} 分别为第一级、第二级的主极点。该 OTA 的直流增益约为 $A_1 A_2$, 从传输函数知存在一个左零点和两个左极点。唯一的左零

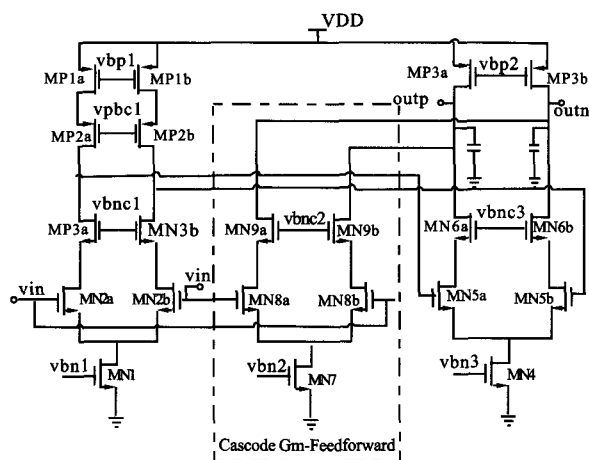


图2 CTFF 两级全差分跨导放大器

点为

$$z = -\omega_{p1} (1 + A_1 A_2 / A_3) \approx -\frac{g_{m1}}{C_{o1}} \cdot \frac{g_{m2}}{g_{m3}} \quad (5)$$

通过调整运放的参数使 ω_{p2} 和该左零点相互抵消。于是，整个运放经过 CTFF 前馈通路补偿作用后的单位增益带宽 (Gain Band Width GBW) 变为：

$$GBW = (A_1 A_2 + A_3) \omega_{p1} \approx A_2 \frac{g_{m1}}{C_{out1}} \quad (6)$$

这相当于运放第一级的单位增益带宽被放大了 A_2 倍。如果建立二阶系统模型，同样可得到 (6) 式的结论。

该技术的关键在于设计第二级放大器的主极点正好与系统零点相消。从式 (5) 知道左零点值与 g_{m3} 成反比例关系，同时与 g_{m1} 为比例关系。考虑到降低运放第二级的设计难度、功耗和获得更大的 GBW，图 2 中的跨导前馈级引入了共源共栅结构。

运放的直流增益决定 S/H 的静态误差。一般对于 12-bit ADC 允许的误差小于 1/2 个 LSB。假设总误差源中的一半是由运放的静态误差即有限的直流增益所引起的，那么静态误差必须小于 1/4 个 LSB

$$\varepsilon_{static} = \frac{1}{A_0 F} < \frac{1}{4} LSB \quad (7)$$

$$\varepsilon_{settling} = \exp\left(-\frac{GBW * F}{3 * f_s}\right) < \frac{1}{2} LSB \quad (8)$$

式 (7) 和 (8) 中 A_0 为运放直流增益， F 表示反馈系数， GBW 表示单位增益带宽， f_s 表示采样频率。最后鉴于实际情况存在的非理想因素与理论推导的偏差，以及开关管对性能的影响等，取运放直流增益 90dB，单位增益带宽 800MHz。

2.3 相关双采样的 S/H 拓扑结构

鉴于运算放大器的失调电压和有限增益所带来

精度的影响。本文采用图 3 中能补偿放大器有限增益的相关双采样技术^[9]与 S/H 原理结合而成的相关双采样 S/H 电路拓扑结构。图中实线部分是传统电荷转移型电路结构，虚线部分增加了一条辅助通道从而实现相关双采样。相比传统电荷转移型电路而言，相关双采样技术能消除放大器失调电压 V_{OS} 的同时，降低有限增益 A_V 带来的输出反馈电压 $-V_{out}/A_V$ 影响，提高了系统的精度。时序图中的 n 代表任意的一个保持结束之后，采样之前的时刻。

图 3 中， Φ_1 与 Φ_2 是非交叠时钟， $C_1/C_2 = C_A/C_{FB}$ 。当 Φ_1 有效时，主通道与放大器隔开， C_A 对输入信号 V_{in+} 进行采样；辅助通道与放大器构成积分器使输出跟踪输入，为保证同相放大，跟踪信号为 V_{in+} 的差分互补信号 V_{in-} ；电容 C_B 将 $V_{OS} - V_{out}/A_V$ 存储在右极板上。在 n 时 Φ_1 结束，此刻的输出结果 $V_{out}(n) = (C_1/C_2)V_{in+}(n)$ 。当 Φ_2 有效时，辅助通道关断，从而主通道进行保持放大，由于此刻电容 C_B 作用，节点 B 不再受 V_{OS} 影响；因 V_{out} 在建立开始已十分接近最终的建立值 $(C_1/C_2)V_{in+}(n)$ ，故有限增益误差大为减小。

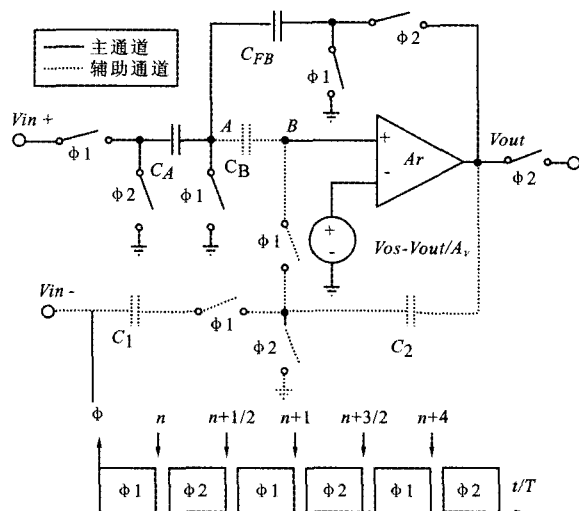


图3 相关双采样的 S/H 拓扑结构半边等效原理图与时序图

应用相关双采样技术的同向放大器输出通式为^[9]

$$V_{out}\left(n + \frac{1}{2}\right) = \frac{C_1}{C_2} V_{in}(n) - \frac{1}{A} \left(1 + \frac{C_1}{C_2}\right) \Delta V_{out}\left(n + \frac{1}{2}\right) \quad (9)$$

其中 $\Delta V_{out}(n + 1/2) = V_{out}(n + 1/2) - V_{out}(n)$ 。设节点 B 在 n 时刻电压为 V_{B1} ，节点 A 和 B 在 $n + 1/2$ 时刻电压分别是 V_{A2} 和 V_{B2} ，由电荷守恒定律可得节点 B 在 n 时刻：

$$V_{out1}(n) = \frac{C_1}{C_2} V_{in}(n) + \left(1 + \frac{C_1}{C_2}\right) V_{B1} \quad (10)$$

由电荷守恒定律可得节点A在 $n+1/2$ 时刻:

$$V_{out1}(n+1/2) = \frac{C_1}{C_2} V_{in}(n) + \left(1 + \frac{C_1}{C_2} + \frac{C_A}{C_2}\right) V_{A2} + \frac{C_B}{C_2} (V_{B1} - V_{B2}) \quad (11)$$

联立(10)、(11)并根据电容 C_B 所带电荷始终守恒,可求出 $\Delta V_{out1}(n+1/2)$,代入式(9)可获得增益误差为 $(1+C_1/C_2)/A_V^2$.

而对传统电荷转移型S/H,放大器在 Φ_1 有效采样阶段通常被复位至共模电平;当 Φ_2 有效时, V_{OS} 被叠加到采样信号上,同时 $\Delta V_{out2}(n)$ 也非常大.同样,根据电荷守恒定律有:

$$V_{out2}(n+1/2) = \frac{C_1}{C_2} V_{in}(n) - \frac{1}{A_V} \left(1 + \frac{C_1}{C_2}\right) \Delta V_{out2}(n+1/2) + V_{OS} \quad (12)$$

其增益误差为 $(1+C_1/C_2)/A_V$.可见,其远大于相关双采样S/H结构的增益误差.

3 仿真结果与分析

图4为CTFF两级全差分跨导运放频率响应特性结果.负载电容2.15pF时,直流增益97.1dB,单位增益带宽0.95GHz.

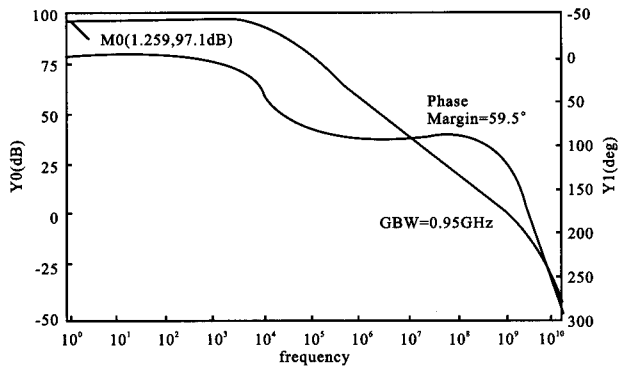


图4 CTFF运放频率响应

图5是相关双采样S/H与电荷转移型S/H的输出失调对比.输入差分直流电压为 $2V_{p-p}$,采样频率100MHz.根据蒙特卡洛结果,在输入端强制加入37mV的 V_{OS} .虚线是传统电荷转移型S/H仿真结果,实线是相关双采样型S/H仿真结果.由结果知,相比传统电荷转移型电路而言,相关双采样技术能消除放大器失调 V_{OS} .

图6是相关双采样S/H大信号建立结果.输入差分直流电压为 $2V_{p-p}$,采样频率100MHz,仿真结果表明:建立到1/2个LSB($1\text{LSB}=488\mu\text{V}$)误差以内需要4.1813ns.

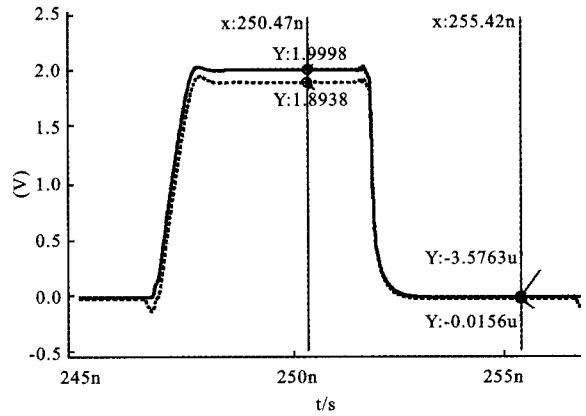


图5 相关双采样S/H与电荷转移型S/H的输出失调对比

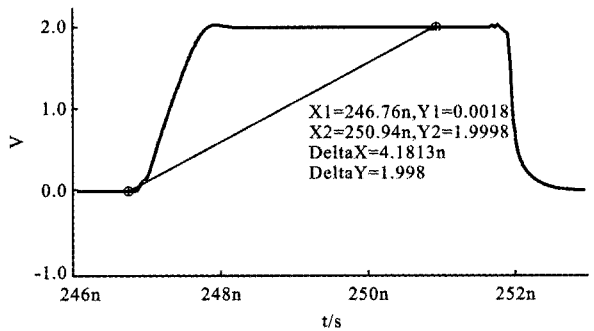


图6 大信号建立时间

图7是S/H的FFT频谱分析图,在电源电压3.3V下,差分输入信号为 $2V_{p-p}$ 值、11.27MHz正弦波,采样频率111MHz时,对输出信号采样128个点做FFT,结果显示SFDR=86.4dB,完全符合性能要求.

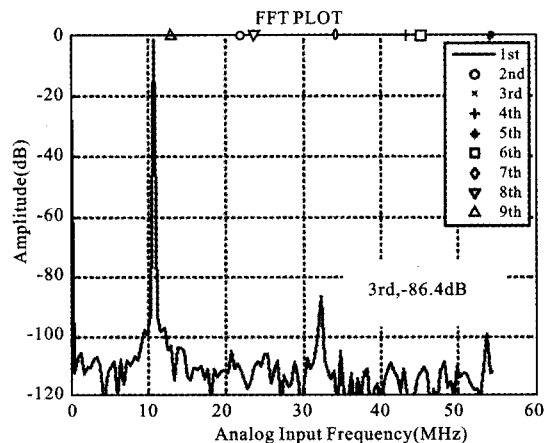


图7 S/H电路FFT频谱波形

4 结束语

本文在 $0.13\mu\text{m}/3.3\text{V}$ CMOS工艺下设计用于12bit 100MSPS的Pipeline ADC的采样保持电路.

采样保持电路采用双采样的拓扑结构,运放设计采用共源共栅跨到前馈补偿的两级运放,栅压自举开关采用双边对称的无馈通的栅压自举开关.基于对S/H电路中3种关键模块的优化,从而实现12bit精度100MSPS采样率86.4dB SFDR的S/H电路,达到了预期结果.

参考文献:

- [1] Francesco Centurelli, Pietro Monsurrò, Salvatore Pennisi, et al. Design solutions for sample-and-hold circuits in CMOS nanometer technologies [J]. IEEE Transactions on Circuits and Systems-II: Express Briefs, 2009, 56(6): 459-463.
- [2] Z Yu, M A P Pertijs, G C M Meijer. Ultrasound beamformer using pipeline-operated S/H delay stages and charge-mode summation [J]. Electronics Letters, 2011, 47(18): 46-47.
- [3] Ke Liu, Hai-gang Yang. Optimum design of a fully differential 12bit 100MS/s sample and hold module with over 77dB SFDR[C]//IEEE International Conference on ASIC (ASICON). Gui Lin, China; 2007: 442-445.
- [4] Rongbin Hu, JieTang. A novel full differential double sampling circuit for ADC [C]//IEEE International Conference on ASIC (ASICON). Lu Shan, China; IEEE, 2012: 1548-1551.
- [5] Zheng Hao, Fan Xiangning, Sun Yutao. Design of 12bit 100MHz sample and hold circuit for pipeline ADC[C]//Wireless Communications and Signal Processing (WCSP), International Conference. Nan Jing, China; IEEE, 2011: 480-483.
- [6] Haitao Wang, Hui Hong, Lingling Sun, et al. A sample-and-hold circuit for 10-bit 100MS/s pipelined ADC [C]//IEEE International Conference on ASIC (ASICON). Xia Men, China; IEEE, 2011: 480-483.
- [7] Hwei-Yu Lee, Shen-Iuan Liu. A 140MS/s 10-bit pipelined ADC with a folded S/H stage [C]//IEEE International Symposium on ASIC (ASICON). Tai Bei, China; IEEE, 2012: 976-979.
- [8] Santosh Devasia. Design of feedforward input for output-settling control with dual-stage actuators [J]. IEEE Transactions on Mechatronics, 2007, 12(6): 670-679.
- [9] Jie Cui, P K Chan. A low-power capacitive transducer for portable electrical capacitance tomography with high dynamic range [J]. IEEE Sensors Journal, 2011, 11(12): 3388-3399.
- [10] W Yu, G C Temes. Power-up calibration techniques for double-sampling $\Delta\Sigma$ modulators [J]. Electronics Letters, 2009, 45(19): 15-16.

作者简介:



孙振亚 男,(1986—),硕士研究生.研究方向为数模混合信号集成电路研究.

(上接第111页)

- [6] 代赞,杨兴,带曲率补偿的带隙基准电流源的设计[J]. 物联网技术,2012,2(2):64-67.
- [7] Phillip E. Allen, Douglas R. Holberg. CMOS 模拟集成电路设计[M]. 2版. 冯军,李智群,译. 北京:电子工业出版社,2006.
- [8] Ramasamy S, Venkataramani B. A low power CMOS voltage reference circuit with subthreshold MOSFETs [C]//proceedings of the International Conference on Electronic Design. [s. l.]; IEEE, 2008: 1-6.
- [9] Shu J, Cai M, A low supply-dependence fully-MOS-FET voltage reference for low voltage and low power [C]//proceedings of the IEEE Asia Pacific conference on Circuits and Systems. Guangzhou; IEEE, 2008: 442-445.

作者简介:

代赞 男,(1988—),硕士研究生.研究方向为模拟集成电路设计.

张国俊 男,(1960—),教授.研究方向为半导体功率器件、模拟集成电路、微细加工技术.