

片上网络存储器的 BIST 电路设计

许川佩,陶 意,吴玉龙

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 片上网络(Network-on-Chip, NoC)作为解决片上系统存在的问题而提出的一种解决方案,正受到越来越多的关注,测试技术是 NoC 设计工作的重要组成部分. 该设计针对 NoC 系统中 SRAM 存储器模块,研究了 SRAM 的故障模型,建立了片上网络通信架构的功能模型,复用片上网络作为测试存取路径,设计完成了基于 March C+ 算法的 BIST 电路设计. 该方案采用 Verilog 语言完成设计,并且在基于 FPGA 的 NoC 系统平台上实现了对 SRAM 的测试. 实验结果表明,在面积开销增加较小的情况下,该方法具有较高的故障覆盖率.

关键词: 片上网络; March C+; SRAM; BIST

中图分类号: TP306

文献标识码: A

文章编号: 1000-7180(2013)10-0105-05

BIST Circuit Design for Network-on-chip Memory

XU Chuan-pei, TAO Yi, WU Yu-long

(School of Electronic Engineering and Automatic,
Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Network-on-chip(Network-on-chip, NoC) as a solution to solve the problems of System-on-chip, the test technology based on network-on-chip has caused more and more attention. Test technology of NoC is one of the important parts. In this method, we research on fault model of SRAM memory and establish the functional model of NoC's communication architecture, design the BIST circuit reusing network-on-chip as TAM (Test Access Mechanism) to test SRAM memory based on March C+ algorithm. This method was designed by verilog language, and implement the test in NoC system platform based on FPGA. Experiment results show that this method has a high fault coverage with the small increase in area overhead.

Key words: Network-on-Chip; March C+; SRAM; Built-in Self-Test

1 引言

片上网络是为了解决片上系统(System on Chip, SoC)传统总线结构与全局异步局部同步(Global Asynchronous Local Synchronous, GALS)问题而提出的一种系统设计方法. 自 2000 年提出以来得到迅速发展,研究领域涉及到 NoC 拓扑结构、交换机制、任务的分配与映射、路由的设计、系统的搭建^[1]等问题. 片上网络(Network-on-Chip)在可复用性和可扩展性等方面都要优于总线等传统片上互连结构. NoC 测试技术是 NoC 设计工作的重要组成部分,存储器 IP 核作为 NoC 系统中的主要组成

部分,也广泛的在 NoC 系统中使用. 如何在 NoC 系统中高效的实现存储器 IP 核成为当前的热点. 目前对 IP 核的测试主要采用重用 NoC 通信架构作为测试访问机制(Test Access Mechanism, TAM)的方法^[2]. 在测试矢量生成与测试响应分析部分则由外接的 ATE(Automatic Test Equipment, 自动测试设备)来完成,并通过确定的路由算法让测试数据在通信架构里传输到被测 IP 核,再将测试响应发送给 ATE 进行响应分析. 在存储器测试访问接口设计上,其测试数据的传输采用串行扫描访问机制,仅用一位数据输入输出线,测试时间较长,因此该方法在片上网络的设计中已比较少用.

本文围绕 NoC 系统中的 SRAM 存储器,结合算法复杂度低的 March C+算法,复用 NoC 通信架构进行 SRAM 的 BIST 电路设计.该方法无需外部施加测试矢量,在芯片面积开销增加较小的前提下,对 NoC 系统中 SRAM 存储器实现测试,具有较高的故障覆盖率.

2 NoC 系统功能模型

本文测试的 SRAM 存储器所在的 NoC 系统功能模型如图 1 所示.该 NoC 系统采用基于 2D-Mesh 拓扑结构的通信架构^[3],是一个 3×3 的 2D-Mesh NoC. R 代表是路由器(router),S 代表资源节点(IP 核),■为资源网络接口(Resource Network Interface,RNI),EC 为外部通道,IC 为内部通道,标记为 SRAM 的资源节点为测试的存储器 IP 核.

本文使用 verilog 语言实现该 2D-Mesh 拓扑结构 NoC 中路由器的功能模型,并通过 IP 核的复用技术将 9 个路由器相连组成一个 3×3 的 2D-Mesh NoC 通信架构.该 NoC 系统中包括了 ARM、PC 机等 9 个资源节点,测试的 SRAM 存储器 IP 核为该 NoC 系统中 9 个资源节点中的一个,起存储系统中通信数据的作用.该 NoC 系统中路由器采用虫洞交换机制,路由算法采用源路由算法^[4].

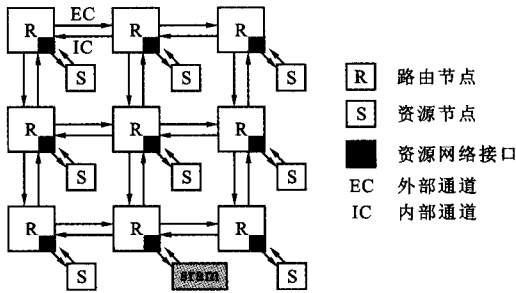


图 1 基于 2D-Mesh 的 3×3 NoC 系统结构模型

3 SRAM 故障模型与测试算法

3.1 故障类型

SRAM 的故障模型^[5]主要有:固定故障(SAF)、状态转换故障(TF)、耦合故障(CF)、固定开路故障(SOF)、寻址故障(AF)等类型.其中耦合故障又包括倒置耦合故障(CFin)、固化耦合故障(CFid)、状态耦合故障(CFst)三种.这些常见的故障类型的具体描述如表 1 所示.

考虑到测试的实用性,本文仅讨论 SRAM 的故障模型中常见的固定故障、状态转换故障、耦合故障、开路故障、数据保留故障等,这些故障在使用过程中属于易发性故障类型,本文对 SRAM 的测试主要围绕以上故障类型进行.

表 1 SRAM 常见故障类型及其描述

故障类型	故障描述
固定故障(SAF Stuck-at fault)	存储器的某个单元或某条线固定在逻辑 0 或者逻辑 1 上不变.
状态转换故障(TF Transition fault)	存储器某个单元或线不能实现 0 到 1 或者 1 到 0 的转换,分别称上升状态转换故障和下降状态转换故障.
耦合故障(CF Coupling fault)	两个存储单元当中,由于其中一个单元的状态转换而致使另外一个单元的内容发生了变化.
固定开路故障(SOF)	某个存储单元不能寻址的情况,如果存储器只有一个输入输出端口,SOF 往往会输出一个固定的值.
寻址故障(AF Address fault)	是行或列译码器引起的访问不到寻址的单元

3.2 测试算法

针对存储器中的各种故障模型,研究人员开发了多种存储器测试算法,如 March 算法^[6]、MATS+算法 Galloping 算法、Checkerboard 算法、蝶形算法、棋盘算法等.其中 March 算法是相对较简单的测试算法之一,该算法具有较高的故障覆盖率和较小的时间复杂度.为了得到较高的测试效率和故障覆盖率,本文选取 March C+算法做为 SRAM 的测试算法. March C+算法是改进的 March C 算法, March C+算法的具体形式为

$$\{\uparrow(w0); \uparrow(r0,w1,r1); \uparrow(r1,w0,r0);$$

$$\downarrow(r0,w1,r1); \downarrow(r1,w0,r0); \downarrow(r0)\}.$$

算法表达式中:↑表示地址升序;↓表示地址降序.

March C+算法的测试过程为以下 6 个步骤:

- (1)按照存储器地址升序对存储器的每一个存储单元进行连续地写 0 操作;
- (2)按照存储器地址升序对存储器的每一个存储单元进行连续地读 0 写 1 读 1 操作;
- (3)按照存储器地址升序对存储器的每一个存

储单元进行连续地读 1 写 0 读 0 操作;

(4)按照存储器地址降序对存储器的每一个存储单元进行连续地读 0 写 1 读 1 操作;

(5)按照存储器地址降序对存储器的每一个存储单元进行连续地读 1 写 0 读 0 操作;

(6)按照存储器地址降序对存储器的每一个存储单元进行连续地读 0 操作。

March C+算法在起步的每一级相对 March C 算法增加了一次读操作,因此 March C+算法可以大大提高存储器故障的覆盖率。在算法步骤(1)~(3)可以测试出 SAF、TF、CF 故障,步骤(2)~(4)可以测试出 SOF、AF 故障。由此可见,它是一种很适合检测存储器的算法,满足了对 SRAM 测试的基本要求。

3.3 测试数据

NoC 系统中使用的是 16 位的 SRAM,其读写操作是以字为单位进行的,为了提高故障测试的覆盖率,相应地测试算法就必须从以位为测试单元变成以字为测试单元。字中的多个数据位合称为数据背景,测试数据背景的个数可以按照文献[5]中给出的式(1)去计算。其中 M 为存储器的字长, N 为测试数据背景的个数。

$$N = \log_2 M + 1 \tag{1}$$

针对 NoC 系统中 16 位的 SRAM,当 March C+算法的读写数据是“1”时,相应的把测试数据扩展为“1111111111111111”、“101010101010 1010”等。当 March C+算法的读写数据是“0”时,相应的把测试数据扩展为“0000000000000000”、“0101010101010101”等。在测试过程中就把正向或反向的数据背景应用到 SRAM 上,16 位 SRAM 的测试数据背景如表 2 所示。

表 2 16 位 SRAM 的测试数据背景

序号	正向数据	反向数据
1	0000000000000000	1111111111111111
2	0101010101010101	1010101010101010
3	0011001100110011	1100110011001100
4	0000111100001111	1111000011110000
5	1111111100000000	1111111100000000

4 BIST 电路设计

本文复用 NoC 进行 BIST 电路设计,复用片上网络作为测试访问机制,数据按照路由分组的形式

进行传输,能提供可靠安全的数据传输服务,并且不需要额外增加面积的开销。

4.1 数据格式

在片上网络中传输的一个完整的数据包被分成若干个 flit,为了能使数据包正确到达目的节点,将 flit 分为 3 种类型,即头微片、数据微片和尾微片。头 flit 携带数据包源地址、目的地址、数据包长度等信息,尾微片代表着数据包的终结,数据微片存在于二者之间,是要传递的数据。

本文设计的 flit 共 18 位,前两位代表微片类型(01:头 flit;10:尾 flit;其他:数据 flit)。微片类型信息是在数据包经过资源网络接口时加入的,这样数据包在资源节点发出时需 16 位。数据包格式及微片 bit 信息如图 2 所示。

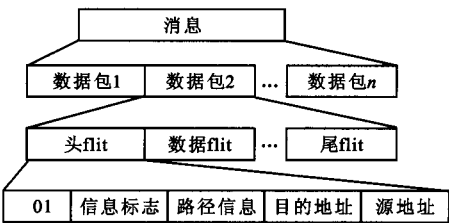


图 2 数据包具体格式

信息标志位用作路由数据转发识别,信息标志位在数据传输过程中每走一步就会自加 1,路由器根据微片中的信息标志信息来读取相应的路径信息,以确定数据转发的路径。如本地路由发出的头微片信息中信息标志为 0000,则读取路径信息的第 0 位(路径信息标识着数据在片上网络里传输走的路径,由 4 位 2 进制数表示),数据到了下一个路由时信息标志变为 0001,则读取路径信息的第 1 位,其中路径信息位为 1 代表沿 X 方向传输,为 0 则代表沿 Y 方向传输。

4.2 BIST 测试结构

复用片上网络并行测试 NoC 系统中 SRAM 的内建自测试结构如图 3 所示。

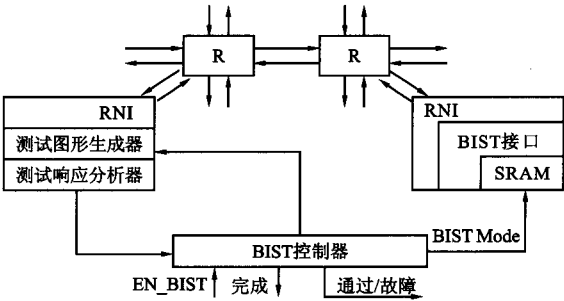


图 3 NoC SRAM 的内建自测试结构

测试图形生成器生成 SRAM 的测试数据序列,

用测试数据序列替换测试算法中的“1”,和“0”,测试算法不变.在内建自测试技术中,通常使用线性反馈移位寄存器产生测试激励,因为 SRAM 的测试数据序列数量较小并且具有规则性,本文设计的测试图形生成器用简单的状态机实现,发送的测试数据根据 BIST 控制器当前的数据背景状态来决定.

测试响应分析器是一个异或网络,将测试响应数据和数据背景器提供的理想数据进行异或操作,据此判断测试响应数据的正确性.

BIST 控制器是一个有限的算法状态机,具有测试算法及输出各个模块的使能控制信号,以及与外部测试设备的接口,用于启动内建自测试和输出测试结果.

资源网络接口(RNI),负责实现测试数据在路由中传输的解包和组包的工作,复用 NoC 进行测试数据传输就必须按照路由分组数据交换的格式来进行.

BIST 接口设计包括了 SRAM 地址生成器以及 SRAM 控制器设计两个部分,SRAM 作为 NoC 系统中的一个资源节点(IP 核),可工作在正常工作模式和测试模式,两种模式的切换通过 BIST 接口部分来切换.

4.2.1 写数据

在执行写操作测试元时,BIST 控制器发送写数据指令给测试图形生成器,测试数据按照路由分组格式进行打包,然后在路由网络里传输.数据到达 SRAM 所在的目的地路由时,路由节点需要通过 RNI 将数据送到资源节点进行解包处理,然后将测试数据从数据包里提取出来并写入 SRAM 里. NoC SRAM 写数据结构与握手信号框图如图 4 所示.

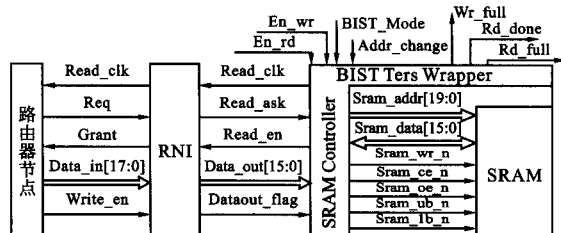


图 4 NoC SRAM 写数据框图

写数据操作具体过程如下:

测试数据传至目的路由节点时,首先向 RNI 发送请求信号 Req,在得到应答信号 Grant 有效之后,路由器将 18 位宽的数据 Data_in[17:0]写到 RNI 的输出缓冲器中.应答器发现缓冲器中有有效的数据,就向资源节点发送数据请求信号 Read_ask,资源节点收到请求信号后,则反馈 RNI 一个信号令

Read_en 信号有效,同时提供读时钟 Read_clk,将数据从 RNI 的缓冲器中读走,资源节点在 dataout_flag 有效时才开始读数据.数据在写入 SRAM 之前要拆包,也就是去掉头信息.此时 BIST 控制器将 En_wr 置高,将还原 16 位宽的测试数据 Data_out[15:0]写入 SRAM 中,如此便完成了一次 SRAM 写操作.

4.2.2 读数据

NoC SRAM 读数据结构与握手信号框图如图 5 所示.在执行读操作测试元时,BIST 控制器将 En_rd 信号置高,进入读取 SRAM 数据过程.将读取出的 SRAM 数据进行数据打包,然后在路由网络里进行传输到测试响应分析器所在资源节点进行测试响应分析.

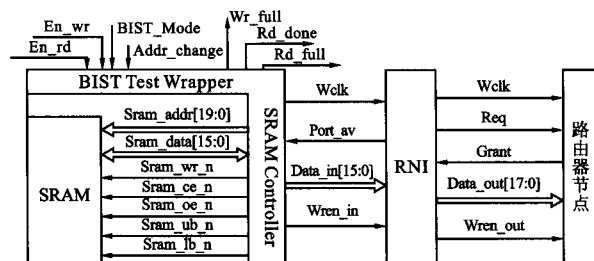


图 5 NoC SRAM 读数据框图

读数据操作具体过程如下:

将读取的 SRAM 数据打包并在路由网络传输时,先查询 Port_av 的值,若有效(Port_av=1),资源节点将 Wren_in 置为有效,向 RNI 请求写入数据.得到应答之后,把数据送入路由节点中.在这个过程中,RNI 中的组包器就要把数据冠上 2 位的微片类型信息,当头 flit 标志 Flit_ahead 有效时(高电平有效),组包器给当前进入的 flit 加上头微片标志 01,后续进入的是数据 flit,加数据标志 00,因为 8 个 flit 为一帧,所以当进入第八个数据时,加尾标志 10,这样数据在网络中传输时共 18 位.读取出来的 SRAM 数据经路由传输到目的节点进行测试响应分析.由此这样就完成了一次 SRAM 读操作.

4.3 BIST 测试

从外部给予 BIST 测试启动信号,系统进入内建自测试模式,SRAM 工作在测试模式.测试过程中一旦发现错误,则立即停止测试,测试响应分析器将测试数据信息反馈给 BIST 控制器,由 BIST 控制器传输到芯片外部,由测试反馈信息来进行故障诊断和定位等后续工作.其中,测试结果包含理论测试数据、测试响应数据、地址信息、测试时间等信息. SRAM 存储器工作在 BIST 测试模式下的具体测试

流程图如图 6 所示。

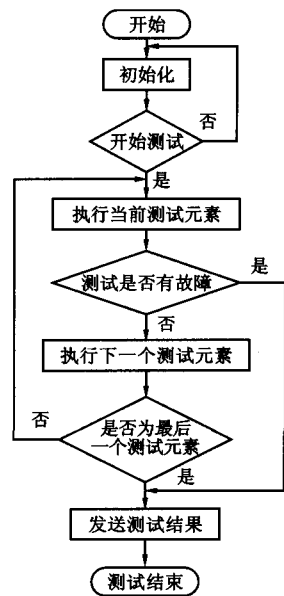


图 6 NoC SRAM 测试流程图

5 实验结果与分析

本文的 NoC 通信架构功能模型与内建自测试的各个模块均用 Verilog 完成设计,使用 ModelSim 6. 6d 仿真工具进行完整的功能验证,然后在 Quartus II 11. 0 环境下进行路由节点的综合和布局布线. 在基于 Altera 公司 FPGA 芯片 EP4CE115F29C7 设计的 NoC 系统平台中实现了对 SRAM 的测试,验证了本设计内建自测试方法的可行性. BIST 控制器通过串口来实现与芯片外的数据交互,包括测试的启动和测试结束以及发现故障测试数据信息反馈.

本设计改进的测试算法在本文测试研究方法中与基于扫描并串转换的其它常用 March 算法在故障覆盖率比较如表 3 所示.

表 3 测试算法时间复杂度与故障覆盖

故障	March C+	March A	March X	March C
算法复杂度	$O(14n)$	$O(15n)$	$O(6n)$	$O(11n)$
SAF	✓	✓	✓	✓
TF	✓	✓	✓	✓
CF	✓	✓	部分可测	✓
SOF	✓	不可测	不可测	不可测
AF	✓	不可测	不可测	不可测

由表 3 可知,本文所进行的 BIST 测试方法以及使用改进的测试算法,相比其他方法在算法复杂度没有明显提高的情况下,具有较高的故障覆盖率.

表 4 所示为将本设计的内建自测试的各个模块进行综合后片上资源开销.

表 4 BIST 测试结构片上资源使用

资源种类	使用数目	可用总数	资源使用率/%
Combinational functions	4 013	114 480	4
Dedicated logic registers	4 660	114 480	4
Memory bits	16 200	3 981 312	<1
Pins	44	592 8	

从综合后的资源使用情况来看,本设计使用了较少片上资源,在面积开销增加较少的情况下实现了对 SRAM 的测试.

6 结束语

本文针对 NoC 系统中的 16 位 SRAM 存储器 IP 核,建立了片上网络通信架构的功能模型,研究了 SRAM 的故障模型,采用算法复杂度为线性的 March C+测试算法,设计了复用片上网络(NoC)并行传输测试数据的内建自测试电路. 结合 2D-Mesh 片上网络路由器的基于包交换技术和源路由算法,对被测 SRAM 提供了正确并且可靠的测试数据传输保证,实现了 SRAM 常见故障的全部覆盖. 实验结果分析表明,本文提出的设计方案相对其它方法在故障覆盖率、芯片面积开销和扩展性方面具有明显的优势.

参考文献:

[1] Benini L, De G Micheli. Network on chip: a new SoC paradigm[J]. IEEE Computer,2002, 35(1):70-78.

[2] Cota E,Carro L,Lubaszewski M. Reusing an on-chip network for the test of core-based systems[J]. ACM Trans On Design Automation of Electronic System, 2004, 9(4): 471-499.

[3] 许川佩,任智新. 基于 FPGA 的 NoC 路由节点的设计[J]. 微电子学与计算机,2012, 29(8):53-57.

[4] 蒋明,孟铃珊. 一种对片上网络中 Mesh 结构的改进策略及路由算法[J]. 计算机科学,2012,39(6):40-43.

[5] Dekker R,Beenker F, Thijssen L. A realistic fault model and test algorithms for static random access memories[J]. IEEE transaction on CAD,1990,9(6): 567-572.

[6] Vande Goor A J. Using march tests to test SRAMS [J]. IEEE Design & Test of Com-Puters, 1993, 10(1): 8-14.

(下转第 113 页)

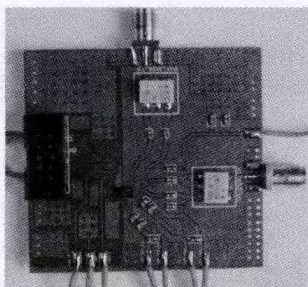


图6 PGA芯片测试电路板照片

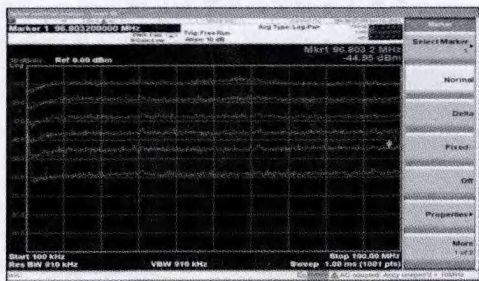


图7 可编程增益放大器的AC响应

由图7可以看出,该PGA在带内具有较好的平坦度.测试结果表明,通过改变控制字 $C_5 \sim C_0$ 可以得到大于50 dB增益范围的调节,最大增益步长误差小于0.2 dB,1 dB带宽大于75 MHz,3 dB带宽大于110 MHz.

4 结束语

本文完成了一种高精度宽带全差分可编程增益放大器的设计.该PGA引入了直流失调校准电路和驱动50 Ω 电阻负载的超级源随器电路,提升了整个电路的性能.其核心可变增益级电路采用负载可变结构实现PGA的增益变化各项要求.测试结果表明,该PGA工作正常,各项性能总体良好,可满足

足射频前端芯片中对PGA的指标要求.

参考文献:

- [1] 刘畅,郭桂良,杜占坤,等.带直流漂移校正的低功耗可编程增益放大器[J].微电子学,2011,41(1):23-26.
- [2] Ye Xiangyang, Wang Yunfeng, Zhang haiying, et al. A binary-weighted 64dB programmable gain amplifier with a DCOC and AB—class buffer[J]. Journal of Semiconductors, 2012, 33(2);3-25.
- [3] Huy-Hieu Nguyen, Hoai-Nam Nguyen, Jeong-Seon Lee, et al. A binary-weighted switching and reconfiguration-based programmable gain amplifier[J]. IEEE Transactions on circuits and systems-II, 2009,56(9):699-703.
- [4] Quoc-Hoang Duong, Quan Le, Chang-Wan Kim, et al. A 95-dB linear low-power variable gain amplifier [J]. IEEE Transactions on circuits and systems-I, 2006,53(8):1648-1657.
- [5] Lei Qianqian, Lin Min, Chen Zhiming, et al. A programmable gain amplifier with a DC offset calibration loop for a direct conversion WLAN transceiver[J]. Journal of Semiconductors,2011,32(4):6-45.
- [6] 陈曦,王自强,张春,等.带有DCOC结构的中频可编程增益放大器[J].半导体技术,2008,34(10):1041-1045.
- [7] Paul R Gray, Paul J Hurst, Stephen H Lewis, et al. Analysis and Design of Analog Integrated Circuits [M]. New York:John Wiley & Sons, 2009.

作者简介:

谢祎 男,(1987—),硕士研究生.研究方向为模数混合集成电路设计.

张海英 女,(1964—),研究员,博士生导师.研究方向为射频集成电路设计.

(上接第109页)

作者简介:

许川佩 女,(1968—),博士,教授,硕士生导师.研究方向为自动测试总线与系统、集成电路测试理论与技术.



陶意 男,(1987—),硕士研究生.研究方向为精密测量与智能控制.

吴玉龙 男,(1985—),硕士研究生.研究方向为自动测试与控制系统.