

一种低功耗 16bit 音频 Sigma-Delta 调制器的设计

景新幸, 包远鑫, 胡 胜

(桂林电子科技大学 信息与通信学院, 广西 桂林 541004)

摘 要: 设计了一款工作在 1.8 V 电源电压下、功耗仅为 1.8 mW、精度为 16 bit、优化系数(FOM)达 170 的音频 sigma-delta 调制器。其过采样率为 128, 采用 3 阶噪声整形。为了降低功耗, 采用前馈结构以及单比特量化。通过采用 PMOS 管实现局部反馈, 有效提升了调制器性能。调制器采用 SMIC 0.18 μm 工艺实现, 通过对系统结构和运算放大器、比较器等电路子模块的分析, 完成整体电路和版图设计。在 SS 工艺角下, 仿真表明本文设计的调制器性能良好, 在 20kHz 的带宽内可达到 100.8dB 的信噪比(SNR), 折合有效位 16 bits 精度要求。

关键词: Sigma-Delta 调制器; 开关电容积分器; 运算放大器; 动态比较器

中图分类号: TN710.2

文献标识码: A

文章编号: 1000-7180(2013)09-0115-04

Design of a Low-Power 16 bit Audio Sigma-Delta Modulator

JING Xin-xing, BAO Yuan-xin, HU Sheng

(School of Information and Communication, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: a modulator was designed with 1.8V supply voltage, 1.8mW power consumption, 16bit precision and figure of merit (FOM) up to 170. Its oversampling rate is 128, using 3-order noise reshaping. The feedforward structure and one bit quantization were used to reduce power consumption. The PMOSFET was used to achieve local feedback, and improved the performance effectively. The design of the whole circuit and layout was implemented on SMIC 0.18 μm process after analyzed the system structure and the submodules such as operational amplifier, comparator and so on. On ss corner, the simulation results show a good performance, the modulator achieved 100.8dB signal to noise ratio (SNR) in 20kHz bandwidth, and reduced effective bits achieved 16 bits requirement.

Key words: Sigma-Delta modulator; switched capacitor integrator; operational amplifier; dynamic comparator

1 引言

由于 Delta-Sigma 调制器的高性能, 其应用非常广泛, 例如分布式传感器和数字音视频编解码器。对于高性能的系统, Delta-Sigma 调制器必须有高信噪比和低失真度, 以便于捕捉模拟信号的原始形式。低功耗也需要考虑, 必须与信噪比进行折中^[1]。

为了取得低功耗和高信噪比, 人们提出了前馈、反馈和 MASH 等多种 Delta-Sigma 调制器结构。本文设计的调制器应用在音频 ADC 中, 需要低功耗高分辨率, 所以采用单环单比特前馈结构来实现调制器电路。前馈结构的调制器在低功耗设计方面的

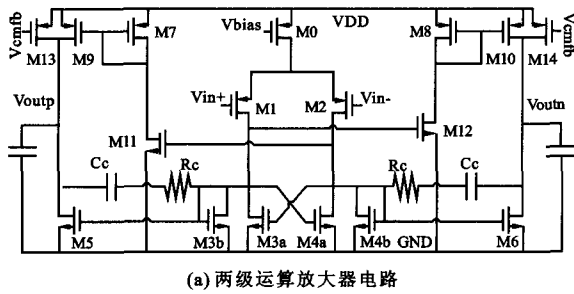
优势: 第一, 对积分器中 OTA 的要求较反馈型低; 第二, 每级积分器的输出摆幅较小。单比特量化时, 比较器前的求和网络可以采用电容求和, 无需利用有源求和网络, 即省去一个运放, 降低功耗。

2 系统设计

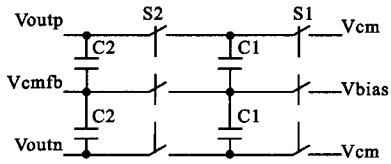
2.1 调制器的系统设计

本设计目标是设计一个低功耗 16bit 调制器。级联结构需要性能更高的调制器 OTA, 而多比特量化结构需要动态匹配单元(DEM), 这都将增加系统功耗。与级联型环形结构和多比特量化结构相比, 单环结构功耗消耗更低, 因此本文选取单环结构, 量化

(M4b)并联提供,目的是提高第一级的增益.第一级的负载阻抗 $R1 = (g_{m3b} - g_{m3a} + 1/(r_1 + r_{3a} + r_{3b}))$.第二级采用 class AB 类推挽输出,输出级的 M9 和 M5 同时起放大作用,有效提升了第一非主极点的位置,从而减小了功耗.第二级的负载阻抗 $R2 = r_{o5} || r_{o9}$.运放的直流增益 $Gain = (g_{m5} + g_{m9} * g_{m11}/g_{m7}) g_{m5} R1 R2$.增益带宽积 $GBW = g_{m1}/C_c$,第一非主极点 $f_{nd} = (g_{m5} + g_{m9} * g_{m11}/g_{m7})/C_L$,为保证相位裕度在 60° 左右,应使 $GBW > 3f_{nd}$.全差分运放需要共模反馈来稳定输出端的共模电平.由于由开关电容型共模反馈电路(图 3(b))具有低功耗等特点,同时它与开关电容积分器能很好兼容,所以选择开关电容型共模反馈电路为全差分运放提供共模反馈电压.在 $C_L = 5\text{pF}$ 下,运放仿真得到的直流增益为 75dB,单位增益带宽为 120MHz,相位裕度为 62° ,压摆率为 60mV/ms,共模输出电压保持在 900mV,共模输入电平为 600mV,摆幅为 200mV~1600mV.



(a) 两级运算放大器电路



(b) 共模反馈电路

图 3 两级全差分 class AB 类运算放大器电路

3.2 比较器的设计

在 Sigma-Delta 调制器中,比较器速度应足够快,必须在半个时钟周期内完成比较.比较器的非理想因素,如失调、非线性等都被调制器当做噪声进行了整形,所以对系统的性能影响很小.本设计采用如图 4 所示的动态比较器,该类比较器可兼顾速度和低功耗的要求^[5]. M0~M4 组成前置放大器,目的是使输入的差分信号得到一定程度的放大从而提高比较速度,而且在一定程度上抑制了失调和回退噪声.在采样相时,比较器不需要工作,所以 CLK 应置 0, M5 关断,以便于节约功耗.同时, M12 和 M13 导通,使 S1 和 S2 处电平为高.在积分相时,时钟信号 CLK 为 1, M10 和 M12 关断, M5 导通,比较器进行

比较.输入端电压的不同将使得 M6 和 M7 支路的电流不同.假设, M6 支路电流较大时, S1 电压比 S2 电压下降快,再通过 M8~M11 组成的正反馈网络作用, S1 将快速下降为低电平而 S2 升为高电平^[4]. SR 锁存器可锁存比较结果直到下一次比较开始.在 6.144MHz 的时钟频率下,比较器上升延迟为 2ns,下降延迟为 2ns,灵敏度为 0.01mV.

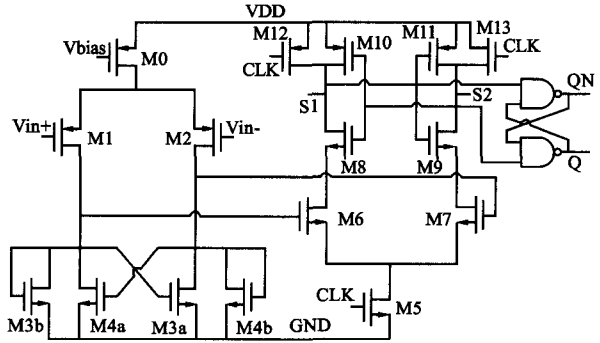


图 4 比较器电路结构

3.3 调制器中电容的选择

调制器中的采样电容越大,噪声的抑制效果越好,不过所需面积也越大^[5].因为第一级积分器的输入噪声没有经过噪声整形,所以需要通过大电容抑制噪声.由该噪声决定的信噪比为:

$$SNR_{\max} = \frac{V_{p-p}^2}{2P} = \frac{V_{p-p}^2 C_{s1} OSR}{8kT} \quad (3)$$

其中, V_{p-p} 是输入信号的峰峰值, P 为第一级积分器的噪声, C_{s1} 是第一级积分器的采样电容, k 为波尔兹曼常数, T 为绝对温度.本次设计调制器中的反馈电压 V_{ref+} 、 V_{ref-} 分别为 1.4V、0.4V;单端输入最大摆幅为 1V,则 $V_{p-p} = 2V$.对于 16bit 的调制器 SNR 需大于 98dB,考虑到设计余度,可取 $SNR = 103\text{db}$.由式(3)可得, C_{s1} 约为 3pF.后两级积分器输入噪声和量化噪声都经过较高程度的噪声整形,其对系统信噪比的影响可以忽略,所以后两级的电容值只需考虑匹配便可.具体电容值见表 1.由于 C_g 非常小,工艺库中没有相应容值的电容,所以该电容采用 $L = 1\mu\text{m}$ 、 $W = 3\mu\text{m}$ 的 MOS 管代替.实际仿真表明,该 MOS 管可以较好模拟 0.002pF 的电容值,而且当 W 在 $1\mu\text{m} \sim 5\mu\text{m}$ 间摆动时,调制器的信噪比均在 100dB 以上.由此说明此种等效是可行的.

表 1 系统中各电容值(单位:pF)

$C_{s1} = 3$	$C_{s2} = 0.3$	$C_{s3} = 0.1$	$C_g = 0.002$
$C_{n1} = 15$	$C_{n2} = 1$	$C_{n3} = 1$	
$C_{t0} = 0.1$	$C_{t1} = 0.2$	$C_{t2} = 0.2$	$C_{t3} = 0.2$

4 版图和仿真结果

调制器是基于 SMIC 0.18 μ m CMOS 工艺实现, 调制器版图如图 5 所示. 通过隔离环将模拟和数字的版图隔离, 防止数字信号对模拟部分的影响. 电容的布局主要考虑了面积和匹配. 版图的核心部分面积为 0.88 mm $\times$ 0.44 mm=0.3872 mm², 版图总面积为 1.06 mm $\times$ 0.615 mm=0.6519 mm², 输入 17.25 kHz、 V_{p-p} =0.76 V 的正弦信号, 对调制器进行仿真. 当电源电压为 1.8 V, 工艺角为 SS, 温度为 25 $^{\circ}$ C, 采样率为 6.144 MHz 时, 得到功率谱密度 (PSD) 如图 6 所示. 从图 6 可以看出, 在 20~20 kHz 的带宽频谱的噪底非常低, 说明调制器对噪声具有很好的抑制作用, 而且谐波分量几乎没有, 达到良好失真性能. 通过计算得出 20 Hz~20 kHz 带宽内的 SNR 为 100.8 dB, 满足 16 bits 精度的要求. 调制器的整体功耗为 1.8 mW.

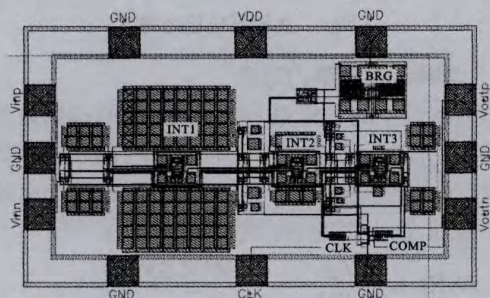


图 5 调制器版图

通过 FOM 评价一个 ADC 性能的优劣. FOM 表达式如式 (4)^[1] 所示, 其中 BW 为信号带宽, P 为功耗. FOM 越大表示 ADC 性能越好. 本次设计的调制器的 FOM 为 170, 性能优良. 调制器性能比较如表 2 所示.

$$FOM = SNR_{dB} + 10 \log \left(\frac{BW}{P} \right) \quad (4)$$

表 2 调制器性能比较

	文献[5]	文献[7]	本文
工艺(μ m)	0.18	0.18	0.18
电源电压(V)	3.3	3.3	1.8
信噪比(dB)	91	101	100.8
结构	2-1 级联	三阶单环 1.5 比特前馈	三阶单环 单比特前馈
带宽(kHz)	22.05	20	20
功耗(mW)	6.8	7.5	1.8
FOM	156	165	170

5 结束语

文中介绍了一种 16 bit 音频的 Sigma-Delta 调制器, 采用 3 阶单环单比特前馈结构, 过采样率

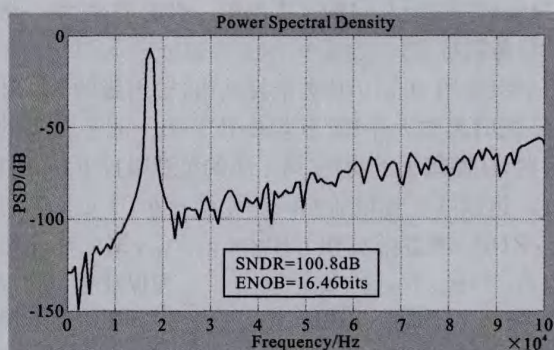


图 6 调制器输出功率谱密度

为 128. 通过 Matlab 建模仿真, 确定调制器系数和运放的指标. 最后利用 SMIC 0.18 μ m CMOS 工艺完成电路和版图设计. 其中, 局部反馈采用 MOS 电容实现, 有效提升了调制器性能. 整体电路后仿真表明, 本设计 Sigma-Delta 调制器符合设计要求.

参考文献:

- [1] Jeongjin Roh, Sanho Byun, Youngkil Choi, et al. A 0.9-V 60- μ W 1-bit fourth-order delta-sigma modulator with 83-dB dynamic range[J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 361-370.
- [2] 詹陈长. 低功耗音频 $\Sigma\Delta$ 模数转换器研究与设计. [D]. 上海: 复旦大学, 2007.
- [3] Schreier R, Temes GC. Delta-sigma data converters (影印版)[M]. 北京: 科学出版社, 2007.
- [4] Bernhard Wicht, Thomas Nirschl, Doris Schmitt Landsiedel. Yield and speed optimization of a latch-type voltage sense amplifier[J]. IEEE Journal of Solid-State Circuits, 2004, 39(7): 1148-1158.
- [5] Yao L B, Michiel S J, Sansen W. A 1-V 140- μ W 88-dB audio sigma-delta modulator in 90-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2004, 39(11): 1809-1818.
- [6] 马绍宇, 韩雁, 黄小伟, 等. 一种高性能、低功耗音频 $\Sigma\Delta$ 调制器[J]. 半导体学报, 2008, 29(10): 2050-2056.
- [7] Daisuke Kannemoto, Toru Ido, Kenji Taniguchi. A 7.5mW 101dB SNR low-power high-performance audio delta-sigma modulator utilizing opamp sharing technique[J]. SoC Design Conference, 2011(17-18): 66-69.

作者简介:

景新幸 男, (1960—), 博士生导师. 研究方向为语音识别、数字视频、ASIC 设计.

包远鑫 男, (1987—), 硕士研究生. 研究方向为数模混合集成电路设计.