

一种基于 FPGA 的抽取滤波器的实现与优化

王亚磊, 张 浩, 杨亚光, 陈立平

(中国科学院 微电子研究所, 北京 100029)

摘 要: 提出一种在 FPGA 中以 CIC 抽取滤波器及 CIC 补偿滤波器实现的抽取滤波结构. 该结构以时间换空间的设计思想实现, 最大可能的减少了硬核乘法器数量. 同时结合 FPGA 资源分布特点, 提出了以嵌入式 RAM 单元为核心的实现方法, 极大减少了逻辑单元消耗, 优化了资源分配, 以最合理的资源消耗, 实现了很高的滤波性能.

关键词: 抽取滤波; FPGA; 乘累加; 嵌入式 RAM

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2013)09-0119-03

An Implementation of Decimation Filter Based on FPGA

WANG Ya-lei, ZHANG Hao, YANG Ya-guang, CHEN Li-ping

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: This paper proposes a decimation filter structure, which is implemented in FPGA with CIC decimation filter and CIC compensation filter. This structure is based on the idea of trading time for space. It has greatly reduced the number of hard-nucleus multipliers. Besides, it takes advantage of the characteristics of FPGA's resource distribution, and has proposed a way to use embedded RAM. It has reduced the cost of logic elements and optimized the allocation of resources. Good filtering performance has been got with the most reasonable cost of resources.

Key words: decimation filter; FPGA; MAC; embedded RAM

1 引言

在软件无线电中, 接收机中的数字前端要对中频信号进行下变频、滤波和下采样等处理, 从而得到较低速率的基带信号进行后续处理^[1-2]. 滤波、下采样是其中的关键模块, 该部分工作由抽取滤波器实现.

FIR 滤波器由于其稳定性好, 具有线性相位等特点而得到广泛应用. FIR 滤波器的实现是以乘法器单元为核心, 而在数字信号处理中, 乘法器往往是最紧张的单元, 考虑到 FPGA 中硬核乘法器资源有限, 故在 FPGA 中实现 FIR 滤波器时要最大限度的减少硬核乘法器的消耗. CIC 滤波器是一种基于零极点对消的 FIR 滤波器, 实现时无需一般 FIR 滤波器所需的乘法运算, 这无论是对提高实时性, 还是简化硬件都有重要意义. 单级 CIC 滤波器阻带衰减较

小, 实际应用中需要多级级联. 但多级级联使带内平坦度变差, 所以需要在其后级联补偿滤波器, 来矫正幅值畸变以满足带内平坦度要求.

本文以这种 CIC 抽取滤波器级联 CIC 波长滤波器的形式来实现抽取滤波. 滤波器应用于数字前端的下变频之后, 实现 I、Q 两路信号的抽取滤波. 滤波器结构如图 1 所示. 经过下变频之后, 前级滤波器采用多级 CIC 滤波器级联, 实现 12 倍抽取滤波, 将信号速率变为原始速率的 1/12. CIC 滤波器之后级联补偿滤波器对带内幅值畸变进行校正.

滤波器满足以下要求: 数据原始采样率为 122.88MHz; 下采样率为 12; 通带频率为 1MHz; 过渡带为 1MHz~2MHz; 带内平坦度 0.01dB; 阻带衰减 80dB. 为保证足够的精度和较大的动态范围, 滤波器输入和输出位宽定义为 16bits.

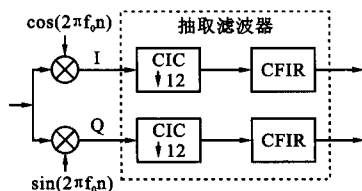


图 1 I、Q 两路抽取滤波器

2 抽取滤波器实现与优化

2.1 CIC 抽取滤波器实现与优化

CIC 抽取滤波器包括两个基本的组成部分: 积分部分和梳状部分. 单级 CIC 滤波器的传递函数为:

$$H(z) = \frac{1 - z^{-DM}}{1 - z^{-1}} = \frac{1 - z^{-12}}{1 - z^{-1}}$$

其中 D 为微分延迟, 本文中取 D 为 1, M 为抽取因子, 本文中为 12. 单级 CIC 滤波器阻带衰减较小, 为满足 80dB 的阻带衰减, 本文中选择 5 级级联的 CIC 滤波器. 若采用直接 CIC 滤波器实现, 则积分和微分单元都工作在高速率下, 将消耗大量逻辑单元. 对滤波器进行 Noble 变换, 图 2 为变换后的滤波器结构.

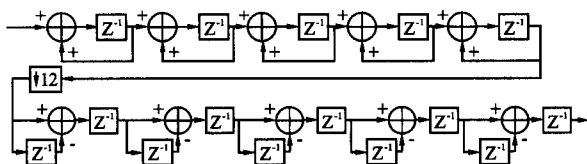


图 2 经过 Noble 变换后的滤波器结构

经过结构变换后, CIC 滤波器积分单元工作在高速部分, 本文采用全流水线结构, 可缩短电路的关键路径, 实现高速抽取. 微分单元经过变换工作速度变为原来的 1/12, 利用时间换空间思想, 同时考虑到 FPGA 中有大量的嵌入式 RAM 单元, 可通过配置双端口 RAM 来实现微分单元的数据缓存, 从而实现资源优化.

本文实现 I、Q 两路滤波, 可将两路数据合并, 共用 RAM 单元实现缓存. 将 RAM 单元数据位宽配置为 I、Q 两路数据位宽之和即可实现共用. 每当有数据进入微分单元时, 先将上次数据从 RAM 中读出, 与输入数据做流水线减法运算, 再将输入数据写入 RAM 中的相同地址, 运算结果即为单级微分单元输出. 将结果与下个地址读出的数据进行减法运算, 并将其存入该地址中即可实现另一级微分运算. 在 12 个时钟周期内顺序完成 5 级微分运算, 故本文只需 1 块嵌入式 RAM 单元即可实现 I、Q 两路微分单元数

据缓存, 从而节省大量寄存器单元. 实现结构如图 3 所示, 图中 data_in 是输入数据, sub_x 代表第 X 级微分单元的运算结果, data_out 是输出数据.

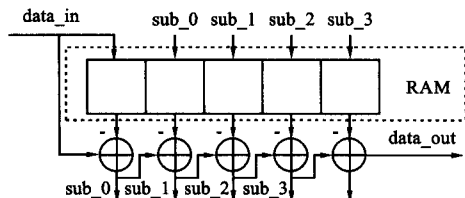


图 3 微分单元实现结构

为防止 CIC 滤波器溢出, 需要增加内部位宽, 以满足 CIC 滤波器增益引起的动态范围增长. 最大位宽增长出现在 DC 频率^[3], 最大位宽增长值 $B_{grow} = (DM)^s$. 最大内部位宽 B_{max} 可以定义为输入位宽与最大位宽增长之和:

$$B_{max} = B_{in} + s \log_2(DM)$$

式中, 输入位宽 B_{in} 为 16bits, 抽取因子 M 为 12, 微分延迟 D 为 1, 滤波器阶数 s 为 5, 计算可得最大内部位宽为 34bits.

考虑到模块输出位宽定义为 16bits, 根据 Hogenauro“剪除”理论^[4], 通过剪除在输出中引入的量化噪声通常要大于在前级中剪除一些 LSB 引入的量化噪声. 所以对内部位宽可以进行逐级剪除, 这样既可以减小量化噪声, 又可以节省部分资源. 最后各级单元位宽定义如表 1 所示.

表 1 各级积分、微分单元位宽 (bits)

	第 1 级	第 2 级	第 3 级	第 4 级	第 5 级
积分单元	33	30	27	24	22
微分单元	21	21	20	19	18

2.2 补偿滤波器设计与实现

当多级 CIC 滤波器进行级联时, 带内波动就会变大, 需要进行补偿以满足带内平坦度的要求, 这种补偿滤波器在通带内的传递函数为 $1/|H(z)|$. 本文利用 MATLAB 生成 CIC 补偿滤波器, 图 4 为补偿滤波器通带内的补偿效果和滤波器的幅频响应. 在满足带内波动小于 0.01dB, 阻带衰减为 80dB, 过渡带为 1~2MHz.

上述补偿滤波器共需要 48 阶, 若采用直接形式的实现结构将消耗大量资源. 考虑到补偿滤波器每 12 个时钟输入一组 I、Q 数据, 所以可利用基于 MAC 单元的串并结合 FIR 实现结构, 结构如图 5 所示. 滤波器共要进行 48 次乘累加运算, 可将 48 次运算分成 4 组, 每组进行 12 次乘累加运算^[2]. 每组的 12 次乘累加运算又可以在 12 个时钟内完成, 所

以每组只需要复用 1 个 MAC 单元即可满足要求^[5]. 考虑到 FIR 滤波器的系数对称性, 又可将 4 组运算合并成 2 组运算, 合并后每组共用 1 个 MAC 单元即可。

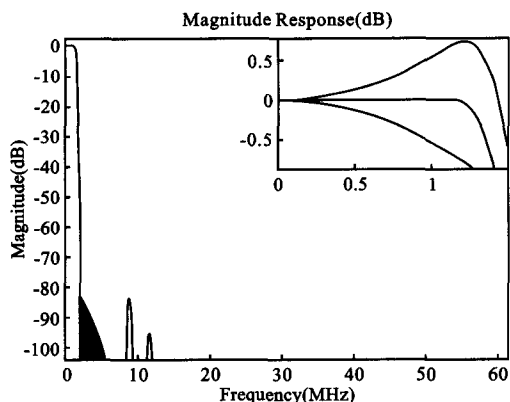


图 4 CIC 补偿滤波器补偿效果

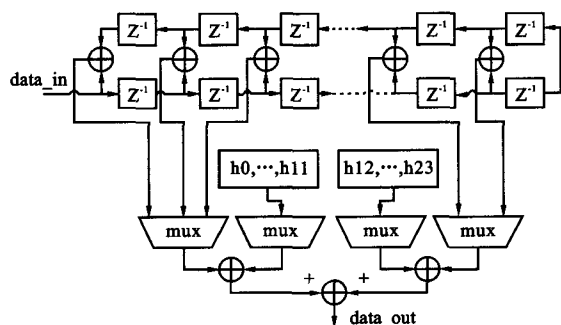


图 5 补偿滤波器实现结构

实现 CFIR 滤波器需要大量的缓存单元, 在 FPGA 将消耗大量宝贵的逻辑单元. 然而在 FPGA 中有很多嵌入式 RAM 单元可以利用. 考虑到设计时逻辑和存储器单元的设计平衡, 本文利用嵌入式 RAM 单元实现数据缓存, 同时将滤波器系数存储在 ROM 单元中, 以优化 FPGA 中资源分布. 如果要利用 RAM 单元实现数据缓存, 同时实现 MAC 单元的复用的话, 需要实现 4 组数据的同时读取. 为满足上述要求, 本文共配置 4 片 RAM 并同时读取操作, 将 RAM 单元数据位宽配置 I、Q 两路数据位宽之和, 实现 I、Q 两路缓存, RAM 深度为滤波器阶数. 并且需要将存储系数的 ROM 单元数据位宽配置为两个系数位宽之和, 深度为滤波器阶数的四分之一, 以实现两组系数的同时读取. 只需增加适当的地址控制单元即可满足实现; 对于数据模块需要产生 4 组地址分别对应于 4 块 RAM, 4 组地址分别有不同的初始地址和递增方向, 其中两两对应于一组系数; 系数地址产生逻辑只需顺序读取即可. 具体实现结构如图 6 所示. 图中 $X(n)$ 为 $\{I(n), Q(n)\}$.

对于 48 阶的滤波器, 该结构只需要 4 个 MAC 单元、4 片 RAM 和 1 片 ROM 单元及少量逻辑单元即可实现 I、Q 两路滤波。

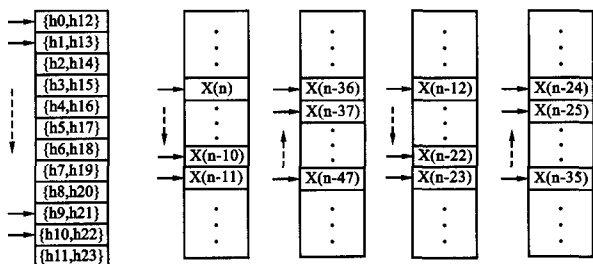


图 6 滤波器系数和数据的读取操作

3 性能比较

3.1 性能验证

在完成 RTL 代码后, 为验证该抽取滤波器性能, 设计一个输入采样率为 122.88 MHz, 包含 0.5 MHz、1 MHz、2 MHz、15 MHz、60 MHz 叠加的多音信号, 且各频点处功率相等. 经过该抽取滤波器后其输出仅保留了 0.5 MHz 和 1 MHz 处的信号成分, 且两处信号功率相等, 采样率为 10.24 MHz. 这与预期的输出结果一致, 验证了本文设计的正确性。

3.2 资源比较

本文以 Altera 公司 Cyclone III 系列的 EP3C120 型号 FPGA 为平台^[6]. 表 2 对比了直接实现同性能 FIR 抽取滤波器、利用逻辑单元实现 CIC 抽取滤波器与补偿滤波器级联结构和本文实现的基于嵌入式 RAM 单元实现 CIC 抽取滤波器与补偿滤波器级联结构的资源占用情况。

表 2 实现单通道 I、Q 两路滤波资源对比

	DSP	LE	M9K
FIR	21	12865	0
CIC and CFIR based on LE	4	2617	0
CIC and CFIR based on RAM	4	921	5

通过表 2 的对比可知, 本文推荐的实现结构不仅在占用硬核乘法器上得到大幅节省, 同时进一步节省了对寄存器单元消耗, 对 FPGA 总体资源的占用情况进行了优化, 使资源的分配更加合理灵活. 并且综合后滤波器最高工作频率可达 178 MHz.

4 结束语

本文针对数字前端应用的抽取滤波器, 提出了
(下转第 125 页)

据库水印的新方法. 通过实验表明,当攻击者漏掉一些元组或者关系中的水印属性时,该算法仍然有良好的鲁棒性. 而且,根据省略属性的数量和漏掉元组的数目,能够估计出检测水印所需的样本数. 该方法较为直观,水印容易鉴定.

参考文献:

- [1] Francesc Sebe, Josep Domingo-Ferrer. Agusti solanas noise-robust watermarking for numerical datasets[C] // Proceeding of the MDAI 2005, Berlio Heidelberg: Springer-verlag, 2005: 134-143.
- [2] 牛夏牧, 赵亮, 黄文军, 等. 利用数字水印技术实现数据库的版权保护[J]. 电子学报, 2003, 31(12): 2050-2053.
- [3] 张勇, 赵东宁, 李德毅. 关系数据库数字水印技术[J]. 计算机工程与应用, 2003(25): 193-195.
- [4] Yingjiu Li, Huiping Guo, Sushil Jajodia. Tamper Detection and Localization for Categorical Data Using Fragile Watermarks[C] // Proceeding of the DRM'04, Washington, DC, USA: IEEE, 2004: 210-221.
- [5] 肖 湘蓉, 孙星明. 基于水印的数据库安全控制研究[J]. 计算机工程与应用, 2005, 41(6): 175-178.
- [6] Radu Sion, Mikhail Atallah, Sunil Prabhakar. Ownership proofs for categorical data [J]. IEEE Journal of Transactions on Knowledge and Data Engineering IEEE TKDE, 2005, 17(7): 223-225.
- [7] C Constantin, D Gross— Amblard et M Guerrouani. Watermill: an Optimized Fingerprinting Tool for Highly Constrained Data [C] // ACM Workshop on Multimedia and Security(MMSEC), New York, USA: IEEE, 2005, (08): 143-155.
- [8] Yingjiu Li, Vipin Swarup. Fingerprinting relational databases schemes and specialties [J]. IEEE Transaction on Dependable and Secure Computing, 2005, 2(1): 34-45.

作者简介:

赵学民 男, (1977-), 硕士, 讲师. 研究方向为网络信息安全等.

李玲玲 女, (1973-), 博士, 副教授. 研究方向图像处理等.

(上接第 121 页)

一种基于嵌入式 RAM 单元的实现结构, 叙述了设计到优化实现的过程. 该结构采用 CIC 抽取滤波器与 CIC 补偿滤波器级联的方式, 实现时利用 RAM 单元来完成数据缓存, 在达到节省 DSP 单元的目的的同时, 大量减少了逻辑单元消耗. 本文设计的滤波器实现方法具有较强的通用性.

参考文献:

- [1] 杨小牛, 楼才义. 软件无线电原理与应用[M]. 北京: 电子工业出版社, 2001.
- [2] 何建标, 王宏远, 郭跃, 等. 一种基于 FPGA 的 FIR 滤波器实现结构[J]. 微电子学与计算机, 2008, 25(3): 47-50.
- [3] Meyer-Baese U. 数字信号处理的 FPGA 实现 [M]. 刘 凌, 译. 北京: 清华大学出版社, 2011.
- [4] Hogenauer E B. An economical class of digital filters for decimation and interpolation [J]. IEEE Trans on Acoustics, Speech and Signal Processing, 1981, 29(2): 155-162.
- [5] 万能, 王江宏, 郭亮, 等. LTE 中变速率 FIR 滤波器的 FPGA 实现[J]. 微电子学与计算机, 2009, 26(11): 63-69.
- [6] Altera Corp. Cyclone III device handbook [M]. San Jose: Altera Corporation, 2008.

作者简介:

王亚磊 男, (1988-), 硕士研究生. 研究方向为数字信号处理、无线通信.