

基于 IEEE 1500 标准的嵌入式 ROM 及 SRAM 内建自测试设计

谈恩民, 金 锋

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 嵌入式存储器在 SOC 中所占的面积比越来越大, 同时也对嵌入式存储器测试技术提出了新的挑战. IEEE 1500 标准为 IP 核设计商与集成商制订了标准的测试接口. 基于此标准, 本文完成了针对嵌入式存储器的测试外壳与具有兼容性的控制器的设计, 以 SRAM 和 ROM 为测试对象进行验证, 测试结果表明, 该系统能准确地检测存储器存在的故障.

关键词: 嵌入式存储器; IEEE 1500 标准; 测试外壳; SRAM 和 ROM

中图分类号: TP206

文献标识码: A

文章编号: 1000-7180(2013)07-0115-05

Built-in Self-test Design of the Embedded ROM and SRAM Based on the IEEE 1500 Standard

TAN En-min, JIN Feng

(College of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Embedded memory in SOC occupied area ratio increasing, also presented new challenges for embedded memory test technology. IEEE 1500 standard for IP core providers and integrators to develop a standard test interface. This paper designs a test wrapper and compatibility controller for embedded memory. This paper validates the SRAM and ROM as test object. And the test results show that the system can accurately detect the existence of the fault of the embedded memory.

Key words: Embedded memory; IEEE 1500 Standard; Wrapper; SRAM and ROM

1 引言

IEEE 1500 嵌入式核测试标准使得 IP 核设计商和 SOC 集成商之间可以通过嵌入式核测试语言描述的标准模型进行信息传递, 使得测试可以重用, 既提高了测试效率, 也保护了嵌入式核提供商的知识产权不受侵犯^[1,2]. 目前已有不少关于 IEEE 1500 的论文, 文献[3]提出了一种基于 IEEE 1500 标准的 SOC 中 SRAM 的测试结构, 并设计了一种针对 SRAM 的测试机制. 文献[4-5]提出了一种采用特征分析器对 SOC 中 ROM 进行测试的方案, 该方案大大减少了测试的硬件开销. 本文提出了一种基于 IEEE 1500 标准 SRAM /ROM 的测试方案, 该方案可以满足 SOC 中多样性存储器测试的测试可重用

性, 提高了测试效率和测试的灵活性, 同时也降低了测试的硬件开销.

2 测试壳的设计

测试壳用于将整个被测 IP 核完全封闭起来, 使之与外界隔离, 通过测试壳, IP 核可以和测试访问机制连接起来, 并可以将 IP 核设置为正常模式、测试模式、旁路模式等其它模式. 测试壳的组成主要由以下几个部分组成, WBR: 边界寄存器; WIR: 指令寄存器; WBY: 旁路寄存器; WSI/WSO: 串行输入/输出接口; WPI/WPO: 并行输入/输出接口; WIP: 封装器接口^[1].

2.1 测试壳的 WBR 设计

WBR(wrapper boundary register)的基本组成

收稿日期: 2012-10-13; 修回日期: 2012-11-01

基金项目: 国家自然科学基金项目(60861003)

单元为 WBC(wrapper boundary cell),WBR 能实现测试激励的施加和测试响应的捕获,从而实现对被测 IP 核的可控性和可观察性.由于 WBC 只要求能满足 IEEE 1500 所规定的模式及行为即可,本文设计了一种最简单的 WBC 结构.其只含有一个 D 触发器和三个多路选择器,其中 CTI/CTO 为测试数据输入/输出,CFI/CFO 为功能数据输入/输出,WBC_Shift 为移位使能,WBC_Update 为更新使能,Safe 为安全控制信号.图 1 为 WBC 结构图.表 1 为 WBC 真值表.

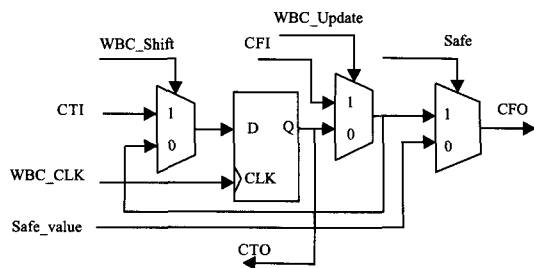


图 1 WBC 结构图
表 1 WBC 真值表

模式	WBC_shift	WBC_update	Safe	传输方向
正常	0	1	1	CFI→CFO
移位	1	0	0	CTI→CTO
更新	0	0	1	CTO→CFO
捕获	0	1	0	CFI→CTO

2.2 WBY 设计

WBY 是 IEEE 1500 标准所强制要求的,WBY 的功能是用于旁路其它的寄存器,在不对 IP 核进行测试时,提供一条数据快速传输通道. WBY 的结构较为简单,一般只包含一个寄存器.图 2 为 WBY 的结构图.其中 WBY_in 为数据输入端,与 WSI 相连接 WBY_Shift 为移位控制信号,由 WIR 提供,WBY_out 为数据输出端,与 WSO 相连.

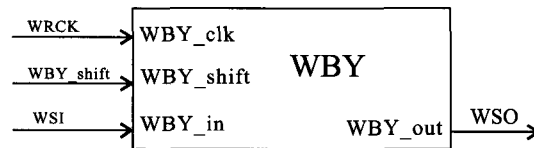


图 2 WBY 结构图

2.3 WIR 的配置

WIR 用于控制和选择测试模式,使 Wrapper 处于被控状态. WIR 由三部分组成:移位寄存器、指令译码器和更新寄存器.移位寄存器将来自 WSI 的测试指令逐个移入 WIR,移位操作完成后,测试指令

被传送给指令译码器,译码器将指令翻译成相应的控制信号,并将其保持在更新寄存器中.图 3 为 WIR 的结构图.

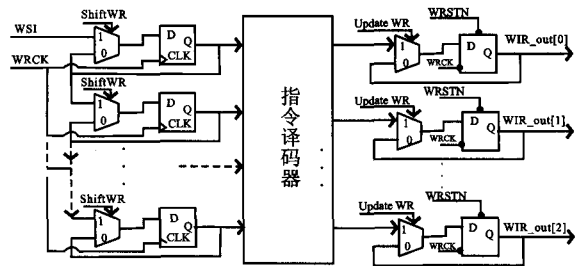


图 3 WIR 结构图

WIR 的指令加载操作必须遵 IEEE 1500 相关标准^[6],WRSTN 低电平有效,Update 为高电平后,要等 CLK 的下降沿到来后才更新 WIR 控制信号.图 4 为 WIR 时序仿真图.

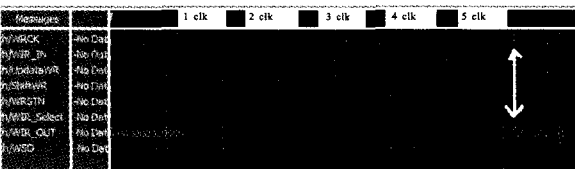


图 4 WIR 时序仿真图

本文 WIR 的输出信号有 13 位, Bit12 ~ Bit0 依次为: WBC_shift_in, WBC_update_in, Safe_in, Safe_value_in, WBC_shift_out, WBC_update_out, Safe_out, Safe_value_out, WBR_en, WBY_en, WBY_shift, M0_en, M1_en, 表 2 为 WIR 指令编码及控制信号输出.

表 2 WIR 指令编码及控制信号输出

模式	编码	控制信号输出
Normal	0000	0110011000000
WBR_In_Shift	0001	1000011010000
WBR_Out_Shift	0010	0000100000011
WBR_In_Update	0011	0010011000000
WBR_Out_Capture	0100	0010011000000
BypassTest	0101	0110011001101
Outside Test	0110	0110011000000

2.4 存储器 Wrapper 封装

以 64 * 8 SRAM 和 16 * 8 ROM 为测试对象为例,SRAM 的数据输入/输出为 Data_in[0]~Data_in[7]/Data_out[0]~Data_out[7];地址输入 Address[0]~ Address[5];ROM 的数据输出为 Data_out[0]~Data_out[7];存储器的输入端口和 WBC

的 CFO 相连, 输出端口和 WBC 的 CFI 连接. 各 WBC 的控制信号分别并行连接, 控制信号由 WIR 发出. 存储器 Wrapper 封装如图 5 所示.

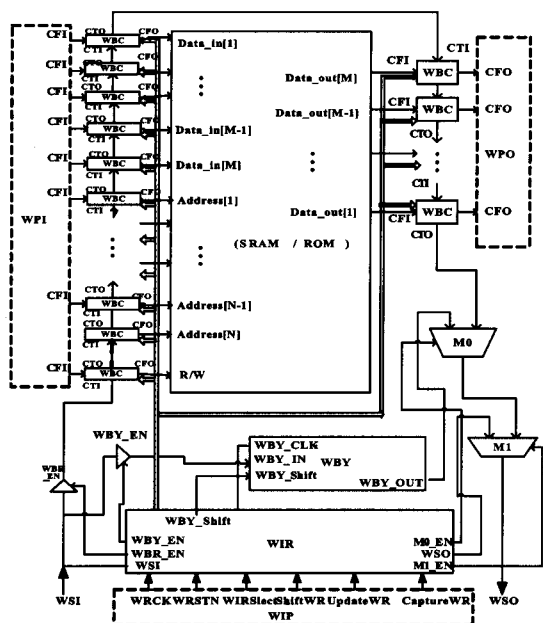


图 5 SRAM/ROM 的 Wrapper 封装结构图

3 MISR 的设计

考虑到 ROM 的测试具有多输出和只需作读数操作的特点,且为了减少测试的硬件开销,本文采用了特征分析器来对 ROM 中的数据进行数据压缩操作.该特征分析器的核心电路为内异或型的 MISR^[6-8](Multi-Input Signature Register),该电路的输入和输出的数据位宽和 ROM 的数据位宽一致.

设第 t 次的输入序列为 $I(t)$, MISR 的输出状态为 $S(t)$, 并设反馈单元序列为 A , ROM 的特征值为 EV_ROM , 其中:

$$\begin{aligned} \mathbf{I}(t) &= [i_1(t), i_2(t), i_3 \dots i_{n-1}(t), i_n(t)], \\ \mathbf{S}(t) &= [s_1(t), s_2(t), s_3 \dots s_{n-1}(t), s_n(t)], \\ \mathbf{A} &= [a_1, a_2, a_3 \dots a_{n-1}, a_n], \\ \mathbf{EV_ROM} &= [ev_1, ev_2, ev_3 \dots ev_{n-1}, ev_n]. \end{aligned}$$

由 MISR 的工作原理可知, MISR 的输出状态递推关系式为: $S(t+1) = B S(t) \oplus I(t)$; 其中 B 为 MISR 的状态转移矩阵。

$$B = \begin{bmatrix} 0 & 0 & 0 & \cdots & 0 & 0 & a_1 \\ 1 & 0 & 0 & \cdots & 0 & 0 & a_2 \\ 0 & 1 & 0 & \cdots & 0 & 0 & a_3 \\ \dots\dots\dots \\ 0 & 0 & 0 & \cdots & 1 & 0 & a_{n-1} \\ 0 & 0 & 0 & \cdots & 0 & 1 & a_n \end{bmatrix}$$

现设定反馈单元序列 $A = [1, 0, 0 \cdots 0, 0]$; 那么此时 MISR 的输出状态递推关系式可写为:

$$S(t+1) = \{i_1(t) \oplus s_n(t), i_2(t) \oplus s_1(t), i_3(t) \oplus s_2(t), i_4(t) \oplus s_3(t), \dots, i_{n-1}(t) \oplus s_{n-2}(t), i_n(t) \oplus s_{n-1}(t)\}.$$
 其中 $t \in 1, 2, 3, \dots, n-1, n$. 经过 n 次测后, MISR 的输出状态值就为被测 ROM 的特征值, 即 $EV_ROM = S(n+1)$; 以 16×8 ROM 作为测试对象, 其中单元 0~单元 15 的数据依次为 $0x00h \sim 0x0fh$, 依据上面特征值的计算公式可得期望特征值为 $0xffh$. MISR 结构如图 6 所示.

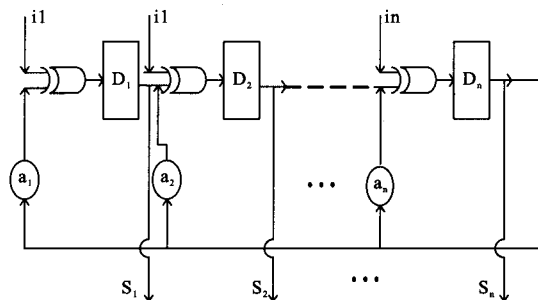


图 6 MISR 结构图

4 MBIST 控制器设计

IEEE 1500 嵌入式核测试标准并未对测试激励源和测试结构分析处理等进行规定,本文设计了具有兼容 SRM 和 ROM 测试的 MBIST 控制器,用于自动产生激励源和对测试响应序列进行分析和测试结果判定. MBIST 控制器结构如图 7 所示.

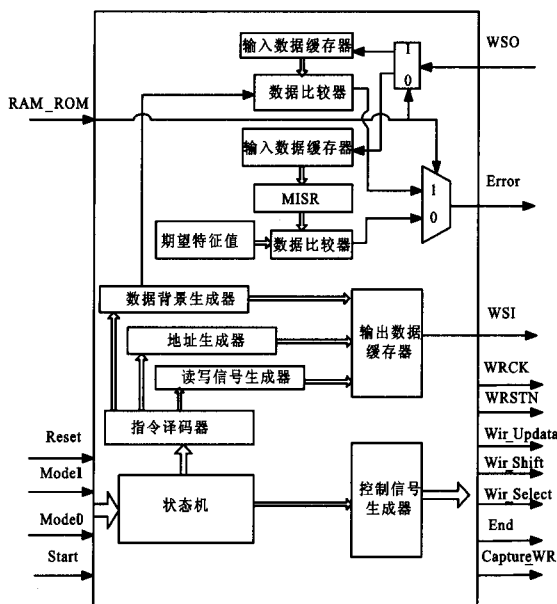


图 7 MBIST 控制器结构图

MBIST 控制器的主要组成包括:①FSM(有限状态机);②指令译码器;③数据背景生成器;④地址

生成器;⑤控制信号生成器;⑥MISR. 其中状态机是控制器的核心部分,用于根据当前的测试状态来自动决策选择哪一个算法指令,当算法指令确定后,指令译码器会将算法指令翻译成相应的控制信号,控制信号用于控制产生数据背景、存储器地址信号和存储器读写信号. MISR 用于对从 WSO 输入的 ROM 数据进行压缩操作,当 ROM 中的数据都被压缩完后,将由 MISR 得到的特征值与期望特征值进行比较,从而判断被测 ROM 是否存在故障.

控制信号生成器用于产生 WIR 所需的控制信号. 其中输入信号 RAM_ROM 用于指示当前测试对象为 SRAM 还是 ROM,输出信号 Error 在检测到被测对象存在故障时,将会变为高电平,且此时 End 也变为高电平.

5 系统测试

本系统的各功能模块采用 Verilog HDL 语言进行编写,仿真环境为 Modelsim SE 6.5,使用 testbench 对系统进行初始化处理和测试进程控制. 本文选用 64×8 SRAM 和 16×8 ROM 作为测试对象,将 SRAM 和 ROM 核分别与 Wrapper 进行连接,同时 WIP 接口与 MBIST 的输出端口进行连接,MBIST 的输入信号由 testbench 提供.

(1) 无故障 SRAM 测试

初始化 MBIST; REST=1,系统恢复到初始状态; RAM_ROM=1 即当前被测对象为 SRAM; Mosel1=0, Mosel0=1 即选择 MBIST 工作模式为内测试模式; Start=1,即开始测试. 如图 8(a)所示,状态机的状态 Status 由状态 0 一直转换到状态 28 的这一过程中 MBIST_Error 的值一直为低电平,说明该 SRAM 不存在故障. 最后 MBIST_End=1,结束本次测试.

(2) 有故障 SRAM 测试

现在人为的将被测 SRAM 的存储单元 3 的最低比特位设置滞 1 故障,对 MBIST 的初始化同(1)中的操作. 由图 8(b)所示可知,当状态机的状态 Status=4 时,MBIST_Error 的值由 0 变为 1,说明系统能正确地将 SRAM 的故障检测出来,且此时 MBIST_End=1,即测试进程结束.

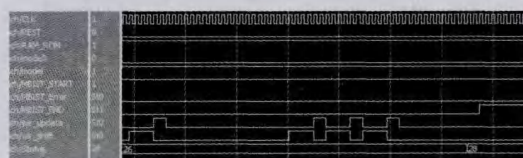
(3) 无故障 ROM 测试

初始化 MBIST; REST=1,系统恢复到初始状态; RAM_ROM=0 即当前被测对象为 ROM; MBIST 中的期望特征值装入数据 0xffh, Start=1,即开始测试. 将 ROM 存储器的 0 单元~15 单元的

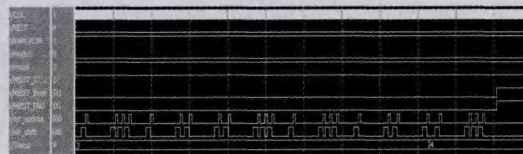
数据依次设定为 0x00h~0x0fh,如图 8(c)所示,当 MBIST 从 ROM 的单元 0 到单元 15 中依次读出完数据后,MBIST 中的 MISR 的状态输出值 EV_Rom=0xffh,这与期望特征值的值一致,此时 MBIST_End=1 且 MBIST_Error 的值始终为 0,说明 MBIST 测试的 ROM 不存在故障,本次测试结束.

(4) 有故障 ROM 测试

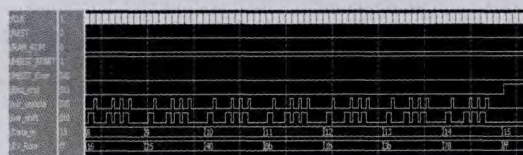
现将 ROM 的存储单元 12 的值由原来的 0x0Ch 篡改成 0x0Ah, MBIST 中的期望特征值仍装入数据 0xffh,其它初始化操作同(3). 如图 8(d)所示,当 MBIST 读取完 ROM 的最后一个存储单元的数据后, MISR 的状态输出值 EV_Rom=0xcfh,这与期望特征值的值不一致,可以发现此时 MBIST_Error 的值由 0 变为 1,说明 MBIST 能准确检测出该 ROM 存在的故障.



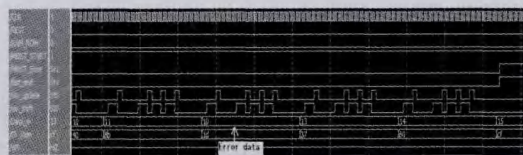
(a) 无故障 SRAM 测试仿真时序图



(b) 有故障 SRAM 测试仿真时序图



(c) 无故障 ROM 测试仿真时序图



(d) 有故障 ROM 测试仿真时序图

图 8 测试仿真时序图

6 结束语

本文从 IEEE P1500 嵌入式核测试标准出发,设计了具有可以对 SRAM 和 ROM 进行兼容测试的 MBIST,以 64×8 SRAM 和 16×8 ROM 为测试

对象,对系统的合理性和故障检测的可靠性进行了仿真验证.该测试方案达到了 SOC 中多样性存储器测试的测试可重用性的要求,提高了测试效率和测试的灵活性,同时也降低了测试的硬件开销.

参考文献:

- [1] IEEE 1500 Group. IEEE 1500 Standard for Embedded Core Test (SECT)[S]. NY, USA: IEEE, 2005.
- [2] 杨鹏,邱静,刘冠军. 嵌入式芯核测试标准 IEEE Std1500 综述[J]. 测控技术,2006,25(8):40-43.
- [3] 谈恩民,马江波. SOC 的存储器 Wrapper 设计及故障测试[J]. 微电子学与计算机,2011(6):123-125.
- [4] Kazuhiko Iwasaki, Shigeo Nakamura. Aliasing error for a mask ROM built-in self-test[J]. IEEE Transactions on Computers, 1996, 45(3): 270-277.
- [5] Jacob Savir. Reducing the MISR Size[J]. IEEE Transactions on Computers, 1996, 35(8): 930-938.
- [6] 乔立岩,向刚,俞洋. 基于 IEEE 1500 标准的 IP 核测试壳设计[J]. 国外电子测量技术,2010(7):88-91.
- [7] 李同合,田骏骅,邵志标. LSC87 中嵌入式 ROM 内建自测试实现[J]. 微电子学与计算机,2003(3):61-64.
- [8] 饶全林. 一款雷达信号处理 SOC 芯片的存储器内建自测试设计[J]. 微电子学与计算机,2008(7):96-99.

作者简介:

谈恩民 男,(1966—),教授,研究方向为计算机辅助测试和集成电路可测性技术.

金 锋 男,(1986—),硕士研究生.研究方向为集成电路可测性设计.

(上接第 114 页)

- [2] Rosenberg J, Schulzrinne H, Camarillo G, et al. RFC3261. SIP; session initiation protocol [S]. IETF, 2002.
- [3] 梅小山. 基于 SIP 的 NAT 穿越方案的研究与实现[D]. 西安: 长安大学, 2009.
- [4] Rosenberg J. RFC5245. Interactive Connectivity Establishment (ICE): A Protocol for Network Address Translator (NAT) Traversal for Offer/Answer Protocols [S]. IETF, 2010.
- [5] Mandley M, Jacobson V, Perkins C. RFC4566. SDP: Session Description Protocol [S]. IETF, 2006.
- [6] 刘磊. 基于 ICE 方式的 SIP 穿越 NAT 技术的研究[D]. 天津: 天津大学, 2007.
- [7] 刘胜辉, 周野. 对 ICE 穿越 Symmetric NAT 技术的改进[J]. 计算机工程与应用, 2010, 46(3): 109-111.

作者简介:



杜得荣 男,(1983—),硕士研究生.研究方向为移动互联网、通讯、计算机.

刘建明 男,(1975—),博士后,教授.硕士研究生导师.研究方向为计算机及通信网络组网工程.

李宏周 男,(1979—),硕士,讲师.研究方向为图像处理.

彭智勇 男,(1981—),硕士,讲师.研究方向为信号与信息处理.