

基于可配置 LFSR 的低功耗确定性矢量生成技术的研究

李 鹏, 颜学龙

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 针对组合电路内建自测试过程中的功耗和故障覆盖率等问题, 提出了一种能获得较高故障覆盖率的低功耗测试矢量生成方案. 该方案先借助 Atalanta 测试矢量生成工具, 针对不同的被测电路生成故障覆盖率较高的测试矢量, 再利用插入单跳变测试矢量的方法以及可配置线性反馈移位寄存器生成确定性测试向量的原理, 获得低功耗测试矢量. 通过对组合电路集 ISCAS'85 的实验, 证实了这种测试生成方案的有效性.

关键词: 内建自测试; 低功耗测试矢量; 故障覆盖率; 可配置线性反馈移位寄存器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)10-0144-05

Low Power Deterministic Vectors Generation Research Based on Configurable LFSR

LI Peng, YAN Xue-long

(College of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: A low power test vectors generation method with high fault coverage is presented in this paper, which aims at power dissipation and fault coverage in combinational circuits using BIST way. The proposed method firstly uses the vectors generation tool of Atalanta to generate the test vectors with high fault coverage, then achieves the low power vectors by utilizing the way of inserting the single switching activities vectors and the theory of configurable LFSR to generate the deterministic test vectors. Experimental results based on the ISCAS'85 benchmark circuit verify the effectiveness by using this method.

Key words: BIST; low power test vectors; fault coverage; configurable LFSR

1 引言

内建自测试(Build-in Self Test, BIST)技术是解决大型复杂电路的有效方法, 它通过在芯片内部集成测试矢量生成电路和响应分析电路, 使芯片的测试变得快速、高效, 同时它还支持真速测试(At-speed test), 具备层次化测试以及保护 IP 核知识产权等优点^[1]. 但该技术在测试矢量生成电路的功耗和故障覆盖率等问题上有待优化.

早期的测试生成方法如确定测试方法、穷举/伪穷举测试方法、伪随机测试方法等^[2-3], 它们不仅在故障覆盖率和功耗方面存在不足, 而且测试矢量的存储及冗余、硬件开销等方面存在问题. 许多学者针对测试矢量生成电路的功耗、故障覆盖率等综合因

素提出了很多解决方案, 如文献[4-5]中对测试电路在时钟上做出改进, 分别提出改变时钟树和 DS-LFSR 的方案, 降低了平均功耗, 但无法降低峰值功耗. 文献[6]中针对矢量间的汉明距离, 提出一种矢量重排技术, 但矢量重排为 NP 问题, 需要借助固定的算法, 增加了设计的复杂性. 文献[7-8]中提出了一种矢量插入技术, 在已生成的测试矢量之间插入能减少翻转的测试矢量, 利用少量的外围结构有效地减少系统的各类功耗. 本文基于矢量插入的思想, 利用可配置 LFSR 生成确定性矢量的特点, 针对不同的电路提取被测电路的网表信息, 导入到 Atalanta 工具中进行故障模拟, 得到一组确定性测试矢量, 再依次对这些确定性矢量做单跳变矢量的插入处理, 最后用可配置 LFSR 结构生成处理后的测试集.

2 测试功耗分析和 WSA 模型

电路的低功耗设计不仅可以降低能源消耗,而且有利于提高系统工作的稳定性.在集成电路测试过程中,往往因测试矢量的相关性较低,电路节点的翻转密度高,使测试功耗比正常工作的功耗高出数倍^[5,7].功耗聚集的热量不仅会缩短器件寿命,甚至烧毁器件,还会严重影响测试质量.

CMOS 电路中功耗的来源主要分为静态功耗和动态功耗两种.静态功耗主要由漏电流产生,由于 CMOS 电路结构上的互补对称性,同一时刻,只有一个晶体管导通,漏电流很小,不是系统功耗的主要部分.动态功耗是由于短路电流和负载电容的充放电,由电路正常工作时的功能跳变所引起的,它包括功能跳变、短路电流、竞争冒险等^[9].一般情况下,CMOS 集成电路的动态功耗约占总功耗的 90%.为了解决测试过程中过高功耗所带来的相关问题,需要对动态测试功耗进行分析.对于被测电路在某一节点的动态功耗可以通过下式计算^[8]:

$$E_i = \frac{1}{2} S_i \times F_i \times C_0 \times V_{DD}^2 \quad (1)$$

式中, S_i 为此节点翻转的次数, F_i 为该节点的扇出数, C_0 为单位输出的负载电容, V_{DD} 代表电源电压, $S_i \times F_i$ 称为节点 i 的 WSA (Weighted Switching Activity). 当被测电路的连续输入向量为 (V_{k-1}, V_k) 时,定义在该区间功耗为 E_{ik} , 则

$$E_{ik} = \frac{1}{2} \sum_i S(i, k) \times F_i \times C_0 \times V_{DD}^2 \quad (2)$$

式中, i 包括电路中所有的节点, $S(i, k)$ 为向量 TP_k 引起节点 i 翻转的次数.因电源电压和单位输出负载电容是定值, $S_i \times F_i$ 是功耗分析中唯一可变因素,所以 WSA 可作为衡量测试功耗的标准.考虑电路总的测试向量集 $TP = (V_1, V_2, \dots, V_n)$, 整个电路总的 WSA 为

$$WSA = \sum_k \sum_i S(i, k) F_i \quad (3)$$

如果 T 表示时钟周期,则瞬时功耗 $P_{inst}(V_k)$ 可以表示为

$$P_{inst}(V_k) = \frac{E_{ik}}{T} \quad (4)$$

测试过程的总功耗 E_{total} 为

$$E_{total} = \frac{1}{2} \sum_k \sum_i S(i, k) \times F_i \times C_0 \times V_{DD}^2 \quad (5)$$

峰值功耗 P_{peak} 为

$$P_{peak} = \max[P_{inst}(V_k)] \quad (6)$$

设伪随机测试序列长度为 L , 则平均功耗 P_{ave} 可由下式定义:

$$P_{ave} = \frac{E_{total}}{L \times T} \quad (7)$$

从上面的分析不难发现,总功耗是测试模式下电路节点翻转次数的总和;平均功耗为一段时间内总功耗的平均值;峰值功耗是任意特定时刻的最高功耗值.所以减少测试向量自身状态的翻转次数可以使得总功耗和峰值功耗得以降低,同时总功耗一定的情况下,适当增加测试集的长度可以降低平均功耗.

3 可配置 LFSR 的结构及其低功耗确定性测试矢量的生成

通过对测试过程的功耗分析可知,利用 BIST 方法进行低功耗设计,一方面可以通过减少测试序列长度和被测电路的总体 WSA 值来降低测试总功耗,另一方面在保证电路总 WSA 不变的情况下,增加测试集长度可以降低系统平均功耗.前者可以通过对被测电路进行故障模拟,得到故障覆盖率较高的确定性测试矢量,而避免部分冗余矢量.后者可以通过在已有的确定性矢量间插入低翻转的测试矢量来完成(插入矢量前后,因测试集总翻转次数不变,从而保证被测电路总 WSA 不变).所以在对被测电路进行测试之前,利用 Atalanta 自动测试矢量生成工具对被测电路进行处理,得到一组确定性测试矢量集,然后针对已生成的测试矢量集,通过在原有的矢量对之间插入单一翻转位,以降低被测电路的平均 WSA 和峰值 WSA,得到最终待生成的低功耗确定性矢量集.

本文利用了可配置 LFSR 结构作为矢量生成器,该结构通过传统的 LFSR 基础上增加了少量的逻辑门作为配置网络,通过适当的配置既可以生成伪随机矢量,又可以生成确定性测试矢量.而文中的低功耗确定性矢量集正是利用该结构能生成确定性矢量的特性.

3.1 可配置 LFSR 的结构

可配置 LFSR 的结构如图 1 所示.其中各个触发器的输入是由触发器输出经反馈异或配置串联反向配置(合并简称“反馈配置”)得到.

该电路的各个输入 V_i 可用含有 r 个触发器输出的逻辑变量 $Q_{L1}(n), Q_{L2}(n), \dots, Q_{Lr}(n)$ 和反向配置逻辑变量 C_i 表示成二元域内的线性非齐次方程:

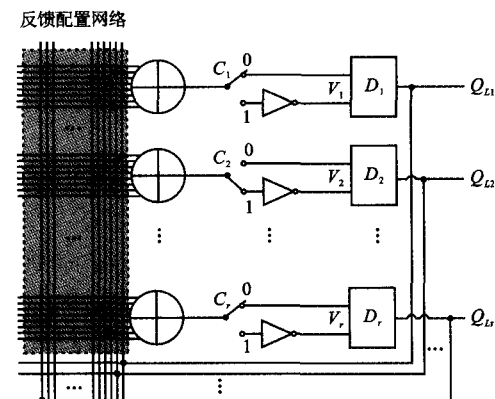


图1 可配置 LFSR 结构

$$V_i = a_{1i}Q_{L1}(n) + a_{2i}Q_{L2}(n) + \dots + a_{ri}Q_{Lr}(n) + C_i \quad (8)$$

式中, a_{ki} 为第 k 个触发器反馈接入第 i 位输入的配置节点, $a_{ki} \in \{0, 1\}$, $k, i = 1, 2, \dots, r$. $a_{ki} = 1$ 时, 表示反馈接入异或门, 反之表示无反馈接入; C_i 为非门控制, $C_i \in \{0, 1\}$, $C_i = 1$ 时表示通过非门接入输入, 反之则直通输入; Q_{Li} 为第 i 位触发器输出. 如果按确定性测试矢量集的顺序, 将待生成的测试矢量的第 i 位从第 1 个序列到第 s 个序列依次代入到式(8)中, 即可得到矩阵方程(9), 这里的 V_x^{n+1} 表示第 i 位的第 x 个测试序列的次态值, $x = 1, 2, \dots, s$, 并有 $V_x^{n+1} = V_{(x+1)i}$, 记 $CN_i = (a_{1i}, a_{2i}, \dots, a_{ri}, C_i)$ 为该位的反馈配置向量.

$$\begin{bmatrix} V_{1i}^{n+1} \\ V_{2i}^{n+1} \\ \vdots \\ V_{s-1,i}^{n+1} \\ V_{si}^{n+1} \end{bmatrix} = \begin{bmatrix} V_{11} & V_{12} & \dots & V_{1r} & 1 \\ V_{21} & V_{22} & \dots & V_{2r} & 1 \\ \vdots & \vdots & \dots & \vdots & \vdots \\ V_{s-1,1} & V_{s-1,2} & \dots & V_{s-1,r} & 1 \\ V_{s,1} & V_{s,2} & \dots & V_{s,r} & 1 \end{bmatrix} * \begin{bmatrix} a_{1i} \\ a_{2i} \\ \vdots \\ a_{ri} \\ C_i \end{bmatrix} \quad (9)$$

对应于式(9)中的各个部分, 可简记为: $b = A \times CN_i$, 其中 b 为确定性矢量在第 i 位的次态值列向量, CN_i 为配置列向量, A 中 V_{xi} 为确定性矢量的现态值, s 为确定性测试集的大小. 如果式(9)有解, 说明该确定性测试集的第 i 位序列可以完全通过配置向量 CN_i 得到; 反之, 说明该配置向量只能生成原确定性测试集在第 i 位中的一部分序列, 而另一部分需要重新代入式(8), 构造新的矩阵方程, 寻求新的配置向量, 直到全部测试集可解为止^[10]. 因此, 生成完整的确定性测试集可能需要多种配置.

3.2 多种配置的 LFSR 结构及其优化

图2所示为多个配置的 LFSR 结构, 完整的确定性测试集被划分为 p 个子集, 而每个子集由相应

的配置向量作用一定的时钟来生成, 其中配置通道的个数和配置向量的作用时钟都需要对原测试矢量的划分来决定. 矢量划分的理论基础, 就是非齐次方程组的有解判定定理.

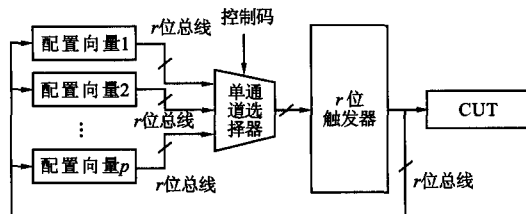


图2 多配置 LFSR 结构

定理1 非齐次线性方程组

$$\begin{cases} a_{11}x_1 + a_{12}x_2 + \dots + a_{1n}x_n = b_1 \\ a_{21}x_1 + a_{22}x_2 + \dots + a_{2n}x_n = b_2 \\ \vdots \\ a_{m1}x_1 + a_{m2}x_2 + \dots + a_{mn}x_n = b_m \end{cases} \quad (10)$$

$$\text{令 } A = \begin{bmatrix} a_{11} & a_{12} & \dots & a_{1n} \\ a_{21} & a_{22} & \dots & a_{2n} \\ \vdots & \vdots & \dots & \vdots \\ a_{m1} & a_{m2} & \dots & a_{mn} \end{bmatrix}, x = \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_m \end{bmatrix}, b =$$

$$\begin{bmatrix} b_1 \\ b_2 \\ \vdots \\ b_m \end{bmatrix}, \text{则式(10)可写成 } Ax = b, \text{方程组(10)有解的}$$

充分必要条件是矩阵 A 的秩 $R(A)$ 等于其增广矩阵的秩 $R(A | b)$.

定理2 设 η 是非齐次方程组的一个特解, $\xi_1, \xi_2, \dots, \xi_{n-r}$, 是其导出组的基础解系, 则非齐次方程组(10)的通解为 $\eta + k_1\xi_1 + k_2\xi_2 + \dots + k_{n-r}\xi_{n-r}$, 其中 $r = R(A)$, $k_1, k_2, \dots, k_{n-r}$ 为任意常数.

推论: 若 $R(A) = R(A | b) = n$ 时, 方程组(10)有唯一解; 若 $R(A) = R(A | b) < n$ 时, 方程组(10)有无穷多解, 其通解为 $\eta + k_1\xi_1 + k_2\xi_2 + \dots + k_{n-r}\xi_{n-r}$; 若 $R(A) \neq R(A | b)$ 时, 方程组(10)无解.

根据上述定理1和推论可知: 方程组(10)中只有当 $R(A) = R(A | b)$ 时, 才可以求出其配置向量 CN_i , 若 $R(A) \neq R(A | b)$, 则需要对原测试进行划分, 划分的步骤如下:

(1) 将方程组式(9)中的增广矩阵 $(A | b)$, 做行初等变换(二元域内的模2加), 使每行第一个非零元素下面的数为0.

(2) 找出增广矩阵 $(A | b)$ 中 A 阵全为0, 而 b 中不为零的行, 即使 $R(A) \neq R(A | b)$ 的行, 那么该行即为原测试集的一个划分点.

(3) 将原测试集在该划分点之后的测试矢量重新代入方程(9),并重复步骤(1)(2),直到剩余的测试矢量全部可解.

划分子集的多少,即为配置通道的个数,而划分子集的长度(子集中包含测试矢量的个数)就是每个配置向量的作用时钟数.

根据定理 2 可知,非齐次方程可能存在多组解.而解结构的不同,整个结构的硬件开销也随之不同,因此为了获得较少的硬件开销,必须对方程的通解进行寻优.对于配置向量 $CN_i = (a_{1i}, a_{2i}, \dots, a_{ni}, C_i)$,其中各个元素取值为 0 或 1,向量中的“1”元素对应着配置网络中的门结构,因此要使门结构最少,应以寻找通解中“1”最少的一组解向量作为限制条件,同时因非门比异或门的硬件开销要小,所以还可以在含“1”最少的通解中,尽量选择 $C_i = 1$ 的解,作为该位最优配置解进行解空间内的寻优,寻优步骤为:

(1) 求出划分后矩阵方程的基础解系和特解.

(2) 利用划分后现态矩阵的秩 $R(A)$,统计基础解系的个数 $N = r - R(A)$, r 为被测电路输入端口数.

(3) 找出所求通解 $\eta + k_1\xi_1 + k_2\xi_2 + \dots + k_N\xi_N$ 中含“1”最少的解向量,其中 $k_i = 0$ 或 1.

(4) 找出尽量能使 $C_i = 1$ 的解向量,作为第 i 位的最优反馈配置.

4 实例及验证

为了验证方案的可行性,以组合电路集 ISCAS'85 的 C17 电路为例,用 atalanta 工具生成的确定性矢量如图 3 所示,经过单一跳变矢量插入后的低功耗确定性矢量如图 4 所示.

输入端/序列	1	2	3	4	5	6
G1gat	0	1	0	1	0	1
G2gat	1	0	0	0	1	1
G3gat	0	0	1	1	1	1
G6gat	1	0	1	0	1	0
G7gat	1	1	1	0	0	0

图 3 确定性矢量

输入端/序列	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
G1gat	0	0	0	1	1	1	0	0	0	1	1	1	0	0	1
G2gat	1	1	0	0	0	0	0	0	0	0	0	1	1	1	1
G3gat	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
G6gat	1	0	0	1	1	1	1	0	0	1	1	1	0	0	0
G7gat	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0

图 4 低功耗确定性矢量

依次将各个输入端的低功耗确定性序列 1 到 14 代入式(10)的 A 阵中,序列 2 到 15 代入 b 阵中,

得到矩阵方程式(11). 该低功耗测试集经矢量划分为 4 个子集,如以下矩阵的虚线所示,每个子集各个位的最优配置如表 1 所示.

$$\begin{pmatrix} 0 & 1 & 0 & 1 & 1 & 1 \\ 0 & 1 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 1 & 0 & 0 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 1 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 1 & 0 & 1 & 0 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 & 1 \\ 1 & 1 & 1 & 1 & 0 & 1 \\ 0 & 1 & 1 & 1 & 0 & 1 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 1 & 1 & 0 & 0 & 1 \end{pmatrix} \times \begin{pmatrix} a_{11} & a_{12} & \dots & a_{15} \\ a_{21} & a_{22} & \dots & a_{25} \\ \vdots & \vdots & \ddots & \vdots \\ a_{51} & a_{52} & \dots & a_{55} \\ C_1 & C_2 & \dots & C_5 \end{pmatrix} = \begin{pmatrix} 0 & 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 1 \\ \dots & \dots & \dots & \dots & \dots \\ 1 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 1 & 0 & 1 & 1 & 0 \\ 1 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 0 & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 1 & 1 & 1 & 0 & 0 \end{pmatrix} \quad (11)$$

加载各个子序列的配置到图 1 所示的结构中,可以得到类似于图 2 所示的 4 个序列配置的 LFSR

结构. 根据划分子集的矢量数合理分配各个配置通道的作用周期,即子序列的长度(图 5 所示 sel 信号作用的时钟周期)可得到低功耗确定性测试矢量如图 5 所示.

对于组合电路集 ISCAS'85 的其它电路,实验使用 C 代码模拟 WSA 计算过程,并用故障模拟工具 fsim 对低功耗测试集文件进行故障模拟. 表 2 列出了本文与文献[7-8]方案所提出的方案的比较结

果. 实验表明可配置 LFSR 产生的确定性测试矢量集对 CUT 的总 WSA 和平均 WSA 有着很明显的降低,又因为矢量集中的各个相邻矢量都是单一翻转,峰值功耗也得到了最大程度上的降低. 实验结果中,可配置 LFSR 产生的测试集相对与其他方案要小,故障覆盖率也相对较高,因此很大程度上减少了测试时间,提高了测试效率.

表 1 各子序列的所有位的优化配置

子序列数	各个位的最优配置
子序列 1	$V_1^{n+1} = \overline{V_2^n}; V_2^{n+1} = V_4^n; V_3^{n+1} = 0; V_4^{n+1} = V_1^n; V_5^{n+1} = 1$
子序列 2	$V_1^{n+1} = V_3^n \oplus V_4^n; V_2^{n+1} = 0; V_3^{n+1} = 1; V_4^{n+1} = V_5^n; V_5^{n+1} = V_1^n$
子序列 3	$V_1^{n+1} = V_2^n \oplus V_3^n; V_2^{n+1} = V_4^n; V_3^{n+1} = V_5^n; V_4^{n+1} = V_1^n; V_5^{n+1} = 0$
子序列 4	$V_1^{n+1} = V_2^n; V_2^{n+1} = V_3^n; V_3^{n+1} = V_4^n; V_4^{n+1} = 0; V_5^{n+1} = 0$

表 2 ISCAS'85 电路上的实验结果

电路	测试集大小	WSA(Δ WSA)				本文测试集的大小	Δ WSA _{ave}	故障覆盖率/%	
		原 LFSR	文献[7]	文献[8]	本文方案			原 LFSR	本文方案
c432	2 000	242 517	25 119(89.64%)	19 207(92.08%)	13 941(94.25%)	957	87.60%	98.28	99.24
c880	10 000	2 859 232	152 754(94.65%)	138 958(95.14%)	32 435(98.87%)	1 597	92.98%	92.99	100
c1355	4 000	1 245 262	342 183(72.52%)	179 068(85.62%)	157 710(87.34%)	1 786	71.70%	98.79	99.49
c1908	2 000	1 220 859	25 401(97.91%)	178 489(85.38%)	66 747(94.53%)	1 820	94.10%	98.35	99.52
c2670	10 000	8 451 934	151 167(98.21%)	126 779(98.50%)	143 017(98.31%)	10 000	98.34%	88.06	94.98
c3540	4 000	4 081 416	386 296(90.53%)	319 574(92.17%)	389 967(90.45%)	3 741	89.80%	81.53	96.00
c5315	15 000	28 726 144	694 772(97.58%)	663 573(97.69%)	425 759(98.52%)	9 902	97.81%	98.90	98.90
c6288	2 000	3 927 296	1 432 821(63.52%)	1 669 100(57.50%)	343 636(91.25%)	587	70.20%	99.56	99.56
c7552	10 000	24 718 059	572 508(97.68%)	536 381(97.83%)	522 019(97.89%)	10 000	97.89%	95.71	96.82

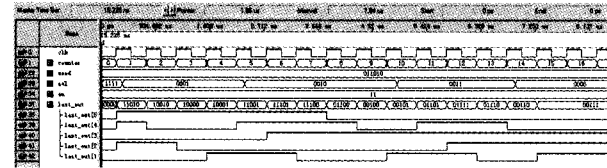


图 5 C17 电路低功耗确定性矢量生成的仿真

5 结束语

文中提出了一种能获得较高故障覆盖率的低功耗测试矢量生成方案. 该方案利用 Atalanta 测试矢量生成工具,针对不同的被测电路生成故障覆盖率较高的测试矢量,再经低功耗处理后得到矢量间单一翻转的确定性测试集,并通过可配置的 LFSR 生成该集. 经过对组合电路集 ISCAS'85 的各个电路实验,表明本方案在保证故障覆盖率较高的前提下,不仅能有效降低 CUT 的各类功耗,而且测试时间

和硬件开销都相对较小,因此可以用于测试各种大规模组合电路.

参考文献:

[1] 朱敏. 电子系统内建自测试技术研究[D]. 哈尔滨: 哈尔滨工业大学,2010.
[2] 谢永乐, 孙秀斌, 王玉文, 等. 数字集成电路的混合模式内建自测试方法[J]. 仪器仪表学报, 2006, 27 (4): 367-375.
[3] 孟觉, 樊晓光, 邬蒙, 等. 芯片级 BIST 控制器的设计与实现[J]. 计算机工程, 2011, 37(21): 238-240.
[4] Girard P, Guiller L, Landrault C, et al. A modified clock scheme for a low power BIST test pattern generator[C]// IEEE Proceedings on VTS. Marina Del Rey, CA: IEEE, 2001: 306-311.

(下转第 152 页)

状态识别后的实际输出和期望输出如表 1 所示。

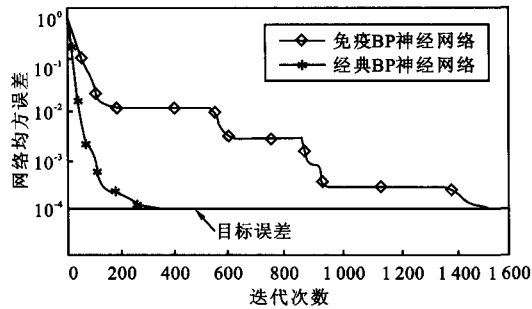


图 3 两种算法的训练收敛曲线

从表 1 的分类识别结果可知,经典 BP 神经网络对煤矿状态进行识别的准确率不高,用 20 组测试数据做测试时的准确率仅大约 75%,而免疫 BP 神经网络能有效地识别煤矿状态,其准确率有 90% 左右。

表 1 两种算法的识别准确率比较

测试样 本序号	实际输出						期望 输出
	免疫 BP 神经网络输出	经典 BP 神经网络输出					
1	0.031	0.981	0.127	0.212	0.913	0.364	010
2	0.997	0.038	0.965	0.893	0.327	0.296	101
3	0.981	0.025	0.973	0.798	0.699	0.401	100
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
20	0.008	0.018	0.996	0.322	0.375	0.509	001

4 结束语

仿真结果表明,本文提出的免疫 BP 神经网络的数据分类器,充分发挥了 BP 算法的局部和免疫算法的全局搜索寻优能力,有效避免了经典 BP 神经网络极易陷入局部极值的现象,且 BP 神经网络

经过免疫算法优化后进行传感器数据识别时,在准确率、网络性能和收敛速度等方面都比经典 BP 神经网络优势明显。

参考文献:

[1] 王智文. 基于改进 BP 神经网络的车牌字符识别[J]. 微电子学与计算机, 2011, 28(9): 66-69.

[2] 李松, 罗勇, 张铭锐. 遗传算法优化 BP 神经网络的混沌时间序列预测[J]. 计算机工程与应用, 2011, 47(29): 52-55.

[3] 杨梅, 卿晓霞, 王波. 基于改进遗传算法的神经网络优化方法[J]. 计算机仿真, 2009, 26(5): 198-201.

[4] 洪月华. 基于粗糙集与 BP 神经网络的分布式数据挖掘算法[J]. 玉林师范学院学报, 2011, 32(5): 133-136.

[5] 王宏图, 黄振华, 范晓刚, 等. 粗糙集-神经网络理论在矿井通风系统评价中的应用[J]. 重庆大学学报, 2011, 34(9): 90-94.

[6] Chun J S, Kim M K, Jung H K, et al. Shape optimization of electronic devices using immune algorithm[J]. IEEE Trans on Magnetics, 1997, 33(2): 1876-1879.

[7] 倪红梅, 王维刚. 免疫神经网络在固井质量预测中的应用研究[J]. 计算机仿真, 2009, 26(7): 267-269.

[8] 罗菲, 何明一. 基于免疫遗传算法的多层前向神经网络设计[J]. 计算机应用, 2005, 25(7): 1161-1165.

[9] 陈伟根, 齐辉. 王有元, 等. 一种气体传感器阵列检测模式识别新方法[J]. 重庆大学学报, 2010, 33(1): 61-66.

[10] 曹亮. 基于多源信息融合的煤矿安全无线监测系统研究[D]. 西安: 西安建筑科技大学, 2008.

作者简介:

洪月华 女, (1973—), 硕士, 副教授. 研究方向为数据挖掘、人工智能、无线传感器网络。

(上接第 148 页)

[5] Wang S, Gupta S K. DS-LFSR: a bist tpg for low switching activity[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(7): 842-851.

[6] Girard P, Guiller L, Landrault c, et al. A test vector ordering technique for switching activity reduction during test operation[C]// Ninth Great Lakes Symposium on VLSI. Ypsilanti, MI: IEEE, 1999: 24-27.

[7] 何蓉晖, 李晓维, 宫云战. 一种低功耗 BIST 测试产生器的方案[J]. 微电子学与计算机, 2003, 20(2): 36-39.

[8] 谈恩民, 宋胜东, 施文康. 单/双跳变向量插入式低功耗 BIST 设计方法[J]. 微电子学与计算机, 2007, 24(8): 183-185.

[9] 王义, 傅兴华. 低功耗单输入跳变测试理论的研究[J]. 微电子学与计算机, 2009, 26(2): 5-7.

[10] Zhang X, C I H Chen, Chakravarthy A. Structure design and optimization of 2-D LFSR-based multi-sequence test Generator in built-in self-test [J]. IEEE Transactions Instrumentation and Measurement, 2008, 57(3): 651-663.

作者简介:

李 鹏 男, (1987—), 硕士研究生. 研究方向为集成电路测试、可测性设计。

颜学龙 男, (1962—), 教授. 研究方向为集成电路测试、可测性设计、故障诊断和边界扫描技术等。