

双输出 FPGA 基本逻辑单元结构的布局布线影响研究

张红敏¹, 江先阳^{1,2}

(1 武汉大学 物理科学与技术学院, 湖北 武汉 430072; 2 武汉大学 微电子与信息技术研究院, 湖北 武汉 430072)

摘 要: FPGA 基本逻辑单元结构对其性能有着巨大的影响, 采用实验的方法, 基于三种不同的 FPGA 内基本逻辑单元(BLE)结构, 分别对一系列的基准电路进行装箱和布局布线, 研究了不同 BLE 结构对 FPGA 布局布线性能的影响. 研究揭示了不同 BLE 结构对布局质量, 布局、布线延时和面积有较大的影响, BLE_C 结构在布局、布线延时和面积上有较好的优化效果. 实验结果对 FPGA 的结构设计以及相应 EDA 工具的设计具有参考意义.

关键词: 基本逻辑单元; 理性可编辑门陈列; 计算机辅助设计

中图分类号: TN791

文献标识码: A

文章编号: 1000-7180(2014)02-0146-07

Study on the Place and Route Effects of Dual-output FPGA Basic Logic Elements Structure

ZHANG Hong-min¹, JIANG Xian-yang^{1,2}

(1 School of Physics Science and Technology, Wuhan University, Wuhan 430072, China;

2 Institute of Microelectronics and Information Technology, Wuhan University, Wuhan 430072, China)

Abstract: FPGA basic logic elements structure has a huge impact on its performance. By experimental method, a series of benchmark circuits to be packed, placed and routed, and study the place and route effects of the different structures based on three different FPGA basic logic elements (BLE) structure. Our research shows that different BLE structures have a large impact on placement cost, place and route's delay, and area. BLE_C structure has better optimization results in placement, routing delay and area. The experimental results have some reference value to FPGA architecture design and EDA tools design.

Key words: BLE ; FPGA CAD; VPR; placement and routing

1 引言

FPGA 正处于高速发展时期, 人们期盼 FPGA 的成本更低、功耗更低、性能更高, 这也意味着 FPGA 的结构和功能将更加复杂, 器件的密度越来越高, 时序收敛问题也日益突出. FPGA 的基本逻辑单元结构对其性能有着巨大的影响, 学术界提出了 FPGA CAD 系统来评估 FPGA 的架构^[1]. FPGA CAD 流程分为逻辑优化、工艺映射、装箱和布局布线^[2-3]. 本文研究的重点是 FPGA 的基本逻辑单元结构对布局布线性能的影响.

本文将比较三种不同的逻辑单元结构对 FPGA

布局布线性能的影响. 第一种基本逻辑单元结构(本文称之为 BLE_P 结构)^[4], 第二种是双输出逻辑单元结构(BLE_T 结构), 第三种是复旦大学提出的双输出逻辑单元结构(BLE_C 结构)^[5]. 对于典型的单输出 BLE_P 结构, 所用的装箱和布局布线工具是 Vaughn Betz 等人开发的 T-VPACK^[6]和 VPR^[2]工具, 但 T-VPACK 和 VPR 工具不适于双输出的 BLE_T 和 BLE_C 结构. 武汉大学在 2009 年提出了 WHUpacker1.0^[7]的装箱算法. 本文采用实验的方法, 基于三种不同的 BLE 结构, 分别对一系列的基准电路进行装箱和布局布线, 研究不同 BLE 结构对 FPGA 布局布线性能的影响, 并对比其布局质量、布

收稿日期: 2013-04-29; 修回日期: 2013-06-17

基金项目: 国家自然科学基金项目(61072135, 60788402); 武汉市科技攻关项目(201110921295)

局和布线路径的时序性能以及面积特性。

2 基本逻辑单元结构

商用FPGA主要由三部分构成:可编程逻辑模块 CLB(Configurable Logic Block),用于实现用户所需的逻辑功能;输入输出块 I/O Block,用于实现输入输出信号;连线资源(Interconnection Resource),可编程连线资源提供逻辑功能块与逻辑功能块之间及逻辑功能块与 I/O 之间的连线。FPGA 的可编程逻辑模块 CLB 基本类型有两种:一种是基于查找表 LUT 的逻辑单元;另一种是基于多路选择器 MUX 的逻辑单元。常用的岛型 FPGA 的 CLB 是基于 LUT 的逻辑单元,它的结构简单,且对布线资源的要求也比较低。

基本逻辑单元 BLE(Basic Logic Element)是 CLB 基础逻辑组成部分,一种典型 BLE 结构(称之为 BLE_P)如图 1 所示。单输出 BLE(BLE_P)结构有三种不同映射模式,即能实现三种逻辑功能:①K 输入查找表 LUT 模式,LUT 的输出不经过触发器 FF 而直接输出;②触发器 LATCH 模式,输入不经过 LUT,直接通过触发器 FF 输出;③LUT_AND_LATCH 模式,LUT 的输出作为触发器 FF 的输入,再通过 FF 输出。可以看出,对于一个 BLE 结构来说,不能同时利用 LUT 和 FF 来实现组合逻辑和时序功能,因为 BLE 结构单一的输出限制了 BLE 只能实现一种逻辑功能,而且 LUT 和触发器 FF 同时使用时,只能是 LUT 的输出直接驱动触发器 FF,即 LUT_AND_LATCH 模式。

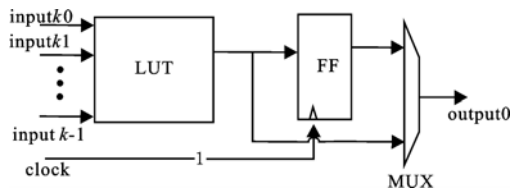


图 1 典型 BLE 结构(BLE_P)

FPGA 厂商一般将多个逻辑单元组合在一起并放入一个称为 cluster 或 CLB 的复杂逻辑块中,这是一种“粗粒度”结构,也叫做层次化逻辑单元结构^[8],即一个 CLB 中含有多个 BLE,如图 2 所示。单个 BLE 的输入数 K、CLB 中包含 BLE 的数目 N、CLB 的外部输入数 I,是描述 CLB 结构的三个重要参数。为了对这种结构特性研究,假设整个 FPGA 是完全连接的^[4],也就是说 CLB 的外部输入 I 和输出 N 均可连接到任一 LUT 的 K 输入。目前,关于 CLB 的 K、N、I 值对于 FPGA 特性的研究工作已经

有很多。在文献[9-10]的研究工作中表明,在 $N=1$, $K=4$ 时有最好的面积特性;在文献[11-13]中表明 K 取值为 5 或 6 时,有最好的延时特性;在文献[14]中提出了一种混合使用 2 输入 LUT 和 3 输入 LUT 的 BLE 结构,该 BLE 结构在面积优化方面与 4 输入 LUT 等效;在面积和延时需要同时优化时,文献[15]表明一个含有两个三输入 LUT 的逻辑块结构,可以得到很好的结果。在文献[16-17]的研究中, $K=4$ 且 I 为 $2N+2$ 时,98% 的 4 输入 LUT 都能得到利用。2000 年, E. Ahmed 和 J. Rose 在 LUT 尺寸 (K) 和 CLB 大小 (N) 对 FPGA 的面积和延时的影响给出了更全面的分析^[18],并得出三个结果:①给出了在 K、N 确定的情况下, I 与 K、N 满足关系 $I = k * (N+1)/2$ 时, FPGA 的特性最好,一般情况下 K 取 4 到 6 之间, N 取 4 到 10 之间,因为此 I 的取值范围为 10~33。②通过实验表明 LUT 的输入为 5 和 6 时, FPGA 的面积特性是最好的。③在研究面积和延时共同特性时发现,随着 K 从 3 开始增大时, FPGA 的面积和延时共同特性就越来越好,因为虽然 K 为 2 或 3 时,面积小但延时大。而当 K 增到 6,如果继续增大 K 值,面积和延时又会越来越差,因为此时单个 BLE 过大,这样将占用大量的面积。LUT 的输入数为 4~6,且 CLB 中的 BLE 数为 4~10 的 FPGA 得到最好的结果。

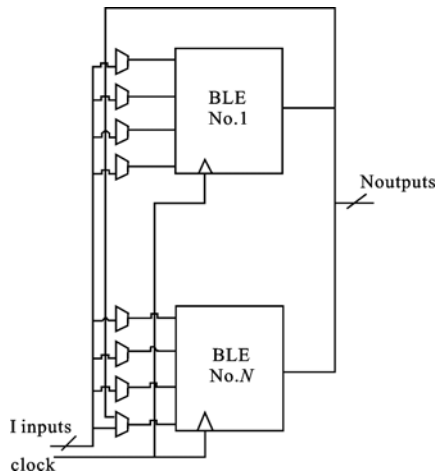


图 2 包含有 N 个 BLE 的 CLB 结构

但是在这些工作中,通常是研究每个 CLB 中含有的 BLE 数目 N 值,BLE 的输入数即 LUT 的输入数 K 值等对于 FPGA 性能的影响,并没有研究过 BLE 输出数目对 FPGA 特性的影响。

3 双输出基本逻辑单元结构

典型的 BLE 只有一个输出。为了提高逻辑单元

在基于 FPGA 的芯片设计中的利用率,通过改变 BLE 中多路选择器的位置,一种简单的双输出结构(如图 3 所示,称之为 BLE_T)被提出.这种双输出结构除了能实现单输出结构的所有功能,还可以配置为一个查找表(LUT)实现组合逻辑和一个触发器(FF)实现时序逻辑功能的模式,然后分别由两个输出端口输出,即 LUT_LATCH 模式.

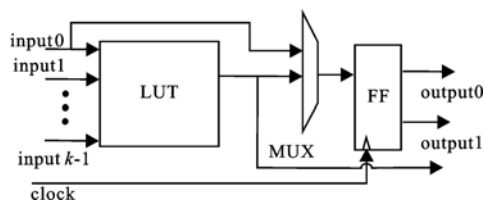


图 3 双输出结构 BLE_T

BLE_T 结构简单有效,可以在同一个 BLE 中输出一个组合逻辑和时序逻辑.但是利用这种结构是有限限制的.该结构只适用于时序电路,且在判断合并 LUT 和 FF 时,装箱算法完成了 LUT_AND_FF 这种逻辑块类型的判断后,还必须要有剩余的 FF 可与其它 LUT 组成新的逻辑块类型,这样才能达到优化的目的.

复旦大学提出了一种适应组合逻辑的双输出 BLE 结构(BLE_C),如图 4 所示.这种结构与典型的 BLE_P 结构相比,每个 BLE 由两个 LUT、两个多路选择器 MUX 和一个触发器构成.

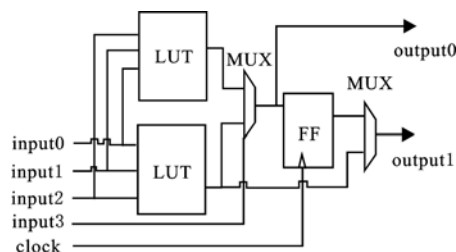


图 4 双输出结构的 BLE_C

BLE_C 的外部输入数仍然为 4,由两个三输入的 LUT 的输入共享,一个外部输入连接到多路选择器. BLE_C 可以设置为四种模式. (①LUT 模式:两个三输入 LUT 和一个多路选择器 MUX 可以等效为四输入 LUT,即 LUT 输出不经过触发器 FF 而直接输出到 output0,实现不同的组合逻辑. ②LATCH:输入不经过 LUT,直接利用触发器 FF 输出到 output1,实现时序功能. ③ LUT_AND_LATCH:即等效的四输入 LUT 输出作为触发器 FF 的输入,实现时序逻辑输出到 output1. ④LUT_DOUBLE:即两个三输入 LUT 分别直接通过多路选择器 MUX 输出到 output0 和 output1,此时两个

LUT 必须是输入共享的.

为了提高逻辑映射效率,2009 年,武汉大学研究提出了基于 BLE_T 和 BLE_C 结构的 WHU-packager1.0^[14] 装箱算法. WHU-packager1.0 可以实现上述五种模式,即 LUT, LATCH, LUT_AND_LATCH, LUT_LATCH 和 LUT_DOUBLE.

4 FPGA CAD 流程

FPGA CAD 实验流程使用广泛,且最具可靠性.其具体流程如图 5 所示,包括逻辑优化、工艺映射、装箱、布局、布线等.电路设计是用户输入的,描述 CLB 结构的 K、N、I 值和 .arch 文件是描述 FPGA 架构的.通过这个 CAD 流程,可以测试不同架构的 FPGA 的延时、面积等情况.

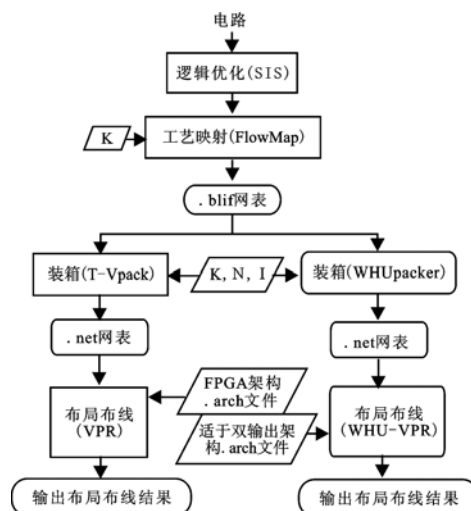


图 5 FPGA CAD 流程

本文所用的布局布线工具是 Vaughn Betz 等人开发 VPR 工具,它适用于各种架构的 FPGA. VPR 的输入是逻辑块. net 网表文件和描述 FPGA 结构的 .arch 文件. VPR 布局布线完成后,可以反馈出电路在某种特定结构 FPGA 中的关键路径延时和布线资源通道数,并输出相应的布局、布线结果和中间过程产生的统计文件,这些统计文件中包含的信息包括总布线长度、网线数量以及最大网线长度等.

在 FPGA 设计中,布局是极为重要的一个环节,它直接影响到后续布线的质量和整个电路的性能. FPGA 的布局是基于一定的优化和约束准则将. net 网表文件描述的电路元素(包括 I/O,逻辑块 Block 和布线资源等)映射到 FPGA 芯片内部物理位置的过程. 布局算法必须满足约束规则,同时使代价函数最小化. 布局的优化目标包括总线长最小化、延时最小化、拥挤度最小化等.

VPR 布局算法基于典型的双循环模拟退火算法. 由于布局结束后还没有进行布线操作, 无法通过布线成功后版图的面积以及延迟来判断布局质量的好坏. 为了评估布局的质量, 需要一些评估标准来判断. VPR 在合理的计算时间上提供了一个最好的线性拥挤代价函数^[19], 用来评估布局的质量, 其代价函数 Cost 是要最小化所有线网长度之和, 这个代价函数的函数形式是

$$\text{Cost} = \sum_{n=1}^{N_{\text{nets}}} q(n) \left[\frac{bb_x(n)}{C_{av,x}(n)} + \frac{bb_y(n)}{C_{av,y}(n)} \right]$$

式中, Cost 是对网表中所有线网(net) 的代价函数求和, 对于每一个线网, bb_x 和 bb_y 表示该线网所覆盖的边界框(Bounding Box) 的水平和垂直跨度, $q(n)$ 是一个与线网 n 端口数有关的一个函数^[20], 即线网扇出超过 3 个的惩罚度, 用来补偿随着端口递增而导致网线的非线性增加. $C_{av,x}(n)$ 和 $C_{av,y}(n)$ 分别表示在水平和竖直方向覆盖线网 n 边界框的平均通道容量, 即每个通道内所含有的布线 Track 的条数.

VPR 布线算法^[21] 是基于 Pathfinder 协商拥挤算法, 是一种平衡以性能为目标和以可布线能力为目标的一种布线方法. 它由两部分组成: 一个信号布线法: 采用最短路径算法一次布通一个信号; 以及一个全局布线法: 采用信号布线布通所有信号, 同时调整资源成本以取得一个完整布线. 信号布线法采用宽度优先搜索以找出对于每个布线资源给定拥挤成本及延迟的最短路径. 基于资源上的需求信号, 全局布线法动态的调整每一布线资源的拥挤惩罚, 在全局布线首次迭代, 不存在分享布线资源的成本并且个别资源被超过一个信号使用. 然而, 在紧接着的迭代过程中, 这一惩罚逐渐增加, 这样信号实际上是协商使用资源. VPR 以两种基本模式运行, 默认情况下, VPR 进行布局布线时, 会为了寻找最小的通道宽度反复拆线布线. 如果当前通道宽度下布线不成功, VPR 将会增加通道宽度再次布线; 如果布线成功, VPR 减少通道宽度继续布线, 找到最小轨道数. 另一种模式不需要通过折半查找的方式来确定最小轨道数, 通道宽度采取用户手工制定的大小, 如果当前轨道数布线不成功, VPR 会报出结果.

对于单输出 BLE_P 结构, 对. blif 电路网表其进行 T-Vpack 装箱, 获得. net 网表文件, 再进行 VPR 布局布线, 获得电路的参数信息, 如图 5 左半部分所示. 而对于两种双输出结构的 BLE, 进行 WHUpacker1.0 装箱算法, 获得基于双输出的新

的. net 网表文件. 但对于双输出 BLE_T 和 BLE_C 结构的布局布线, 目前还没有相应的布局布线工具. 原 VPR 程序不再适合对新网表文件进行布局布线, 故本文在 VPR 源程序的基础上改进其程序, 提出 WHU-VPR 布局布线工具, 使之能对双输出装箱结果进行布局布线. 同时, 本文也设计了新的 FPGA 架构文件满足双输出结构要求. 双输出结构的 CAD 流程图如图 5 右半部分所示.

5 实验结果

本文采用 MCNC^[22] 基准电路进行测试. 实验基于 1 GB 内存和 1.8 GHz 英特尔奔腾双核 CPU 的 PC 平台, 在 Cygwin 上运行编译器是 GCC^[23]. Cygwin 是在 windows 平台上运行的一个 Linux 模拟环境.

WHU-VPR 的一种布局布线结果如图 6 所示. 图中取 MCNC 电路中 ex4p. blif 经 WHUpack1.0 装箱后的 ex4p. net 网表, 执行 WHU-VPR 工具, 输入命令行: ./vpr ex4p. net k4n1. arch p. out r. out. 其中 k4n1. arch 为双输出结构的新 FPGA 架构文件, 表示此文件适用于 $K=4, N=1$ 的网表电路.

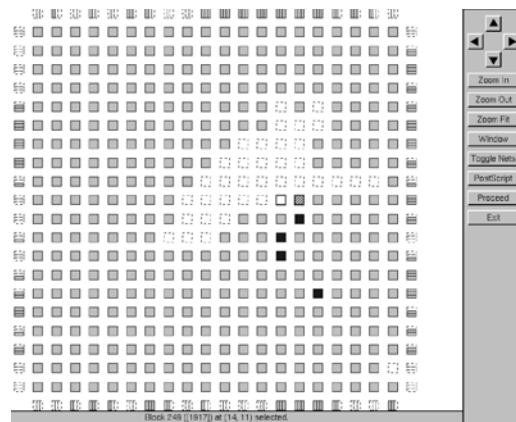


图6 ex4p. net 网表布局结果

图 6 表示电路经过布局后的结果, 选中一个 CLB 表示为“□”绿色, 其扇出用“回”表示, 扇入用“■”表示. 程序运行时输出布局代价 $\text{Cost} = 0.995\ 552$, 布局建立关键路径延时 $P_delay = 0.528\ 707(10^{-8}\text{s})$. p. out 文件存放布局结果.

再次点击 Proceed 按钮, 完成布线操作. 图 7 表示布线成功后的结果, 其布线成功后关键路径延时 $R_delay = 0.705\ 453(10^{-8}\text{s})$, 通道宽度为 10. 总的布线面积 $R_area = 1.997\ 83e+06$, 总的逻辑块 CLB 面积 $C_area = 1.2\ e+07$. 如果对之前的布局结果进行布线, p. out 作为布线器的布局信息输入, 最

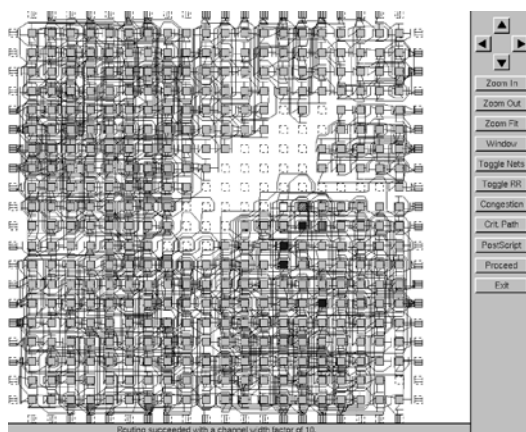


图7 ex4p.net 网表关键路径布局布线结果

最终的布线结果存放在 r.out 文件中。在布局布线阶段,CLB 的端口被抽象为节点(Node),关键路径延时是指关键路径的每个节点之间的延迟。通道宽度是每个通道中包含的轨道数目。面积是指布局布线时需要的晶体管数(相对于晶体管的最小宽度而言)。

取 MCNC 电路中 *.blif 网表经 WHUpacker1.0 装箱后,分别得到基于 BLE_T 和 BLE_C 结构的 *.net 网表,再对网表分别执行 WHU-VPR 工具,输入命令行:./vpr *.net k4n1.arch p.out r.out。其中 k4n1.arch 文件修改成适合双输出 FPGA 架构的文件。基于双输出结构的 MCNC 电路布局质量、布局关键路径延时、布线关键路径延时、布线面积和逻辑块面积如图 8~12 所示。

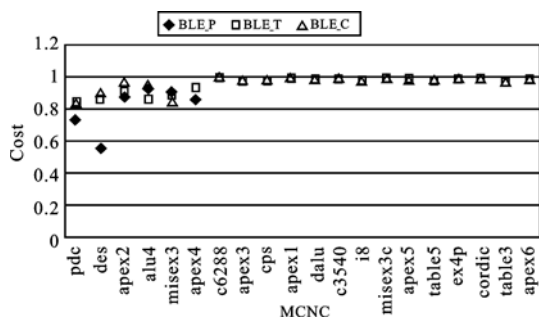


图8 布局代价对比

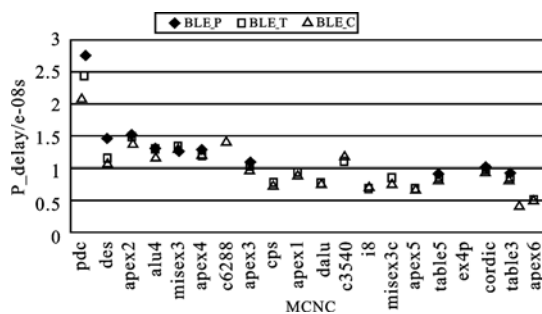


图9 布局建立关键路径延时对比

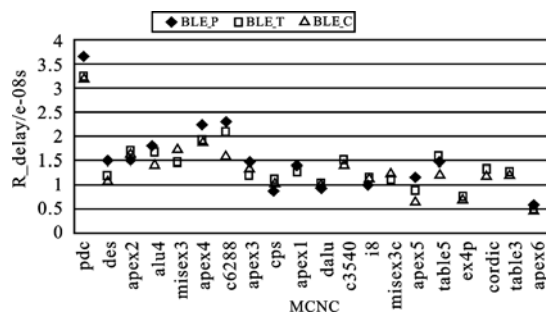


图10 布线关键路径延时对比

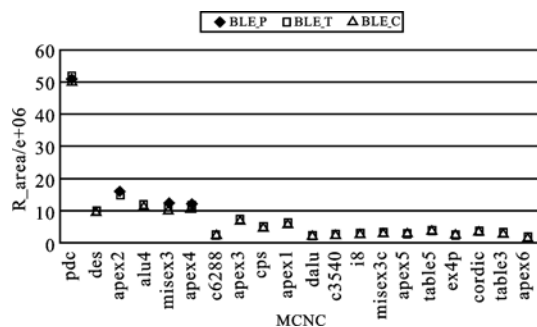


图11 布线面积对比

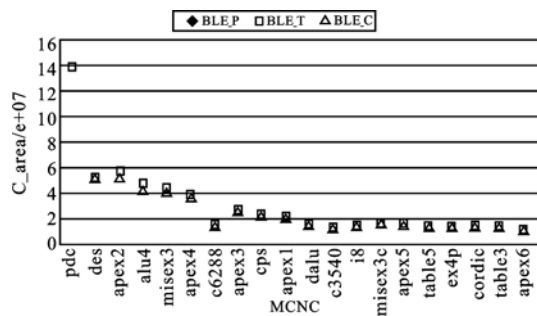


图12 逻辑块面积对比

图 8~12 中 20 组电路从大到小依次排列。根据图 8 的数据显示,相比较于 BLE_P 结构,BLE_T 结构在布局代价和布局延时上没有明显的优越性,而 BLE_C 结构在小电路上布局代价稍微降低。且电路较大时,BLE_T 和 BLE_C 结构布局代价越高。图 9 和图 10 中,在布局布线延时上,BLE_C 结构延时缩短比 BLE_T 结构明显。而图 11 和图 12 表明了 BLE_T 和 BLE_C 结构在布线面积和逻辑块面积上都能得到优化,但 BLE_C 结构优化效果比较好。图 11 中 BLE_P 和 BLE_T 结构的面积数值完全重合。

同时,比较 K 值变化时,不同 BLE 结构的布局布线结果。对上述 20 组电路布局布线的输出结果取平均值,得到如图 13~17 所示的三种 BLE 结构布局布线的布局代价,布局和布线延时,布线面积和逻辑块面积的变化。

从图 13 可以看出,随着 K 值增大,布局代价有减小趋势。且 k 大于 4 后(除 K=6 外),BLE_T 和

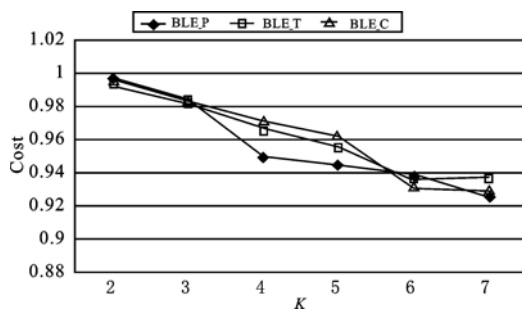


图13 布局代价对比

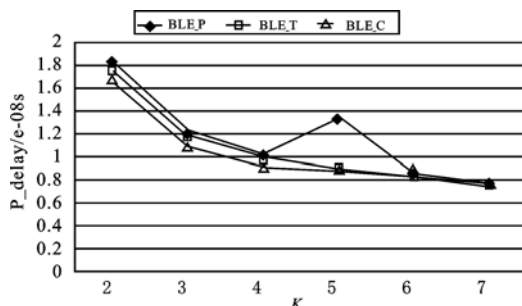


图14 布局建立关键路径延时对比

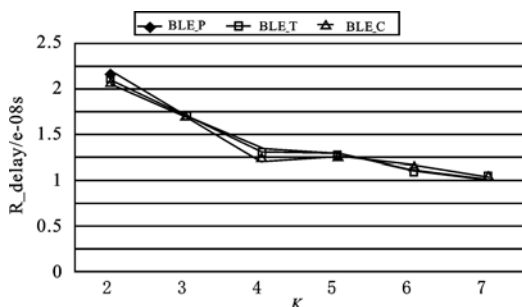


图15 布线关键路径延时对比

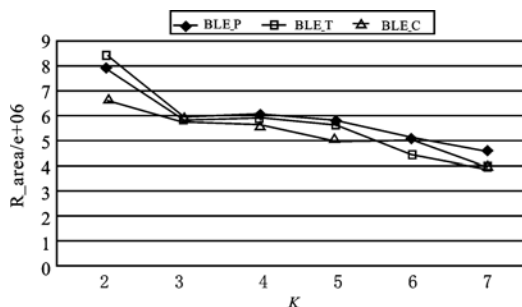


图16 布线面积对比

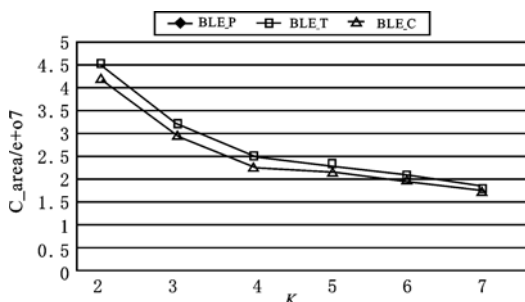


图17 逻辑块面积对比

BLE_C 结构布局代价增加. 图 14 和 15 中, 随着 K 值增加, 布局布线延时减小, 且 BLE_C 结构有较好的布局延时效果. 图 16 则表明 BLE_T 和 BLE_C 结构布线所需面积减小, 且 BLE_C 结构面积优化比较好. 从图 17 中看到, BLE_P 和 BLE_T 结构的曲线完全重合, 表明 BLE_T 结构布局布线所需的逻辑块面积与 BLE_P 结构相同, 而 BLE_C 结构的逻辑块面积得到了较好的优化.

6 结束语

从本文的实验数据可以看出, 三种逻辑结构的 FPGA 性能各有差异, 三种 BLE 结构在布局质量上各有优势, 而 BLE_C 结构虽然在布局代价上的优化效果比不上 BLE_T 结构, 但在布局布线延时上有较好的效果. 实验还可以看出, K 取值大于 4 以后, 布局质量和布局布线延时变化趋于平缓. 在布线面积和逻辑块面积的优化上, BLE_C 结构优化效果比 BLE_T 结构好.

参考文献:

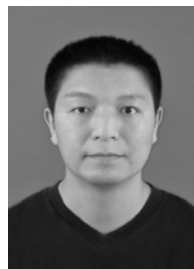
- [1] 施小祥, 段振华. 动态可重构 FPGA 的布局布线算法研究[D]. 西安: 西安电子科技大学, 2007.
- [2] Betz V, Rose J, Marquardt A. Architecture and CAD for deep-submicron FPGAs[M]. Norwell, MA, USA: Kluwer Academic Publishers, 1999.
- [3] Brown S, Francis R, Rose J, et al. Field-programmable gate arrays[M]. Norwell, MA, USA: Kluwer Academic Publishers, 1992.
- [4] Ian Kuon, Jonathan Rose. Area and delay trade-offs in the circuit and architecture design of FPGAs[C] // Proceedings of the 16th international ACM/SIGDA Symposium on Field Programmable gate arrays. New York, N Y, USA: ACM, 2008: 149-158.
- [5] 汪宇, 王伶俐, 童家裕. 一种新型 FPGA 逻辑单元结构的装箱工具[J]. 复旦学报, 2006, 45(4): 529-532.
- [6] Marquardt A, Betz V, Rose J. Using cluster-based logic blocks and timing-driven packing to improve FPGA speed and density[C] // Proc Intl Symp on FPGAs. Monterey, CA: IEEE, 1999: 37-46.
- [7] Liu Y, Jiang X, Sun S, et al. An efficient FPGA packing algorithm based on simple dual-output basic logic elements[C] // Proc of the IEEE 8th International Conference on ASIC (IEEE ASICON 2009), Changsha, China: IEEE, 2009.
- [8] 倪刚, 童家裕. 通用的 FPGA 逻辑映射方法研究[D]. 上海: 复旦大学, 2006.

- [9] Rose J, Francis R J, Lewis D, et al. Architecture of field-programmable gate arrays: the effect of logic functionality on area efficiency[J]. IEEE Journal of Solid-State Circuits, 1990, 25(5):1217-1225.
- [10] Kouloheris J, El Gamal A. FPGA Area vs. Cell granularity - PLA Cells[J]. Foundation and Trends in Electronic Design Automation, 2008, 2(2):135-253.
- [11] Kouloheris J, El Gamal A. FPGA performance vs cell granularity[C]// Proc of Custom Integrated Circuits Conference, Stanford, Ca:IEEE, 1991:621-624.
- [12] Singh S. The effect of logic block architecture on FPGA performance[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3):281-287.
- [13] Singh S, Rose J, Chow P, et al. The effect of logic block architecture on FPGA performance[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3):281-287.
- [14] Kaptanoglu S, Bakker G, Kundu A, et al. A new high density and very low cost reprogrammable FPGA architecture[C]//FPGA'99, Monterey, CA:IEEE, 1999.
- [15] Agrawal O, Chang H, Sharpe-Geisler B, et al. An innovative, segmented high performance FPGA family with variable-grain-architecture and wide-gating Functions[C]// FPGA'99, Monterey, CA:IEEE, 1999.
- [16] Betz V, Rose J. Cluster-based logic blocks for FPGAs: area-efficiency vs. Input Sharing and Size[C]// IEEE Custom Integrated Circuits Conference, Santa Clara, CA:IEEE, 1997:551-554.
- [17] Betz V, Rose J. How much logic should go in an FPGA logic block[J]. Design & Test of Computers, IEEE, 1998, 15(1): 10-15.
- [18] Ahmed E, Rose J. The effect of LUT and cluster size on deep-submicron FPGA performance and density[J]. IEEE Trans VLSI Syst, 2004, 12(3):288-298.
- [19] Betz V, Rose J. Directional bias and non-uniformity in FPGA global routing architectures[C]// proceedings of 1996 IEEE/ACM International Conference on Computer - Aided Design. San Jose, CA, USA: IEEE, 1996:652-659.
- [20] Cheng C E. RISA: accurate and efficient placement routability modeling[C]// Proceedings of the International Conference on Computer Aided Design. [s. l.]: IEEE, 1994:690-695.
- [21] Betz V, Rose J. Automatic generation of FPGa routing architectures from high-level descriptions[C]// Proceedings of the 2000 ACM/SIGDA eighth international Symposium on Field Programmable gate arrays. New York, NY, USA: ACM, 2000:175-184.
- [22] Yang S. Logic synthesis and optimization benchmarks, Version 3.0, Tech[R]. Report, Microelectronics Centre of North Carolina, 1991.
- [23] Arthur Griffith. GCC: the complete reference[M]. New York:Published the McGraw-Hill Companies, 2002.

作者简介:



张红敏 女, (1989—), 硕士研究生. 研究方向为集成电路 CAD.



江先阳 男, (1974—), 博士, 副教授. 研究方向为 VLSI 设计, 计算机体系结构, 可重构计算等.