

超低电压正交压控振荡器设计

李 静, 刘辉华

(电子科技大学 电子科学技术研究院, 四川 成都 611731)

摘 要: 提出一种新的低压正交压控振荡器(QVCO)结构, 该结构由两个完全相同的低压压控振荡器经过背栅耦合方式实现. 背栅耦合方式使压控振荡器实现正交的输出时钟并且降低了功耗和输出相位噪声. 该设计中的 QVCO 电路采用中芯国际 0.13 μm 1P8M 标准 CMOS 工艺, 可以工作在 0.35 V 的电源电压下, 总的功耗为 1.75 mW, 输出时钟频率为 5.34 GHz, 偏离主频 1 MHz 处的相位噪声为 -110.5 dBc/Hz, 对应该相位噪声的 FOM(Figure-Of-Merit)为 -182.62 dBc/Hz, 频率调谐范围为 4.92~5.34 GHz. 该 QVCO 可以在更低的电源电压下实现低的相位噪声, 且拥有较高的 FOM 值.

关键词: 低压; 正交; 压控振荡器; 背栅耦合

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)02-0161-04

A Design of Ultra-Low-Voltage Quadrature VCO

LI Jing, LIU Hui-hua

(Research Institute of Electronic Science and Technology, UESTC, Chengdu 611731, China)

Abstract: A new quadrature voltage-controlled oscillator (QVCO) topology is proposed which consists of two same traditional low voltage-controlled oscillator and it is achieved by using back-gates coupling. The use of back-gates makes quadrature output clocks of voltage-controlled oscillator, reduces power dissipation and phase noise. QVCO of the design use a standard 0.13 μm 1P8M CMOS technology. At a supply voltage of 0.35 V, the total power dissipation is 1.75 mW. The frequency of output clock is 5.34 GHz. The phase noise at 1MHz offset is -110.5 dBc/Hz, and the FOM(Figure-Of-Merit) is -182.62 dBc/Hz. The tuning range is from 4.92 GHz to 5.34 GHz. It is comparable or better than that of other state-of-the-art QVCO designs operating at much higher supply voltage.

Key words: low-voltage; quadrature; VCO; back-gates coupling

1 引言

随着无线通信技术和微电子工艺的高速发展, 低压、低功耗、高集成度以及高性能已经成为无线收发机芯片的趋势. 在 22 nm CMOS 工艺下, 电源电压已降低至 0.7 V, 传统的电路结构已经不再适用, 需要采用新的低压结构. 频率综合器作为收发机的一个关键模块通常由锁相环(Phase Locked Loop, PLL)实现, 其中压控振荡器(Voltage Controlled Oscillator, VCO)的相位噪声及功耗决定着频率综合器的性能. 同时, 为了完成对无线信号高质量的传输, 需要利用多种复杂的调制方式, 那么就需要锁相

环提供正交时钟. PLL 可以由以下三种方式提供正交时钟^[1], 一种是使锁相环工作在二倍频处, 经过分频得到正交时钟; 其次是采用 QVCO, 将两个相同的 VCO 经过耦合产生正交时钟; 还有一种是利用多相滤波器把差分信号转化成四路正交信号. 由于工艺的限制, 利用分频器产生正交时钟的方法使得 PLL 不能工作在很高的频率下, 很难满足高频电路的设计要求. 相比二分频法, 采用 QVCO 的方法可以达到比较高的频率, 但占用的面积较大, 由于需要两个 VCO, 导致 PLL 功耗较高. 而多相滤波器的方法会对信号进行衰减.

本文提出并设计一款工作在 5 GHz 附近可以

产生正交时钟的低压 VCO, 将两个相同的低压 VCO^[2] 经过背栅耦合^[1] 得到 QVCO, 该结构能在较低的电源电压下实现低噪声并产生正交相位时钟。

2 新的 QVCO 结构

提出一种新的低压正交压控振荡器结构, 结合传统 CMOS CLASS-C VCO 结构^[3], 运用该原理组成低压 VCO, 将其利用背栅耦合方式组成正交压控振荡器, 为相位插值结构的时钟恢复电路等正交采样电路提供正交时钟, 该结构如图 1 所示。

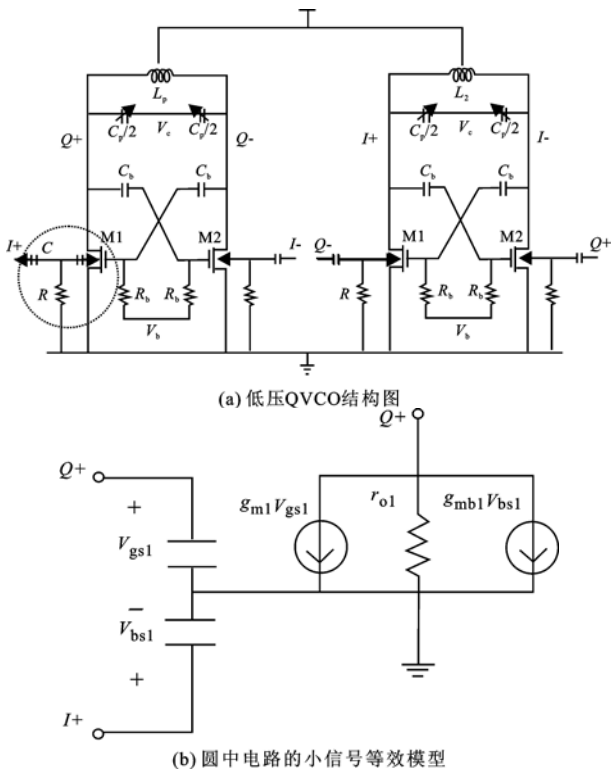


图 1 低压 QVCO 结构图及圆中电路的小信号等效模型

2.1 传统低压压控振荡器结构和工作原理

图 1(a) 中正交 VCO 由两个相同的传统低压压控振荡器组成, 谐振器由三端电感 L_p 和两个变容管 C_v 并联而成, 其中两个变容管的等效电容为 C_p , 在频率 ω_0 处谐振, 谐振频率的表达式为

$$\omega_0 = \frac{1}{\sqrt{L_p C_p}} \quad (1)$$

由于电感和变容管自身存在电阻成分有能量损耗, NMOS 管 M1 和 M2 组成差分放大器提供负阻抗补偿谐振器的能量损耗, 稳态并联的 LC 振荡器的模型如图 2 所示, 图中 $-g_{\text{active}}$ 为有源器件 M1、M2 等效的跨导, g_{tank} 为 L_p 、 C_p 等效的并联跨导, 理论上如果满足式(2), LC 振荡器就能够起振。

$$g_{\text{active}} \geq g_{\text{tan } k, \text{max}} \quad (2)$$

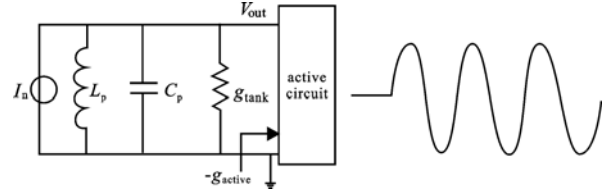


图 2 并联 LC 振荡器模型

实际电路中为了更好地满足振荡条件, 一般使小信号增益最小值 $\alpha_{\min}$ 为 3. 如表达式(3)所示^[4]:

$$g_{\text{active}} \geq \alpha_{\min} g_{\text{tan } k, \text{max}} \quad (3)$$

传统的 CLASS-C VCO 在 LC 谐振器与 NMOS 管的栅极之间加入反馈系数 k 降低 VCO 的相位噪声^[3], 没有加入该反馈时, VCO 的相位噪声的表达式如式(4)所示^[3]:

$$L(\omega_m) \approx 10 \cdot \log \left(\frac{k_B T}{2 \omega_m^2 C^2 I_{\text{bias}}^2} \cdot \frac{1}{R^2 (1-n)^2} \cdot \left(\frac{1}{R} + \frac{\gamma}{R} \frac{1-n}{n} \right) \right) \quad (4)$$

加入反馈系数 k 后, VCO 的相位噪声的表达式如式(5)所示^[3]:

$$L(\omega_m) \approx 10 \cdot \log \left(\frac{k_B T}{2 \omega_m^2 C^2 I_{\text{bias}}^2} \cdot \frac{1}{R^2 (1-n)^2} \cdot \left(\frac{1}{R} + \frac{\gamma}{R} \frac{1-n}{k+n} \right) \right) \quad (5)$$

式(4)和(5)中, k_B 为波尔兹曼常数, T 为绝对温度, ω_m 为相对中心频率的偏移量, C 为负载电容, I_{bias} 为电流的平均值, R 为负载电阻, γ 为噪声系数, k 为 LC 谐振器到晶体管栅极的反馈系数, n 为 LC 谐振器到晶体管源极的反馈系数。

利用该原理, 结合低压 VCO 结构, 在 LC 谐振器与晶体管栅极之间加入电容 C_b , 在输入直流电平与晶体管栅极之间加入电阻 R_b , 滤除了 VCO 输出信号的共模分量, 将输出交流分量与输入直流电压 V_b 共同为 M1 和 M2 栅极提供偏置, 保证输入对管不会进入线性区, 并通过反馈系数降低相位噪声. 本设计为低压设计, 传统 CLASS-C VCO 中适当减小 V_b 的值可以增大输出信号的摆幅, 但是该设计中由于晶体管阈值电压的限制, 降低 V_b 实现大的输出信号摆幅不再适用。

2.2 晶体管的选取

本文采用背栅耦合的方式将两个完全相同的低压 VCO 组成 QVCO, 该耦合方式采用深阱低压 NMOS 管, 其结构如图 3 所示. 该管是在 P 型衬底中做一个深的 N 阱, 在深的 N 阱中再做一个 P 阱, 在 P 阱中做两个重掺杂 N 区形成源端和漏端, 重掺杂的多晶硅区作为栅, 一层薄的 SiO_2 将栅极与 P 阱

隔离. 每一个晶体管可以用作全四端器件, 被分别隔离在 n 阱中, 其衬底可以不与地相连接, 由于隔离作用, 该管衬底电位的变化不会影响 QVCO 之外的电路.

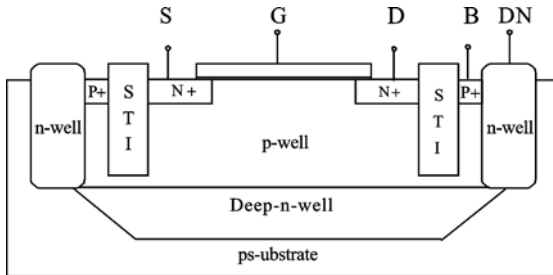


图3 深阱低压 NMOS 管结构图

2.3 背栅耦合方式

背栅耦合结构如图 1(a) 虚线圆中所示, 与传统耦合方式^[5]相比, 该种耦合方式去除分别与 M1、M2、M3、M4 并联的四个耦合晶体管, 电阻 R 为每个晶体管的衬底提供直流偏置, 电容 C 提供交流耦合, 虚线圆中的交流小信号模型如图 1(b) 所示.

传统的 LC-QVCO 的结构存在 4 个耦合管, 文献^[5-7]中提出消耗在核心晶体管中的功耗, 耦合管占 30%~100%, 因此增加了整体的功耗. 耦合管中的电流闪烁噪声产生缓慢变化的电流偏移影响了流向谐振器的电流, 电流的偏移不仅改变了耦合管的跨导值, 而且导致输出频率被调制, 恶化了相位噪声. 实际电路中大部分闪烁噪声来源于晶体管, 而背栅耦合结构不存在耦合晶体管, 其耦合是在衬底中进行并没有涉及 Si-SiO₂ 表面, 耦合方式增加的闪烁噪声可以忽略. 所以背栅耦合结构减少了晶体管的数目, 消除了额外的噪声源同时降低了功耗.

3 正交压控振荡器的仿真结果

本文中提出的 QVCO 中的电感采用三端差分电感, 在振荡频率处该电感电感值 $L_p = 1.852$ nH, 其等效并联电阻 $R_l = 2.5\Omega$, 品质因数 $Q = 24.82$. 基于 SMIC 1P8M 0.13 μm 标准 CMOS 工艺, 使用 Cadence Spectre 仿真瞬态, 得到 QVCO 瞬态仿真结果, 如图 4 所示. QVCO 输出四路时钟, 每路时钟的相位相差 90 度. 由于是低压设计, 该电路电源电压和控制电压为 0.35 V, FF、TT、SS 工艺角下 QVCO 的输出时钟频率分别为 5.76 GHz、5.34 GHz 和 5 GHz, 输出信号的摆幅分别为 513.5 mV、510 mV 和 500 mV. 图 5 所示为 FF、TT 和 SS 三个工艺

角下 QVCO 相位噪声特性曲线, 频偏 1 MHz 处的相位噪声分别为 -109.9 dBc/Hz、-110.5 dBc/Hz 和 -110.8 dBc/Hz. 图 6 表示 QVCO 的控制电压 V_c 从 0 V 到 0.35 V 变化时, 其三个工艺角下输出频率的变化曲线, FF 下频率变化范围为 5.3~5.76 GHz, TT 下频率变化范围为 4.92~5.34 GHz, SS 下频率变化范围为 4.61~5 GHz. 图 7 为 QVCO 输出信号的功率谱密度曲线, 信号处于功率谱密度曲线的主峰处, 两侧的噪声对称地分布在信号的两侧.

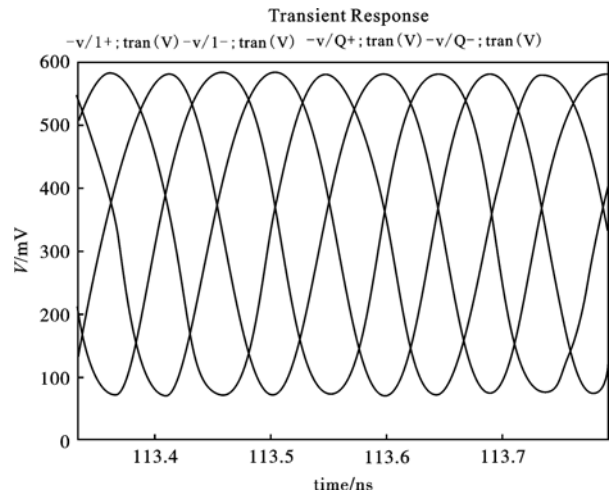


图4 QVCO 瞬态仿真输出时钟波形图

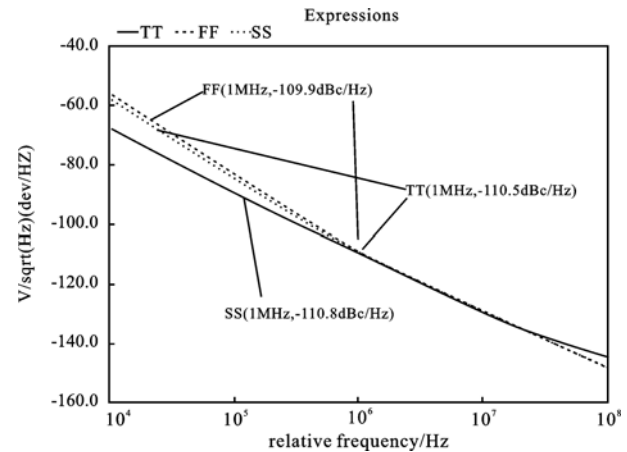


图5 FF、TT、SS 工艺角下相位噪声曲线

由于振荡器的参数较多, 不方便比较各种振荡器的性能, 所以使用一个归一化的参数 FOM (figure of merit)^[8] 综合评估振荡器的性能, 该参数表达式如式(6), 其中 ω 表示谐振频率, P 表示电路功耗, 功耗单位为 mW.

$$\text{FOM} = L(\Delta\omega) - 10\log\left[\left(\frac{\omega}{\Delta\omega}\right)^2 \frac{1}{P}\right] \quad (6)$$

表 1 是本文提出的 QVCO 的各个参数与一些文献中参数的对比.

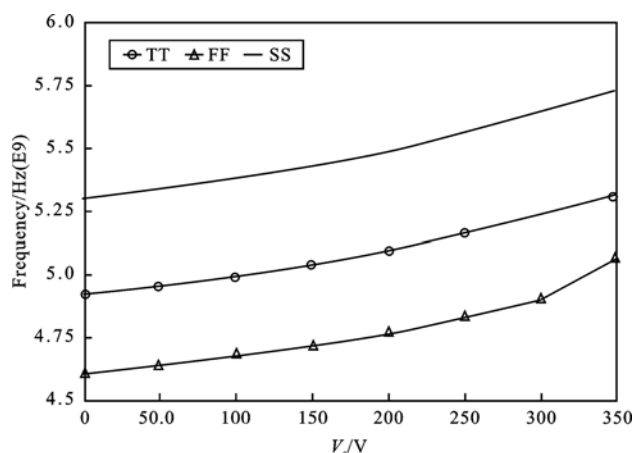


图 6 三个工艺角下输出频率随控制电压变化曲线

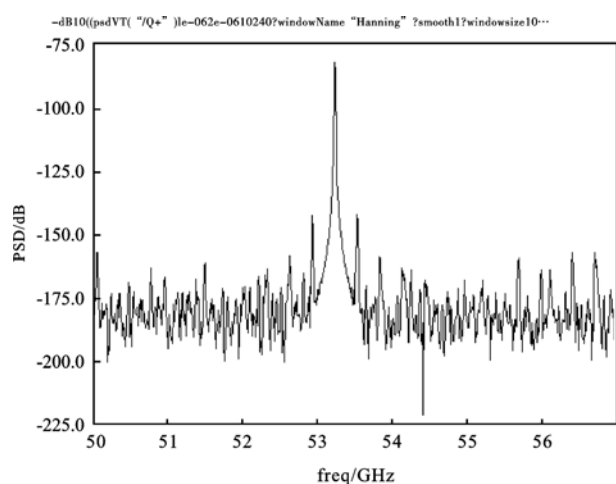


图 7 QVCO 输出时钟的 PSD 曲线

表 1 QVCO 性能对比

来源	工艺/ μm	电源电 压/V	功耗/ mW	输出频率/ GHz	FOM/ (dBc/Hz)
文献[9]	0.18	0.70	5.18	2.40	-185.35
文献[10]	0.13	0.40	0.70	2.38	-175.08
文献[11]	0.13	0.35	3.40	6.98	-180.00
本文	0.13	0.35	1.75	5.34	-182.62

4 结束语

本文通过分析背栅耦合方式的基本原理,将低压压控振荡器经过耦合得到一种新的低压正交压控振荡器结构,该正交压控振荡器可以在比较低的电源电压下得到四路正交输出时钟。本设计中的 QVCO 采用 SMIC 1P8M 0.13 μm 标准 CMOS 工艺,电源电压为 0.35 V,输出时钟频率为 5.34 GHz,频偏 1MHz 处的相位噪声为 -110.5 dBc/Hz。本文提出的 QVCO 可以工作在较低的电源电压下,并且拥有良好的性能,为超低电压下的振荡器设计提供一种新的思路。

参考文献:

- [1] Hye-Ryoung Kim, Choong-Yul Cha, Seung-Min Oh, et al. A very low-power quadrature VCO with back-gate coupling[J]. IEEE J Solid-State Circuits, 2004, 39(6): 952-954.
- [2] Grzegorz Szczepkowski, Ronan Farrell. Open loop approach to design low voltage, 400mV, 1.3mW, 10GHz CMOS class-B VCO[C]// IEEE International Conference on Signals and Electronic Systems. Wroclaw; IEEE, 2012: 1-6.
- [3] Andrea Mazzanti, Pietro Andreani. Class-c harmonic CMOS VCOs, with a general result on phase noise[J]. IEEE J Solid-State Circuits, 2008, 43(12): 2716-2722.
- [4] Donhee Ham, Ali Hajimiri. Concepts and methods in optimization of integrated LC VCOs[J]. IEEE J Solid-State Circuits, 2001, 36(6): 896-906.
- [5] Rofougaran A. A single-chip 900-MHz spread-spectrum wire-less transceiver in 1- μm CMOS-Part I: Architecture and transmitter design[J]. IEEE J Solid-State Circuits, 1998, 33(4): 515-534.
- [6] Tiebout M. Low-power low-phase-noise differentially tuned quadrature VCO design in standard CMOS[J]. IEEE J Solid-State Circuits, 2001(36): 1018-1024.
- [7] Andreani P, Bonfanti A, Romano L, et al. Analysis and design of a 1.8-GHz CMOS LC quadrature VCO[J]. IEEE J Solid-State Circuits, 2002(37): 1737-1747.
- [8] Peter Vancorenland, Michiel S J Steyaert. A 1.57-GHz fully integrated very low-phase-noise quadrature VCO[J]. IEEE J Solid-State Circuits, 2002, 37(5): 653-656.
- [9] Chuang Y H, Lee S H, Yen R H, et al. A low-voltage quadrature CMOS VCO based on voltage-voltage feedback topology [J]. IEEE Microw Wireless Compon Lett, 2006, 16(12): 696-698.
- [10] Cook B W, Berny A, Molnar A, et al. Low-power 2.4-GHz transceiver with passive RX front-end and 400-mV supply[J]. IEEE J Solid-State Circuits, 2006, 41(12): 2757-2766.
- [11] Lou J N, Zhang J, Gao Y L, et al. A ultra-low-voltage 6.9 GHz CMOS Quadrature VCO with superharmonic and back-gate coupling[C]// IEEE MMWCST2012, Chengdu; IEEE, 2012: 1-4.

作者简介:

李 静 女, (1988—), 硕士。研究方向为数模混合集成电路。
刘辉华 男, (1978—), 博士。研究方向为高速串并串接口设计、数模混合 IC 设计。