

多通道信号并行采集和万兆高速传输系统设计

胡升泽, 包卫东

(国防科学技术大学 信息系统工程重点实验室, 湖南 长沙 410073)

摘 要: 给出了以高性能 FPGA 和 DSP 为核心实现的并行信号采集和万兆高速传输系统, 通过 5 片 ADC 芯片的分时采集和误差校正实现了 2.5 Gsps 多通道信号高精度并行采集, 基于交换路由芯片实现了万兆串行 RapidIO 互连. 基于 FPGA 逻辑实现以 Farrow 结构分数延时滤波器为核心的定时误差校正算法; 配置 DSP 高速串口、FPGA GTX 收发器和路由芯片实现了可扩展的高速通信机制, 优化实现了高性能 DSP 的信号处理.

关键词: 多通道并行信号采集; 高速传输; Farrow 结构分数延时滤波器; 嵌入式

中图分类号: TP212.9

文献标识码: A

文章编号: 1000-7180(2014)06-0030-06

Multi-channel Parallel Signal Acquisition and 10G High-speed Transmission System

HU Sheng-ze, BAO Wei-dong

(Science and Technology on Information Systems Engineering Laboratory,
National University of Defense Technology, Changsha 410073, China)

Abstract: This paper presents an embedded Multi-channel Parallel Signal Acquisition and 10G High-speed Transmission System using TI TMS320C6455 DSP and Virtex5 FPGA, which can achieve 2.5 Gsps five-channel - time-interleaved Parallel Signal Acquisition and 10G RapidIO routing. The sample-timing error algorithm of signal reconstruction based Farrow filter is realized in FPGA, and by configure the high-speed serial port and the routing chip the high-speed communication mechanism can be extended. By analyzing the hardware architecture and resource of embedded platform, the efficient DSP-based compute is described.

Key words: multi-channel parallel signal acquisition; high-speed transmission; Farrow; embedded

1 引言

随着信号处理技术的高速发展, 嵌入式的高速数据采集和高效传输系统得到了广泛的应用. 如何解决 ADC 芯片的最大化应用以及对高端 ADC 芯片的依赖性, 设计一种基于低速 ADC 芯片的并行采样系统且能完成有效实时传输的嵌入式平台.

文献[1]提出了两片 AD 拼合、采用多路数据存储技术, 基于 AD+FPGA+DSP 框架实现了 6Gsps 采集存储系统. 文献[2]对 FPGA 和 DSP 的协同工作进行了讨论. 文献[3]实现了 32 通道的采集系统, 并可以进行有效的扩展. 针对并行采集过程中误差, 文献[4-6]提出并实现了有效的算法, 实现对非均匀

采样的误差校正.

本文设计了一新的并行信号采集和万兆高速传输系统. 采用 5 片 ADC 芯片进行并行采样, 通过一片 FPGA 控制各 ADC 芯片的时钟, 使其能协同工作. 采样得到的数据以低压差分信号 (LVDS) 的形式传输到 FPGA, FPGA 对前端多片单片 AD 的采样数据进行拼接和误差校正. DSP 对正确的采样数据进行必要的数据运算和处理. 由于信号速度很高, 为保证传输的速率和精度, 采用支持高速串行通信且可以相互支持的 RapidIO 和 RocketIO 端口进行传输, 并通过 RapidIO 交换机完成各个端口之间的通信.

2 系统体系结构

本文以高性能 FPGA 和 DSP 为核心实现的

2.5 Gbps 多通道信号并行采集和万兆高速传输系

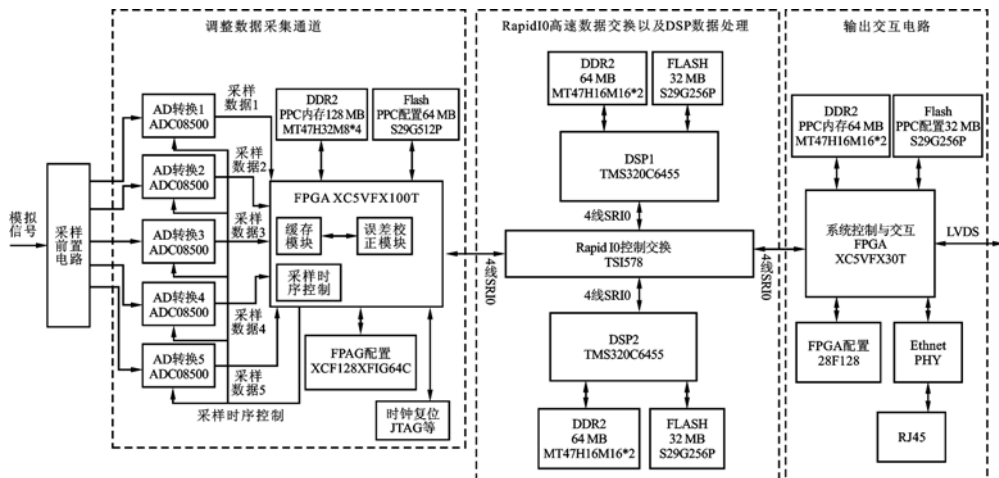


图 1 多通道信号采集和万兆高速传输系统硬件体系结构

2.1 采样前置电路

采样前置电路作为多通道信号采集系统的前端,信号调理性能的好坏与否直接决定多通道信号采集系统的信号质量.采样前置电路的主要功能是将输入的单端模拟信号变为差分信号,然后驱动成五路同样的差分信号输入给高速并行数据采集通道的 AD 采样芯片.

统主要由采样前置电路、高速并行数据采集通道、Rapid IO 高速数据交换与 DSP 数据处理、输出交互电路四部分构成,硬件结构如图 1 所示.

采样前置电路核心是 6 片 AD 公司的调理放大器 AD8351,如图 2 所示. AD8351 是一款完全差分放大器,可用于在通信收发器中. AD8351 的 -3dB 带宽为 2.2 GHz,可以满足输入信号频率在 500 MHz 时的衰减要求;其输入阻抗 5 k Ω ,可以与输入信号直接相连.其技术特性如下:

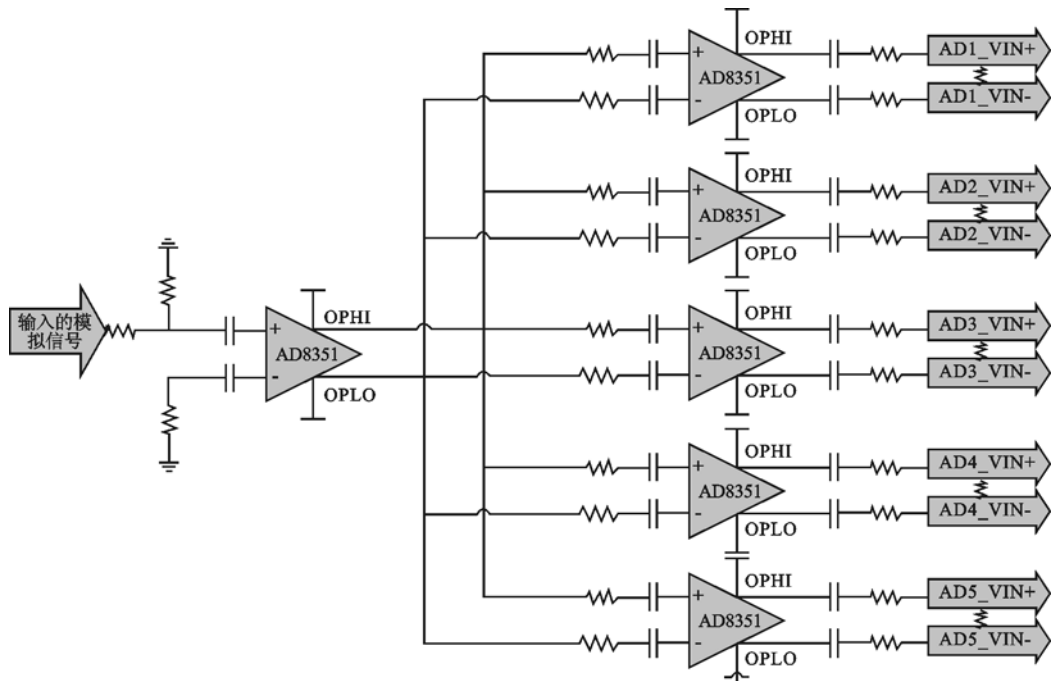


图 2 采样前置电路原理图

(1) 宽带宽: 2.2 GHz (-3 dB 带宽, 12 dB 增益);

(2) 通过一个外部电阻设置增益 (0 dB 至 26 dB);

- (3) 可调输出共模电压;
- (4) 快速建立和过驱恢复;
- (5) 低失真、高线性度差分放大器;
- (6) 针对高速/高分辨率模数转换器驱动进行优化;

先用一个 AD8351 将单端信号变为差分信号, 然后接再接 5 个 AD8351 芯片, 提供五组差分输入, 具体设计参考文献[5]。其中, 电阻的大小应和传输线的阻抗相等, 选用高频电容实现滤波的作用。

2.2 高速并行数据采集通道

预处理后的差分模拟信号同时送入 5 片最大转化速率为 500 Msps 的模数转换芯片 TI 公司 ADC08500 中^[7], 5 片 AD 芯片通过在不同的相位时刻对模拟信号进行采样可实现最大 2.5 Gsps 的转换速率。

Xilinx 公司 Virtex5 系列 FPGA 芯片作为 AD 并行采样控制的核心, 内部主要实现缓存、误差校正模块和时钟控制模块。Virtex-5 系列采用第二代 ASMBL™(高级硅片组合模块)列式架构。除了最先进的高性能逻辑架构, Virtex-5FPGA 还包含多种硬 IP 系统级模块, 包括强大的 36 kb Block RAM/FIFO、第二代 25x18DSP Slice、带有内置数控阻抗的 SelectIO™技术、ChipSync™源同步接口模块、系统监视器功能、带有集成 DCM(数字时钟管理器)和锁相环(PLL)时钟发生器的增强型时钟管理模块以及高级配置选项。FXT 平台提供了包括针对增强型串行连接的电源优化高速串行收发器模块、兼容 PCI Express™的集成端点模块、三态以太网 MAC(媒体访问控制器)、150 Mb/s 到 6.5 Gb/s 的 RocketIO GTX 收发器和高性能 PowerPC 440 微处理器嵌入式模块。

时钟控制模块以 FPGA 芯片内部带有的 DCM-PLL 模块为基础, 实现产生 5 个 500 Mb/s 具有 72 度相位差的时钟控制模块, 作为 5 片 AD 的并行采样时钟。同时, 该时钟可以严格控制 5 片 AD 芯片的模数转换控制以及采样数据的读取。缓存和误差校正模块用于解决采用时间交替采样技术引起的时间、增益和偏置 3 种主要的通道失配误差^[6]。缓存模块用于将高速 AD 采样数据在分相时钟控制下相对降速并存储, 然后从经过 FPGA 内部所带 FIFO 缓存后, 再对 FIFO 数据使用误差校正模块完成误差的校正过程。

另外, 该 FPGA 芯片可嵌入 PowerPC440 内核, AD 采集到数据通过 FPGA 内部总线接口送入

PowerPC440 内核中, 由于 5 片 AD 并行时间采样引起了 AD 采样数据的通道失配误差, 该误差的评估和校正算法使用 FPGA 逻辑实现较为复杂, PowerPC 为这个算法的实现提供了支撑的计算平台。PowerPC CPU 运行需要一定的程序执行空间, 由于本设计要处理的数据吞吐量巨大, 所以需要为 CPU 扩展足够的内存以保证算法在最快的时间内执行完成对数据的处理, 本设计选择 128 MB 的内存空间, 该空间可能还用于采集数据的缓存。

FPGA 自身逻辑的配置选用 XCF128XFTG 64C 来完成, 逻辑的配置方式使用并行的 BPI 模式, 可在 FPGA 上电时快速实现自身逻辑的加载。

XC5VFX100T 属于 FXT 平台 FPGA, 该平台带有用于高速串行数据通信的 GTX 收发器, 收发器的最大速度支持 6.5 Gb/s, 在该平台实现 4 线的 Rapid IO 设计, 其中单线数据速率支持 2.5 Gb/s, 3.125 Gb/s, 5 Gb/s, 4 线在理论上最大实现 20 Gb/s 的带宽。在本设计实现中, 由于后续设备的限制, 使用单线 2.5 Gb/s 的设置, 实现四线 10 Gb/s 的高速通信能力。

2.3 Rapid IO 高速数据交换与 DSP 数据处理

Rapid IO 高速数据交换以及 DSP 数据处理模块在功能任务上可分为两个主要部分, 即 Rapid IO 的数据交换和 DSP 节点的数据处理。

系统总体设计使用 4 线 2.5 Gb/s 的 Rapid IO 总线作为模块间的通信传输通道, Rapid IO 交换控制可使用 Rapid IO 数据交换路由芯片 TSI578 实现, 该芯片可挂接 8 个 4 线 Rapid IO 设备, 其中每线的数据速率支持 2.5 Gb/s 和 3.125 Gb/s。本设计分别把前端数据采集 FPGA、DSP(2 个)、控制 FPGA 共 4 个设备通过 4 线 Rapid IO 挂接在该芯片上, 可以实现任意挂接设备之间的数据交换路由。DSP 模块作为数据处理节点, 分别扩展最小系统, 内存为 DSP 程序执行的空间, Flash 为 DSP 的配置模块。具体实现参见第 4 节“基于交换路由芯片的可扩展高速通信机制”。

采样得到的数据经 FPGA 进行数据修复后, 就要传输到 DSP 进行进一步的数据处理。由于数据率较高, FPGA 与 DSP 通过高速串行通道通信, 所以需要选择内嵌 RapidIO 的 DSP。由于数据量较大, 需要采用多片 DSP 协同处理。根据分析, 本方案采用 2 片 TMS320C6455(简称 C6455)芯片进行数据处理。C6455 是 TI 公司于 2005 年 6 月推出的一款 C64x 系列 DSP^[8], 可达到 1 GHz 的时钟频率, 建立

在增强型 C64x+DSP 内核基础上, C6455 采用了修正的哈佛总线结构, 具有一套 256 位的程序总线, 两套 32 位的数据总线和一套 32 位的 DMA 专用总线. 多套数据总线可以使得指令的多个操作数可以同时取得, 提高了指令执行效率.

C6455 内嵌了 SRIO(SerialRapidIO)模块, 拥有 4 个全双工的端口, 支持 SRIO 1x/4x 串行协议. 每个端口支持 1.25 Gb/s、2.5 Gb/s、3.125 Gb/s 的波特率. 全双工工作时, 4 个端口峰值速率高达 25 Gb/s. C6455 片内集成了 2 MB 的高速存储器, 用做程序存储器(PRAM)和数据存储器(DRAM). 通过扩展存储器接口(EMIF), C6455 DSP 可以访问片外存储器, 但访问片内、片外存储器的速度差别很大. 另外, C6455 的片内存储资源有限, 不能满足大量数据处理过程中的数据缓存需求. 通过与 DSP 的 EMIFA(External Memory Interface A)总线实现无缝连接, 系统采用 2 片 MT47H128M8, 构成高速内存; 采用 2 片 AM29LV256M 进行扩展, 构成 FLASH 存储空间, 实现加电自举功能.

2.4 输出交互电路

输出交互电路以 Xilinx 公司 Virtex5 系列 FPGA 芯片为核心, 通过 GTX 收发器接入数据交换路由芯片, 接收 DSP 节点处理过的数据; 通过 FPGA 提的多路 LVDS 接口实现数据的输出; 同时, FPGA 扩展板载 10/100/1 000 网络接口, 实现与上位机的交换.

控制模块选用的 FPGA 也是用 FXT 平台系列, 该平台课嵌入 PowerPC440 内核的 CPU, 同样也为该 CPU 扩展内存和配置接口, 由于该模块要完成的工作量相对较小, 所以其外扩空间相对要小, 其中内存扩展 64 MB, 配置空间为 32 MB.

在设计完成 2.5 Gbps 多通道信号采集和万兆高速传输系统的基础上, 针对采用时间交替采样技术引起的时间、增益和偏置误差, 本文研究实现了面向并行采样的高效误差校正机制; 针对数据的可靠性通信需求, 本文设计实现了基于交换路由芯片的可扩展高速通信通信机制.

3 面向并行采样的误差校正机制

在超高速数据采样系统中, 采用并行时间交替(Time-interleaved)采样是有效提升系统采样速率的常用方法, 此技术称为并行时间交替采样技术. 其工作原理是利用 M 片采样速率 f_s/M 的 ADC 以一个固定的时间间隔依次对同一输入模拟信号进行并

行交替采样, 相邻 AD 之间的采样时间间隔为 $T=1/f_s$, 相位之间固定相差 $T=1/f_s$ 度. 最后, 将每片 ADC 采样数据按一定规律拼接在一起, 形成一个总的的数据输出.

图 3 所示为一个 M 通道的并行采样平台, 包括 ADC、采样保持、存储器等, 它们的采样时钟由一个时钟分配电路产生, 当工作在时间交替采样模式下的时候, 相邻采样通道的采样时钟之间相差 $T=1/f_s$ 值, 相位相差 $T=1/f_s$ 度. 在实际应用中, 由于各通道电路制造工艺的局限以及每片 AD 器件性能的不一致性而造成的通道间不匹配引入的误差称作通道失配误差. 这类误差由时间与幅度的非均匀性引起, 因此又叫非均匀误差. 其中主要包括由各通道采样时钟相位延迟不一致引起的时间误差 Δt_k 、各个通道 ADC 的基准电平不一致引起的偏置误差 o_k 和各个通道增益不一致引起的增益误差 g_k 三种误差.

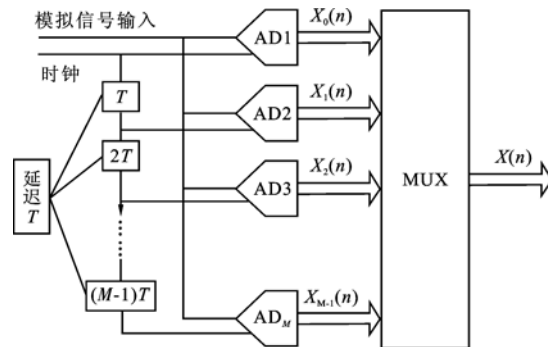


图 3 并行 ADC 采样系统结构

为了消除上述通道失配中引起的误差, 本设计首先选择合适频率为 f_0 的正弦信号且使得采样点数为 2^n , 对采样序列做 N 点 FFT; 第二步是进行反傅里叶变换(IFFT), 在信号频率与采样频率固定的情况下, 一个周期内信号频谱在 ω_0 处, 确定时间误差, 偏置误差, 增益误差位置. 通过快速傅里叶反变换后进行模和相角的运算即可计算得到增益误差、偏置误差和时间误差. 各个误差估计步骤可设计为单独的子模块最终按照流程顺序设计误差估计模块在顶层文件中进行调用. 误差校正模块需包含加法器, 乘法器和结构滤波器. 其硬件设计方案如图 4 所示.

通过该框图可以看出, 设计中将五片采样得到的数据分作两用, 一方面作为样本送入估计模块进行误差估计, 另一方面通过校正模块进行误差校正后正常输出. 估计模块计算误差结束后停止工作, 将估计结果送入校正模块. 数据分相模块的作用是对数据流降速, 低速处理过程将减少丢数的风险. 本设

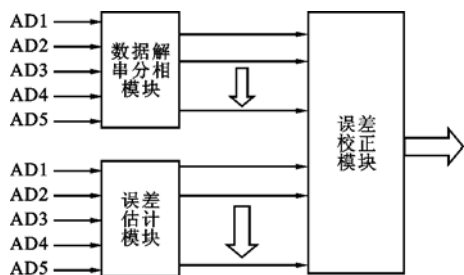


图 4 误差估计和校正示意图

计中将五路样数据分为十路数据,则分路后数据速率将降为原来速率的一半,最终将校正后的十路数据进行拼接输出。

在误差校正模块中实现了文献[6]中提出的以 Farrow 结构分数延时滤波器为核心的定时误差校正算法,采用坐标旋转数字计算法先进行估计,然后根据估算的值在 FPGA 内进行了校正^[9]。校正前后的结果见表 1,系统的性能得到了较大的提升。

表 1 校正前后结果对比

	校正前	校正后
信噪比/dB	29.62	38.27
有效位数/bit	6.1	7.6

4 基于交换路由芯片的可扩展高速通信机制

RapidIO 互连构架作为一种基于可靠性的开放式互连协议标准,具有高效率、高稳定性、低成本等特点,可为通信系统各器件间提供高带宽、低延时数据传输的解决方案。RapidIO 互连构架是一种基于可靠性的开放式标准,可应用于连接多处理器、存储器和通用计算平台。

基于交换路由芯片的万兆高速传输系统具体完成以下三部分工作:

4.1 RapidIO 在 FPGA 中的实现

xilinx 公司的 V5 系列芯片内嵌 RocketIO GTX 收发器,GTX 作为一种低功耗的吉比特收发器,配置灵活,功能强大,并与 FPGA 内部的其他逻辑资源紧密联系,可用于实现多种高速接口(如 XAUI、PCIE 等)。V5 系列的 FPGA 中,GTX 工作带宽范围是 150 Mb/s 到 6.5 Gb/s,支持收发双向,且收发双向独立。至于 FPGA 内部模块,我们使用 xilinx 公司的 ISE 软件通过加载 RapidIO 核来调用,从而使 FPGA 实现 RapidIO 协议通信。

GTX 收发器的结构功能如图 5 所示。其功能用法如下:

(1) MGTTXP0、MGTTXN0 (MGTTXP1、MGTTXN1)是 FPGA 的 GTX0(GTX1)收发器的差分输出引脚,用于与 TSI578 芯片的差分输入引脚相连;

(2) MGTRXP0、MGTRXN0 (MGTRXP1、MGTRXN1)是 FPGA 的 GTX0(GTX1)收发器的差分输入引脚,用于与 TSI578 芯片的差分输出引脚相连;

(3) MGTAVCCPLL 为 PLL 提供 1 V 的电压。一般接一个上拉电阻;

(4)两个 MGTAVCC 引脚分别为混合信号电路收发器提供 1 V 的电压,所以分别接上拉电阻;

(5) MGTAVTTRX 为 RX 电路提供 1.2 V 电压;

(6)两个 MGTAVTTTX 分别为 TX 电路提供 1.2 V 的电压。

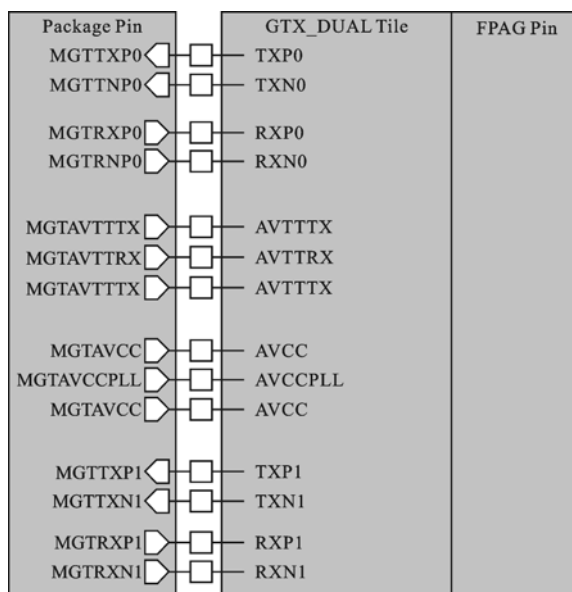


图 5 GTX 收发器的功能图

4.2 RapidIO 在 DSP 中的实现

C6455 内嵌一个 RapidIO 接口,该 SRIO 端口是一对收发差分信号对构成一个全双工的 port(端口),可以工作在 1.25 Gb/s、2.5 Gb/s、3.125 Gb/s 的波特率。

C6455 的 SRIO 端口可以与 SRIO 交换器件实现互联,也可以在 C6455 之间通过连接差分信号来实现,本方案的 C6455 工作在 4x 模式。

在发送 DSP 的 SRIO 端口和接收 DSP 的 SRIO 端口都需要首先进行初始化,包括使能端口,配置端口工作模式,设置和使能 PLL 模块,设置设备 ID 及数据传输速率(注意发送和接收端口速率要求一

致).在初始化完成后,通过循环查询 SRIO 端口状态寄存器来判断链路的连接成功与否.一般情况下,链路会很快连接成功,否则前述的初始化配置可能有错.链路连接成功后,就可以进行读写和门铃操作.

4.3 RapidIO 交换机配置

TSI578 是第三代交换机芯片,可支援串行 RapidIO 的处理器与周边设备互连.该交换芯片主要功能特性如下:每秒 80 Gb 的聚合带宽;借助直通功能缩短延时;增强了 SerDes,可最大限度地降低功耗;符合 RapidIO 互连规范;硬件多播性能卓越.Tsi578 支持混合端口配置和广泛的矩阵管理的特性,大大增强了系统的可伸缩性和性能.支持多达 8 个 4x mode 端口或 16 个 1x mode 端口;端口的频率可以配置为每秒 1.25 Gb、2.5 Gb 和 3.125 Gb.

其组件示意图如图 6 所示.

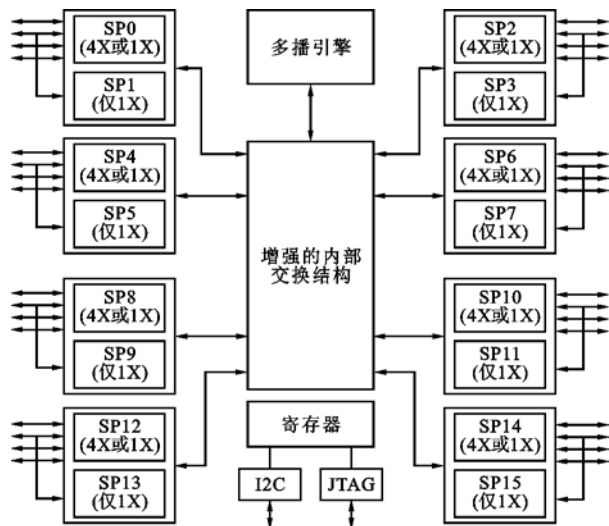


图 6 TSI578 组件图

(1)每个端口有指定的目的 ID 路由表,用来指示包通过交换器件;

(2)多播事件的控制符号低延迟转发;

(3)具有 RapidIO-ff 连协议中描述的错误管理能力,可以实现硬件和软件的错误恢;

(4)具有性能检测能力;

(4)支持系统复位中断;

(5)在调试状态会产生调试包;

(6)通过 RapidIO 维护请求来访问寄存器.

5 结束语

在分析嵌入式信号采集和传输需求的基础上,

以 DSP 和 FPGA 为核心实现了一种功能强大的嵌入式多通道信号并行采集和万兆高速传输系统.结果表明,新的嵌入式多通道信号并行采集和万兆高速传输系统利用了可编程逻辑控制器件 FPGA 和数字信号处理器 DSP 的高速计算能力以及交换机芯片的交互通信能力,解决站场态势和复杂电磁环境下多模复合制导技术、多传感器综合处理等应用提出的海量数据采集、计算和传输的需求,便于快速地完成了对雷达等传感器数据的实时处理.

参考文献:

- [1] 张晓东,黄建国,曾浩. 6Gbps 数据采集存储系统的设计与实现[J]. 电子质量,2009(1):16-18.
- [2] 马秀娟,考丽,赵国良. 基于 FPGA 和 DSP 的高速数据采集实时处理系统的设计[J]. 电子器件,2007, 30(3): 1009-1013.
- [3] 沈澄,张伟成. 一种高精度多通道信号采集系统设计[J]. 微计算机信息,2008, 24(12): 80-81.
- [4] 潘卉青. 高速 TIDAC 并行采样系统综合校正技术研究[D]. 西安:西安电子科技大学,2010.
- [5] 张玉静. 激光雷达信号的高速高精度数据采集系统[D]. 西安:西安电子科技大学,2009.
- [6] 邵星灵,杨卫,王正言,等. 一种并行 AD 采集系统的通道匹配误差研究[J]. 压电与声光,2011, 33(2): 332-335.
- [7] ADC08500 high performance, low power 8-bit, 500 MSPS A/D converter[EB/OL]. [2013-04-02]. <http://www.ti.com.cn>.
- [8] SPRU965A. htm. TMS320C6455 technical Reference [EB/OL]. [2005-08-03]. <http://www.ti.com>.
- [9] 陈顺阳,张东坡,杨小牛. 基于信号重构的并行 ADC 定时误差校正[J]. 数据采集与处理,2006, 21(2): 149-153.

作者简介:

胡升泽 男,(1981-),博士研究生,讲师.研究方向为传感器网络、信息资源管理.

包卫东 男,(1971-),博士,教授.研究方向为指挥信息系统、军事信息系统安全.