

一种 DSP 和通用 CPU 一体化的处理器架构及其 4 核实现

王志君, 梁利平, 洪钦智, 罗汉青, 王 映, 赵 淳
(中国科学院微电子研究所 嵌入式与多核 DSP 实验室, 北京 100029)

摘 要: 提出了一种 DSP 和通用 CPU 一体化的处理器架构, 并完成了一款基于该架构的同构 4 核处理器设计和流片验证. 该处理器基于 VLIW 结构, 支持自定义的 DSP 指令系统, 兼容现有通用的 MIPS 4KC 处理器指令集, 支持最大 8 个指令通道的并行发射. 处理器在不改变 CPU 的指令编码以及执行顺序的前提下, 实现了芯片结构上的 DSP 和 CPU 执行处理的一体化, 适合在统一的平台上同时完成宽带通信和多媒体的信号和协议处理的嵌入式应用开发. 处理器内核通过自定义的 DSP 指令字中前后并行标识位和一条专用的前导 paralink 指令实现了 DSP 与 CPU 指令的并行发射. 在 4 核处理器的同构架构上, 采用了全局读局部写的多核间片上数据存储策略, 在控制硬件开销的基础上实现片上数据的共享. 仿真和流片验证结果表明, 所提出的 DSP 和 CPU 一体化处理器架构可行, 在宽带通信和多媒体等嵌入式应用上具有优势.

关键词: 多核处理器; DSP 和 CPU 一体化; VLIW 结构

中图分类号: TN 4

文献标识码: A

文章编号: 1000-7180(2014)10-0032-07

The Architecture of an Unified DSP Plus General-purpose CPU and the Implementation of a 4-core Homogeneous Processor

WANG Zhi-jun, LIANG Li-ping, HONG Qing-zhi,
LUO Han-qing, WANG Yi, ZHAO Chun

(Embedded and Multi-core DSP Lab., Institute of Microelectronics of Chinese
Academy of Sciences, Beijing 100029, China)

Abstract: An unified architecture of DSP plus general-purpose CPU is proposed in this paper. A 4-core homogeneous processor based on the unified architecture is implemented. The processor is designed based on the VLIW architecture and can support maximum 8-instruction parallel dispatch. The DSP instruction set is designed independently and the CPU instruction set is compatible with the MIPS 4KC instruction set. The processor merged the DSP and CPU functions in one unified architecture without changing the existent CPU execution sequence. This architecture makes the processor suitable for broadband communication and multimedia embedded applications. The program can be dispatched parallel by the parallel bits in DSP instruction or by a designed 'paralink' prefix instruction. In this 4-core architecture, we performed a globally read locally write strategy to control the chip scale. The results of the simulation and chip test show that the architecture we performed is feasible and have its advantage in broadband communication and multimedia application.

Key words: multi-core processor; unified DSP plus CPU; VLIW architecture

1 引言

数字信号处理器(DSP)已经被广泛应用在通

信、多媒体等领域,随着各种应用复杂度的提高,对处理器芯片的性能提出了越来越高的要求,传统的单核处理器已经不能满足复杂应用的性能要求,因

收稿日期: 2013-12-01; 修回日期: 2014-01-21

基金项目: 中国科学院知识创新项目(KGCX2-YW-134)

此多核处理器应运而生^[1]。

特别在现代的宽带通信和多媒体等嵌入式应用领域中,用于信号处理的计算能力要求非常高,与此同时其协议处理又非常复杂,在系统级芯片实现时常常采用多核处理器方案。目前较常见的多核方案主要可分为同构多核^[2-3]和异构多核^[4-5]两种。现有的同构多核处理器大都为单纯的多核 CPU 或者多核 DSP 处理器,比如 ADI 公司的 Blackfin 系列部分 DSP 处理器和 intel 及 AMD 公司当前主流的 CPU 处理器。这些同构多核处理器无法胜任同时进行信号处理和协议处理的功能,限制了其在嵌入式应用领域的应用范围。因此在宽带通信和多媒体等嵌入式应用领域最常见的是异构多核处理器方案。一个异构多核处理器通常包括一个 CPU 或多个 CPU 另外加上一个或多个协处理器,其中协处理器通常为 DSP 或专用加速器,比如 TI 公司的 TMS320DM6467 就集成了 ARM 核、DSP 核、图像与视频加速器等。异构多核处理器的方案较好地解决了宽带通信和多媒体应用领域的问题,但也存在很多不足。

首先,异构多核处理器中的处理器 CPU 和 DSP 往往是独立的单元,这种结构的两种处理器相对独立硬件开销较大,并且处理器之间难以形成紧耦合,故数据和控制信号的传递效率往往不高,不易扩展。另外,多种处理器的开发环境集成在一起,使用起来很复杂。其次,异构多核处理器的方案不适应现代 CMOS 制造工艺发展面临的成本问题。在 32 纳米以下的工艺节点,掩模板的费用超过一千万美元,设计的 NRE 费用对于设计公司来讲是一个巨大的挑战。未来设计公司为了摊薄高昂的成本而更倾向于设计通用化和用户可配置的产品,这样采用异构多核处理器的方案就很难取舍究竟要放多少个 CPU 和多少个 DSP。

而同构的多核处理器易于扩展,能更好适应 CMOS 工艺发展。因此有必要根据宽带通信和多媒体应用领域需要寻找新的内核结构,这种内核既能适应信号处理又能适应协议处理,同时具备以同构多核处理器方式进行扩展的能力。

本文提出了一种基于 VLIW 结构的 CPU 和 DSP 一体化的多核处理器架构,处理器既可以运行通用 CPU 指令,满足协议处理的需要,又可以运行自主定义的 DSP 指令,进行高速信号处理。芯片在结构上是一个整体而并非 2 种处理器简单的拼接。该架构兼容已有的 MIPS 4KC 指令集^[6],在不改变

CPU 指令编码和执行顺序的前提下,实现 CPU 和 DSP 芯片架构的一体化。该架构的 CPU 处理器主要负责控制性任务,可以通过 CPU 原有的软件和工具做开发;DSP 主要负责运算性任务,以函数库方式进行开发,一些常用算法都可以预先通过 DSP 指令做成函数库,当软件编译发现用到相应函数时可以自动调用完成数据的快速运算。用户在该处理器平台上进行开发仍旧可以保持原有 RISC CPU 开发习惯,这样既保证了程序开发的易用性,又使得软件资源和硬件资源得到充分利用,能更好地满足各种应用需求^[7-8]。

2 CPU 和 DSP 相融合的指令系统及并行分发机制

2.1 指令的编码特点

本文处理器的 CPU 指令兼容 MIPS32 4KC 指令集,DSP 指令为完全自主设计定义,共 100 条。为了 CPU 指令和 DSP 指令的完全融合,且 DSP 指令不会影响 CPU 的已有指令,DSP 指令编码选择了 CPU 编码尚未占用的空间域进行编码。由于 CPU 指令和 MIPS 4KC 指令兼容,其编码本身不带有并行标志位,为了充分利用处理器的指令并行执行功能,在设计 DSP 指令时,将 DSP 指令的编码域增加了前后 2 bit 并行标志位来进行并行标识,使得 CPU 指令可以和 DSP 指令一起被并行发射执行^[9-10]。

另一方面,为了提高纯 CPU 指令的执行效率,在指令系统中特别设计了一条 paralink 前导指令,使得纯 CPU 指令也可以被并行发射执行,从而能充分利用处理器的硬件并行度。

具体的编码方式如图 1 所示,指令编码的前 6 比特用来区分该指令为 DSP 指令还是 paralink 指令或是 CPU 指令,自主定义的 DSP 指令实际有效编码域为 24 bit。

31	26	25	24	23
011110	PP	DSP指令编码		
111011	00	Paralink指令编码		
其他	MIPS 4KC指令编码			

图 1 指令编码结构

2.1.1 DSP 指令

为了更大程度地发挥 DSP 处理器和 RISC CPU 各自的优势,DSP 指令的设计宗旨是满足高速的计算需求,因此 DSP 指令中没有设计诸如中断触

发等控制性指令,从而节省了 DSP 指令集的指令条数,减轻解码负担。

对于 DSP 指令, bit25 和 bit24 为并行标识位,分别表示当前指令是否和其前一条和后一条指令并行. 剩余的 24 bit 为 DSP 指令的功能编码. 在 DSP 指令当中,具有基本的算术运算指令、逻辑操作指令、乘累加类指令、存储类指令. DSP 指令集中的部分运算指令提供了直接面向存储器取操作数进行运算的功能,提高指令应用灵活性. 单条 DSP 的运算指令可以支持局部 SIMD 操作,对 1 个 32 位的数据可以当成 1 个 32 位或 2 个 16 位的数据进行操作。

另一方面,针对多媒体、通信中的一些典型应用,本指令集还设计了一系列特殊功能指令用来提高程序的运行效率. 特殊功能指令包括 4 种。

①蝶形运算指令:专门的蝶形运算指令可以完成 16 位复向量的基 2 或基 4 蝶形运算. 由于 FFT 和 IFFT 是数字通信中最基本也最常用到的算法,其基本构成即为蝶形运算,因此通过该指令可以加速 FFT/IFFT 的操作。

②像素处理类指令:该类指令中,单条指令即可完成指令的 8 位像素加减、点积、累加、alpha 混合运算等功能,可以加速多媒体类应用的速度。

③向量类指令:该类指令可以对一组 128 bit(4 个字)或 256 bit(8 个字)的向量数据进行存储、堆栈出栈、向量点积, zigzag 变换等操作,从而简化通信类和信号处理类应用程序的复杂度。

④语音类指令:该类指令可以用 1 条指令完成 U-law/A-law 的 PCM 编码或解码操作。

2.1.2 paralink 指令

对于 MIPS 4KC 的指令集,其原本用于单指令发射的标量处理器系统,其指令编码内并没有并行标识符,因此对于纯 CPU 指令程序,没法利用 VLIW 处理器的多发射机制,会造成硬件资源的浪费。

Paralink 指令就是为了解决纯 CPU 指令的并行发射而设计. Paralink 指令可以理解为一个前缀指令,该指令的作用是标明该指令之后若干周期内指令的并行度,指导硬件进行指令并行分发^[11]. Paralink 指令的前 8 bit 为其操作码,其后的剩余 24 bit 被分成 8 个结构相同的部分,分别表示 paralink 指令之后 8 个有效执行周期中每个周期的指令并行度,如图 2 所示。

通过这条指令,可以显式地指示一段程序内的指令并行度,减少指令执行周期且硬件开销小,在解

码操作时,只要每个周期顺序读取 paralink 相应 bit 位的信息即可。

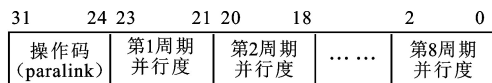


图 2 paralink 指令结构

2.2 指令的并行分发机制

指令的并行分发可以通过 2 种方式完成:

第一种方式为利用 DSP 指令中所带的并行标识符来标明每个周期需要并行执行的指令. 在 CPU 和 DSP 指令混合的程序中,通过合理安排 DSP 指令所处的位置,可以实现 CPU 指令与 DSP 指令的并行执行,但这一方式没法用于纯 CPU 的指令程序. 第二种方式为利用 paralink 进行并行标识, paralink 的并行标识可以用于纯 CPU 程序,也可以用于 CPU 和 DSP 混合的指令,只是采用 paralink 指令前导的并行标识方法会增加一定量的指令代码空间。

图 3 所示为同一程序采用不同并行标识方法进行分发的示例. 左图第一段程序的并行度为 4,第二段并行度为 3,通过 DSP 指令前后的“|”标识符进行标识,将原本不带并行的 CPU 指令也包含了一个并行发射通道. 在采用这种方法进行并行标识分发时,对 DSP 和 CPU 指令的位置是有一定要求,需要在一组并行组中的 CPU 指令不能连续在一起,而要前后和 DSP 指令相邻。

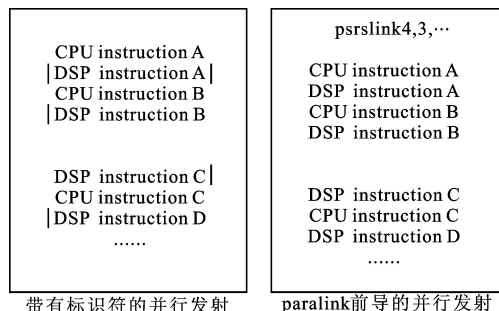


图 3 两种并行发射示例

图 3 右边的并行发射方式同样实现了第一段程序并行度为 4,第二段并行度为 3. 而实现并行发射的方法是将几组并行指令紧跟在 paralink 指令之后,通过 paralink 指令中的 4,3... 的编码域告诉硬件后面几个周期指令的并行度. 这样在 DSP 指令中不需要再添加并行标识符,且对指令编写的顺序及指令类型没有特殊要求,即对纯 CPU 指令也可以实现并行发射。

3 基于 VLIW 架构的 4 核处理器实现

整个 4 核处理器的结构如图 4 所示. 4 个处理器内核为同构, 均可以执行 CPU 和 DSP 指令, 4 个核可以有选择地被关闭或启用, 以适应不同应用需求. 多核之间高速缓存的数据同步通过 snoop 逻辑完成, 另外片上具有多通道 DMA 逻辑进行多核间或片上和片外数据的搬运. 对于 4 核间片上数据的读写采用局部写全局读的方式完成, 每个核只可以对自己片上空间进行写操作, 但可以对 4 个核的片上数据进行读操作, 从而实现了 4 核片上数据的共享, 也降低了一部分交叉读写的复杂度.

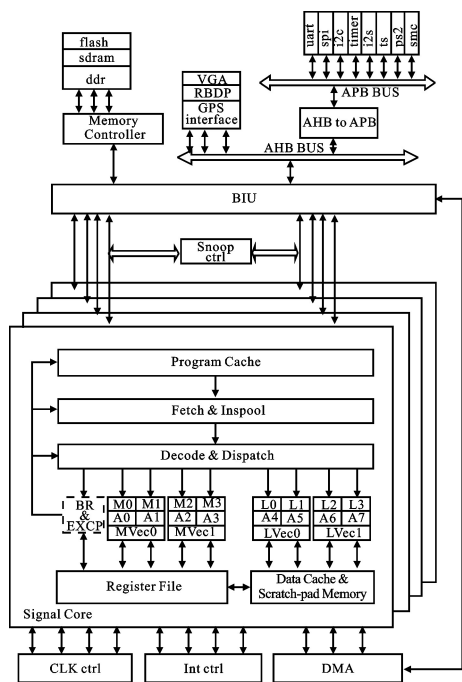


图 4 4 核处理器结构

4 个处理器核通过总线接口单元(BIU)和外部存储器以及外设等通信, 所设计的存储控制器(MC)具有多种模式, 可以支持 flash, sdram, DDRII 存储设备的读写操作. 处理器内核和外设通过总线连接, 总线设计采用了分层结构, 快速的外设设备控制器均挂载在 AHB 总线上, 包括 VGA, RBDP 和 GPS 接口; 其他的慢速设备通过 AHB 转 APB 桥挂载在 APB 总线上, 支持的外设包括 UART, SPI, I2C, timer, I2S, TS, PS2 和 SMC.

3.1 处理器内核结构

单个处理器的内核为基于 VLIW 架构的 32 位定点处理器. 每个处理器主要包括指令高速缓存模块、指令槽取指模块、解码和分发模块、运算功能单元、跳转和例外控制模块、寄存器堆模块以及存储模

块构成.

3.1.1 运算和功能单元

每个处理器核具有 8 个逻辑执行通道, 图 4 中 8 个 A 功能单元可以执行算术逻辑类(ALU)指令; 4 个 M 功能单元可以执行 32 bit 乘累加类(MAC)指令; 另 4 个 L 功能单元可以执行存储类(LD/ST)指令. 另外, 每两个 M 功能单元或 L 功能单元可以合并形成一个向量执行单元, 完成向量指令的操作, 支持 2 个 128 bit 的向量或 1 个 256 bit 向量的操作. 图 5 为 DSP 的运算类功能单元实现的基本结构框图, 多数的运算类指令均是基于我们定义的乘累加寄存器 ACC 进行操作, 指令的两个操作数除了来自于通用寄存器外, 还有可能来自于片上存储单元, 从而使得程序员在使用指令时能更加方便灵活.

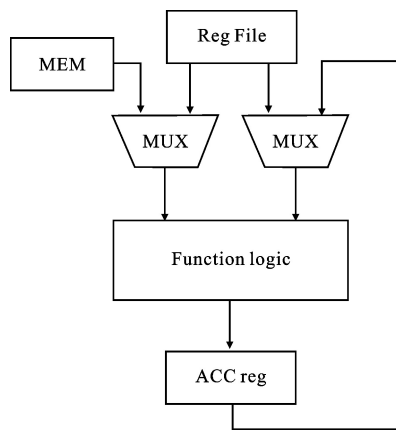


图 5 运算类功能单元框图

3.1.2 寄存器堆

处理器中包含 72 个 32 bit 的通用寄存器, CPU 指令可访问的寄存器共 32 个, 其功能和定义同 MIPS 4Kc 的通用寄存器堆定义; DSP 指令可访问寄存器共 64 个. 在 DSP 可访问的 64 个寄存器中, 有 16 组 64 bit(32 bit 高位和 32 bit 低位寄存器拼接而成)的乘累加 ACC 寄存器以及 16 组可以用于数据地址计算的 AR 寄存器, 以适应大量数据读写变换和运算操作的需求.

3.1.3 存储模块

根据兼容 MIPS 4Kc 的需求, 在内存空间中, 有一部分空间为 cacheable 的, 而另一部分为 uncacheable 的空间. 在本处理器中, CPU 指令的访存操作可以覆盖整个内存大小, 主要通过数据高速缓存(Dcache)进行数据缓存和读写; 而 DSP 指令的访存操作则设计限于片上的一块映射到 uncacheable 的存储空间. 由一个所谓的 Scratched Pad Memory (SPM)进行数据存储, 每个处理器核内部的 SPM

空间为 64 kB, 4 个核的 SPM 占据连续的 256 kB 空间, 该空间位于内存的 uncache、unmap 域, 因此可以直接根据地址进行读写, 不需要额外进行虚实地址的转换。

处理器 Dcache 的结构如图 6 所示, 每个处理器的 Dcache 大小为 16 kB, 采用 4 路组相连、write back 回写策略, 每一个数据行的大小为 8word。

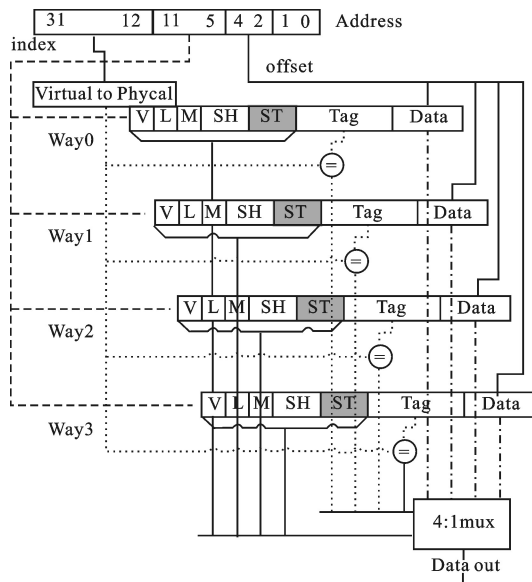


图 6 Dcache 结构图

Dcache 根据地址的 index 域访问出 4 路 tag 数据, 根据 tag 所存的物理地址值和转换得出的物理地址值进行比较, 并综合考虑每一路数据的状态, 得出 cache 是否命中。cache 每一行的状态位包括 V (Valid), L (Lock), M (Modify), SH (Share) 和 ST (Stack) 五个。在 Dcache 作为数据存储读写时, 常用的状态位为 V、L、M 和 SH, 分别表示该行数据是否有效, 被锁定, 被修改或与其他核数据存在共享。在本处理器中, Dcache 除了用作常用的数据高速缓存外, 还创新的将 Dcache 的每一行空间用来给自主定义的 DSP push/pop 指令做堆栈空间, 一拍可以完成对 8 个数据的堆栈出栈。Dcache 中专门用一个 Stack 状态位标记该行数据是否被用于堆栈。当 Dcache 中的某一行被用作堆栈空间后, stack 状态位置 1, 该行数据被锁定, 不能被普通的数据读写操作替换或读出, 只能通过 DSP 的 pop 指令将相应的状态解除并无效。Dcache 的这种功能复用有效节省了硬件开销, 使得 Dcache 空间得到了充分利用, 同时一次最多 8 个数据的 push/pop 也提高了数据堆栈的效率。

3.1.4 流水线

整个处理器指令的执行采用 8 级流水, 如图 7

所示。PC 级用来产生取指地址; FCH1 和 FCH2 为 Icache 取指阶段; 取出指令的解码和分发在 FCH2 和 DISP 两级完成; 经过分发后进入执行通道的指令根据指令类型的不同在之后的 3 个周期来完成不同的指令的操作; 最终一个周期进行写回 (WB) 寄存器操作。为了提高指令的执行效率, 流水线执行级内部还设置了部分 bypass 逻辑以降低指令的流水线冲突。

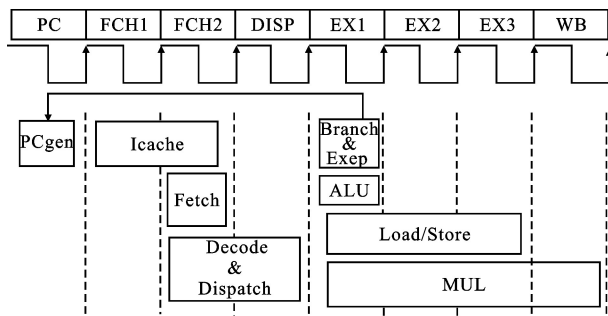


图 7 处理器流水线

3.2 多核互联方法及总线接口

图 8 为 4 核处理器之间互联的结构图。每个单核 DSP 处理器配置一级私有的高速缓存 Cache, 可以通过 Cache 机制共享处理器簇的存储空间。

每个单核处理器的 DSP 指令对 SPM 采用局部写全局读的访问方式实现紧耦合连接, 即 DSP 指令对自己核内部 SPM 可以进行读写操作, 而对于其他 3 个核只能进行读操作。这种局部写全局读的数据访问方式避免了使用额外的共享存储单元, 降低了各 DSP 核之间数据通信的复杂度。

BIU (总线接口网关) 用来控制 DSP 处理器和外部存储器及 IO 接口之间数据的交换。当指令 cache 或数据 cache 需要从外存读写数据时, 都需要通过 BIU 进行仲裁, 然后进行数据的交换。

为了提高批量数据的传输效率, 在片内设计了多通道多功能 DMA 进行大块数据的传送。DMA 可以实时检测各个局部存储器或者 BIU 是否空闲或忙碌, 在 DMA 收到数据传输请求时会根据设备状态适时选通传输通道, 使得 DSP 可以进行数据的读取。每个片上 SPM 存储器都和 DMA 交叉开关相连, SPM 之间的数据交换以及 SPM 和 BIU 之间的数据交换都可以通过 DMA 完成^[9]。

4 验证结果及分析

4.1 验证平台

为了评估本文处理器的指令效率设计了周期精确的单核仿真器对指令的执行周期进行测算。所采

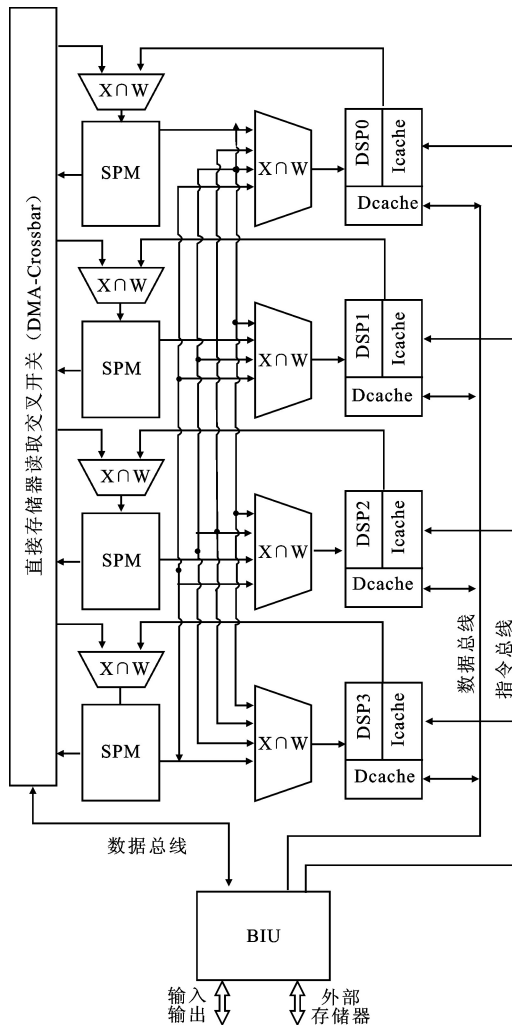


图 8 4 核互联结构图

用的评估程序包括数字信号处理的一些基准算法以及 H. 264 编解码程序中的一些关键多媒体函数。另外,为了验证处理器硬件功能设计的正确性,还搭建了相应的单核处理器 FPGA 验证平台,在该平台上进行内核、外设等功能部件的测试,并完成了 RT Thread 操作系统的移植。

4.2 验证结果及分析

表 1 所示为采仿真器运行数字信号处理测试程序的结果,我们将其与目前主流的 TI DSP 处理器运行相同程序时所用的周期做了比较,TI 的指令集采用了 TMS320C64x+ 指令集^[8]。从表格中可以看出与 TI 的指令集相比,本处理器的指令系统在对向量的一些信号处理算法上,其效率具有一定优势。

表 2 中为运行 H. 264 中一些关键函数的开销统计,结果来自单核的处理器仿真器,测试序列为 CIF 格式,为运行 20 帧后得出平均值。将结果与在 TI DM642 仿真平台上运行得出的每帧平均值做了比较。从测试结果可以看出,由于处理器具有专用像

素类运算指令,故在多媒体应用的典型程序中,其性能具有一定优势。

表 1 数字信号处理函数测试结果

测试函数	周期数	
	Our approach	TMS320C64x+
1024 点复数 FFT	2 404	3 878
实数单样本 FIR	12	24
实数块 FIR	690	1 046
复数块 FIR	2 377	4 112
IIR 滤波	123	89
256 点向量和	106	106
256 点向量点积	42	78
256 点向量最大值	49	45

表 2 多媒体函数测试结果

模块类别	Our approach	TI DM642
亮度色插值	6.72E+05	4.24E+06
去块滤波	1.01E+06	1.26E+06
重建	1.13E+05	3.82E+05

在 FPGA 验证过程中,由于初始 FPGA 平台的存储资源有限,因此选择了占用内存较小的 RT Thread 操作系统进行移植以验证处理器功能正确性,图 9 是运行 RT Thread 操作系统的截图。通过 RT-Thread 自带的调试环境 FINSH,可以很容易得看到当前运行的各个线程的执行情况及内存占用情况。通过 FPGA 平台的测试证明我们多核处理器结构是正确可行的。

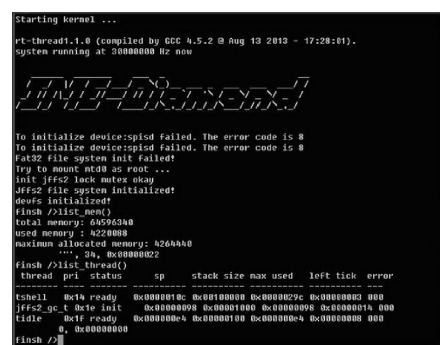


图 9 RT Thread 运行界面

5 芯片物理设计和实现

芯片的物理设计采用 65 nm Low Leakage 工艺完成,最终的版图如图 10 所示。

在整个芯片版图设计过程中采用了模块化,自底向上的方式完成。图 10 中的 Core0~3 为 4 个内

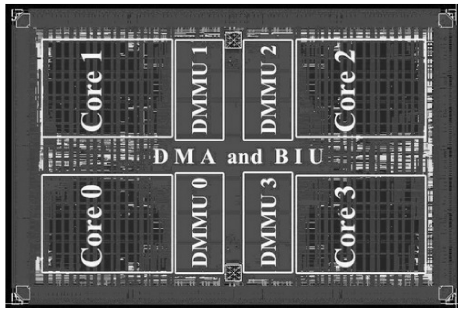


图 10 本文处理器版图示意图

核, DMMU0~3 为包含 SPM 存储单元在内的存储控制模块。表 3 所示为芯片物理实现后的相应指标数据, 测试结果表明, 整个处理器架构可行, 性能符合预期设计。

表 3 芯片各项指标

工艺	65 nm Low Leakage
芯片内核尺寸	5 mm×7.5 mm
等效门数	530 万
工作频率	约 220 MHz
功耗	约 6 mW/MHz
封装	256 管脚 BGA

6 结束语

本文介绍了一种基于 VLIW 结构的 CPU 和 DSP 融合的多核处理器架构。该架构兼容已有的 MIPS 4KC 指令集, 在不改变 CPU 指令编码和执行顺序的前提下, 实现芯片架构 CPU 和 DSP 的一体化^[2]。

本论文设计并投片了一款基于该架构的 32 位 DSP 和通用 CPU 无缝混链的 4 核处理器。该处理器不但可以运行专用 32 位 DSP 指令, 而且还兼容通用 MIPS 4KC CPU 指令, 可以直接兼容通用 RISC CPU 现有的软件资源和开发工具, 减轻了 DSP 处理系统开发难度, 方便用户进行系统开发。

经实验和仿真, 该处理器在一些通信及多媒体应用上, 其执行效率具有优势。经过投片验证, 所提出的 CPU 和 DSP 一体化计算的处理器架构可行, 且能按照预期正常工作。

参考文献:

[1] Jeff Parkhurst, John Darringer, Bill Grundmann. From single core to multi-core: preparing for a new exponential[C]// ICCAD06. San Jose, CA, 2006.

- [2] Phys. Org. Freescale announces industrys first 90nm multicore programmable DSPs in volume production [EB/OL]. (2005-10-15) [2014-01-05]. <http://www.physorg.com/news4045.html>.
- [3] Ackland B, Anesko A. A single chip, 1.6 billion, 16b MAC/s multiprocessor DSP[J]. Solid-State Circuits, 2005, 35(3):412-424.
- [4] Dac C Pham, Tony Aipperspach, David Boerstler. Overview of the architecture, circuit design, and physical implementation of a first generation cell processor [J]. Solid-state Circuits, 2006, 41(1):179-196.
- [5] Ron Kalla, Balaram Sinharoy, Joel M Tendler. IBM power5 chip: a dual-core multithreaded processor[J]. IEEE MICRO, 2004, 24(2):40-47.
- [6] MIPS Technologies Inc. MIPS32 architecture for programmers volume II: the MIPS32 instruction Set [J]. Mountain View, CA, Document Number: MD00086, Revision 2.5, 2005.
- [7] Sanjive Agarwala, Timothy Anderson, Anthony Hill. A 600MHz VLIW DSP[J]. Journal of Solid-State Circuits, 2002, 37(11):1532-1544.
- [8] Texas Instruments. TMS320C64x/C64x + DSP CPU and instruction set reference guide[EB/OL]. [2010-07-10]. Literature Number: SPRU732J, <http://www.ti.com/lit/ug/spru732j/spru732j.pdf>.
- [9] 梁利平, 王志君. 一种片上多核 DSP 处理器簇和应用扩展方法[P]. 专利代理机构“中科专利商标代理有限公司”专利申请号: 200810225781.9, 公开(公告)号: 101739241A, 公开日 2010-06-16.
- [10] 梁利平, 王志君. 将 32 位 DSP 与通用 RISC CPU 无缝混链的处理器装置[P]. 专利代理机构“中科专利商标代理有限公司”专利申请号: 200810227482.9, 公开号 101739235A, 公开日 2010-06-16.
- [11] 梁利平, 王志君. 一种实现指令并行执行的优化方法和装置[P]. 专利代理机构“中科专利商标代理有限公司”专利申请号: 200810227518.3, 公开号 101436122, 公开日 2010-05-20.
- [12] 姜峰, 尚书林, 梁利平. 基于 DSP 的 H.264/AVC 解码器运动补偿模块的优化[J]. 微电子学与计算机, 2012, 29(10):85-88.

作者简介:

王志君 女, (1981-), 博士研究生, 助理研究员. 研究方向为处理器体系结构方。

梁利平 男, (1969-), 研究员. 研究方向为高性能数字信号处理器设计和高速混合信号集成电路设计。