

单粒子瞬态脉冲宽度量化与自测试电路设计

向一鸣,蒋见花,戴 睿,王 雷

(中国科学院 微电子研究所, 北京 100029)

摘 要: 为了研究组合逻辑中单粒子瞬态(Single-Event Transient, SET)的特性,采用片上测量技术提出了一套 SET 脉冲宽度测量方案. 针对 SET 脉冲特性,设计了一种基于自主触发的脉冲测量电路,提出了一种用于自测试验证的脉冲激励电路. 基于本所 350 nm SOI 工艺,完成了一款集脉冲收集、测量、自测试于一体的 SET 重离子辐射测试芯片. 通过仿真分析,验证了该方案的有效性. 此方案为其他深亚微米工艺下 SET 研究提供了参考.

关键词: 单粒子瞬态(SET); 辐射效应; 片内测试; SOI

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)10-0043-05

Test Circuit of Pulse Width Measurement and Self-Test for Single-Event Transient

XIANG Yi-ming, JIANG Jian-hua, DAI Rui, WANG Lei

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A scheme for on-chip measuring pulse width of single-event transient (SET) has been implemented in our 350 nm silicon-on-insulator technology in order to research the characteristics of SET in combinational circuit. A pulse measurement circuit basing on autonomous detection technology is designed. A pulse generation circuit that used for chip self-tests and verification is proposed. The simulation results indicate the availability of this scheme, and provide some references for other deep sub-micron processes.

Key words: Single-Event Transient (SET); Radiation Effect; Built-in Testing; Silicon-on-insulator (SOI)

1 引言

随着半导体制造工艺的发展,器件特征尺寸不断缩小,工作电压不断降低,电路功耗也不断缩小. 与此同时,集成电路也面临更多的可靠性问题,特别是在辐射环境下. 对于 100 nm 以下更为先进的工艺,辐射引起的集成电路软错误已经越来越成为主要的芯片失效机制. 辐射环境下的电路失效机制有许多种,如 SEU(Single-Event Upset)、SET(Single-Event Transient)等. 对于锁存器和 SRAM 单元而言,它们受到高能粒子轰击后会在电路节点上产生大量电荷,这些电荷被电路收集后可能会引起电路节点存储状态的翻转形成一次 SEU. 对于组合逻辑而言,粒子轰击带来的电荷收集不会引起电路节点

状态的永久翻转,但会产生瞬态脉冲,形成一次 SET. SET 会沿着电路向下传播,当传播到锁存器或触发器,就可能被这些存储单元采集到,导致数据错误或系统错误^[1-2], SET 脉冲宽度与时钟周期越接近,它被触发器等存储单元采集到的概率就越大. 掌握 SET 脉冲宽度的概率分布情况对于深亚微米工艺下芯片可靠性研究具有重要意义.

美国 Vanderbilt 大学的研究人员已经将 SET 研究推进到 45 nm IBM SOI 工艺上^[3]. 国内在此领域的研究很少,且大多基于体硅工艺,国防科技大学的研究人员在 TSMC 65 nm 体硅工艺上进行 SET 研究,取得了一定进展^[4-5]. 本文基于本所自有 350 nm SOI 工艺^[6],设计了一个 SET 脉冲测量电路,并在此基础上提出了一种电路自测试的方法.

收稿日期: 2014-01-10; 修回日期: 2014-02-28

基金项目: 国家重大科技专项(2009ZX02306003, 2009ZX02305013)

2 脉冲测量电路设计

SET 脉冲测量主要有两种设计方法,一种是直接用高频单触发射波器抓取脉冲.使用这种方法需要搭建昂贵和复杂的测试环境,对 SET 脉冲产生位置有着严格的要求,多用于轰击位置和时间可以精确控制的激光测试中.另一种设计方法是采用一条反相器链在片内量化脉冲.脉冲在一串反相器链中传播有一定的影响范围,当脉冲宽度大于单级反相器的传播延时,受脉冲影响而发生输出状态翻转的反相器数量就会大于或等于 1,那么受影响的反相器数量就可以用来量化脉冲宽度.图 1 中演示了脉冲在反相器链中的传播情况, Δt 表示单级反相器的传播延时, $Q_0 \sim 8$ 表示反相器的输出节点.当反相器链中没有脉冲传播时,如 t_0 时刻, $Q_0 \sim 8$ 的状态为“010101010”.当一个 $3\Delta t$ 宽度的脉冲传入后,各反相器输出陆续发生翻转,脉冲完全传入反相器链后,同时受脉冲影响的反相器数量为 3 个,例如 $t_0 + 8\Delta t$ 时刻, $Q_0 \sim 8$ 的状态变为“01010 0100”.通过观察各反相器输出状态可以很容易得出脉冲宽度的量化结果,其量化误差为 $\pm 1/2 \Delta t$.这种设计方法不受脉冲产生位置和时间的限制,且设计成本相比前者要小很多,因此本文采用的第二种设计方法.

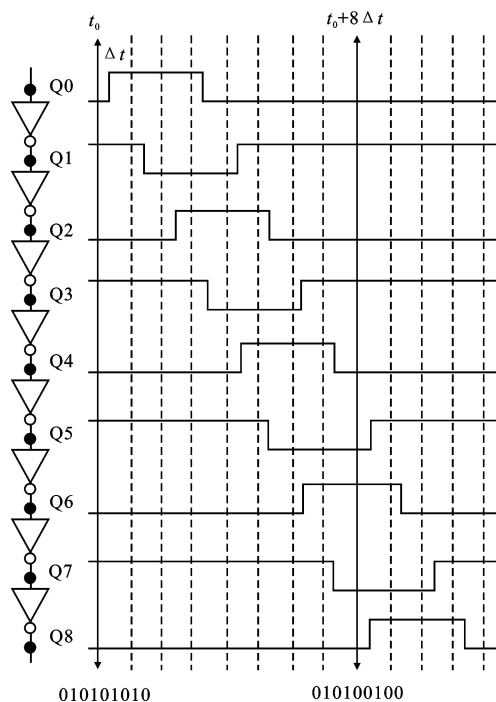


图 1 脉冲在反相器链中的传播

反相器链节点状态的输出方式可以分为同步和异步两种.同步输出方式在每一级反相器输出节点

接一个 D 触发器,由外部时钟控制这些触发器不间断地采集各节点状态. SET 脉冲宽度往往在 ps 量级,对于本设计采用的 350 nm SOI 工艺而言,这样级别的时钟周期显然难以达到.另外,脉冲在反相器链中的传播时间至少要维持一个时钟周期才能被采集到,这就要求反相器链的级数足够多,而输出节点太多会降低数据输出效率.异步输出方式由 Narasimham 于 2006 年提出^[7],它的主要特点是通过脉冲上升沿产生自触发信号,把脉冲锁存到一条锁存器链中.用锁存器的单级延时来量化脉冲宽度.2006 年后,Vanderbilt 大学采用这种结构获得了大量针对 SET 的研究成果,也为本设计提供了大量数据参考^[8-10].本文设计的脉冲测量电路基于异步输出方式,如图 2 所示.

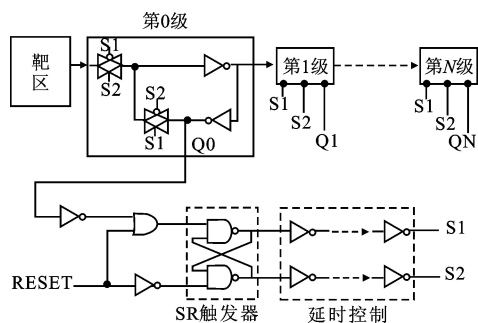


图 2 异步自触发的脉冲测量电路

图 2 中给出了脉冲测量电路,电路分为 3 个主要部分:锁存器链、自触发电路和靶区.锁存器链有两种状态,由一对互补信号 S1 和 S2 控制.当 S1 为“0”,S2 为“1”时,锁存器反馈环路断开,锁存器链工作状态与反相器链类似,为 SET 脉冲提供传播通路.当 S1 为“1”,S2 为“0”时,锁存器处于锁存状态,单级输出节点状态通过反馈反相器存储起来.数据从反馈反相器输出节点 $Q_0 \sim N$ 输出的目的是防止在 SET 传播通路上引入额外负载,导致单级传播延时增加.

自触发电路从第 0 级锁存器 Q_0 端引入脉冲,脉冲上升沿经过 SR 触发器形成触发信号 S1 和 S2.触发信号产生后并不能立即用来触发锁存器,因为此时脉冲可能并没有完全传入锁存器链.图 2 中延时控制部分用来给触发信号一个固定延时让 SET 脉冲能够完全传入锁存器链.延时控制电路由两条延时相同的反相器链组成,它要保证 S1 和 S2 同时翻转.自触发电路的总延时决定了本设计所能测量的最大脉冲宽度. RESET 信号为外部信号,默认状态为“0”,锁存器链中的数据输出完成后,RESET 输入一个方波脉冲信号,使锁存器反馈回路关闭且

恢复级联导通状态等待下一个 SET 脉冲. 本设计中采用的是 21 级的锁存器链, 设计最大脉冲宽度抓取范围为 3.8 ns. 考虑到工艺误差, 锁存器链的最后 3 级是冗余设计. 另外, S1 信号也被用来给片外控制逻辑产生中断响应信号.

靶区用来收集 SET 脉冲. 根据实际设计需求, 目标电路可以用任何组合逻辑电路网络来设计. 但是, 目标电路的设计必须保证 SET 脉冲的形状和长度不被影响. 一般来说, 最小驱动的反相器链可以模拟 SET 在实际组合逻辑中的产生过程, 而且可以使 SET 在传播过程中的消减最小化, 如图 3 所示.

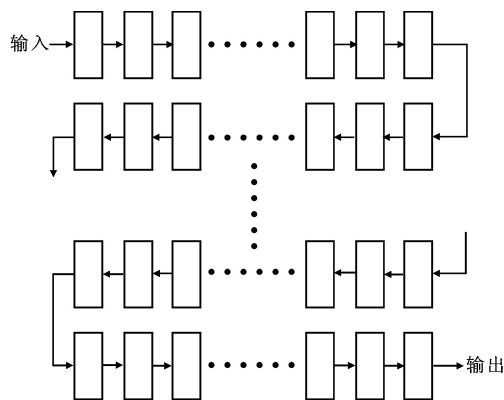


图3 靶区示意图

脉冲测试电路的工作机制是串行的. 高能粒子轰击靶区产生 SET 脉冲, 然后传到测量电路. 测量电路中的锁存器在 SET 传播阶段是初始化的, S1 为“0”, S2 为“1”, 脉冲可以通过反相器和传输门往下传. 当 SET 脉冲的上升沿到达测量电路第 0 级 (触发级) 时, 触发信号产生并经过一段固有延时. 在此期间, SET 脉冲继续沿着反相器和传输门传播. 当触发信号延时完毕后, S1 信号变为“1”, S2 信号变为“0”, SET 脉冲就被锁存住了. 脉冲宽度与非初始状态锁存器的数量成正比. 一旦锁存器数据被读出, RESET 信号复位 S1 和 S2, 所有锁存器恢复初始状态等待下一脉冲.

3 自测试激励电路设计

为了保证辐射实验可靠有效, 首先要确认整个测试系统的可靠性, 为 SET 脉冲测试电路设计可靠的自测试方案十分必要. 本文设计了一种片内自测试方案, 通过自测试激励电路, 主动向靶区灌输一定脉宽的脉冲, 通过脉冲测量电路的测量结果来对比验证测试环路.

激励产生模块的基本原理就是把环形振荡器 (环振) 中相隔不同级数的节点电位通过异或运算得

出一个周期性的脉冲信号, 然后把这个脉冲信号输入靶区, 如图 4 所示. 脉冲信号的周期是环振震荡周期的一半. 为了使自测试激励电路产生的脉冲宽度和测量电路的量化单位有可比性, 环振电路每一级实际上是脉冲测量电路的单级锁存器. 锁存器 S1、S2 分别固定为“0”、“1”, 保持反馈环路常开, 这样锁存器的逻辑变化就类似反相器. 单级锁存器的 Q 点为环振引出做异或运算的节点, 这样不会影响环振环路每一级的负载. 图 4 中 TE 和 TRSTN 信号是自测试控制信号, 自测试时 TRSTN 和 TE 同时置“1”, 辐射测试时同时置“0”. 由于脉冲测试电路在抓取到有效脉冲后需要等待输出数据, 因此只有自测试开启后第一个传到脉冲测试电路的脉冲是有效的. 在本设计中, 环振采用 65 级的锁存器, 从中截取 4 段量化宽度分别为 4、8、13、16 的脉冲, 每个量化单位为单级锁存器的延时.

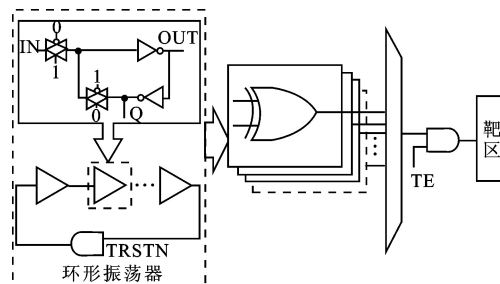


图4 自测试激励电路基本原理

4 全芯片电路系统设计

通过测量不同组合逻辑电路在 高能粒子轰击下产生的 SET 脉冲宽度, 有助于分析它们的软错误率和进行加固设计. 反相器作为典型的组合电路, 在 SET 脉冲测量中应用广泛. 本文在上述电路的基础上, 进行了全芯片系统设计 (图 5), 具体针对 invbd0、inv0d0、inv0d2、inv0d4 四种不同驱动的反相器设计了四个靶区, 为每个靶区分配了一个脉冲测量电路. 四个靶区共用一个自测试激励电路以节省芯片面积.

除了完成基本的 SET 产生、收集和量化外, 测试系统中还需要一些外围电路. 首先就是输出总线的设计. 综合考虑设计周期、输出效率和现有条件, 本设计采用了并行输出的方式, 把四个独立的抓取模块分两条总线独立输出. 由于每条总线被两个抓取模块复用, 需要在外部控制部分加入一些调度机制使数据有序输出.

环振测试电路也是本系统必不可少的部分, 基

于 SPICE 模型的仿真结果并不能完整地反映工艺误差,通过环振测试电路,可以反标工艺特性,得到实际的锁存器单级延时,一定程度上修正 SPICE 模型的误差.环振测试电路采用与自测试电路相同的测试原理与结构.这样,无论是脉冲测量电路、自测试激励电路还是环振测试电路都有相同的量化单元(单级锁存器),实验数据可以互相参考.

本测试系统设计过程中尽量避免了复杂的时序逻辑设计,全芯片都是异步电路,不需要外部引入时钟信号,电路之间的信号靠自然传播、自触发或中断形式等形式传播.这要做的直接优势就是省去了一些数字电路的设计流程,比如逻辑综合,时钟树综合等.另外,除了用来量化脉冲的锁存器需要单独设计,其他逻辑单元都可以使用已有的标准单元库,这在一定程度上也缩短了设计周期.从系统层面上来说,异步的芯片对外部控制逻辑的要求也较低,不需要进行时钟匹配,外部控制系统既可以基于 FPGA 搭建也可以基于 MCU 搭建.

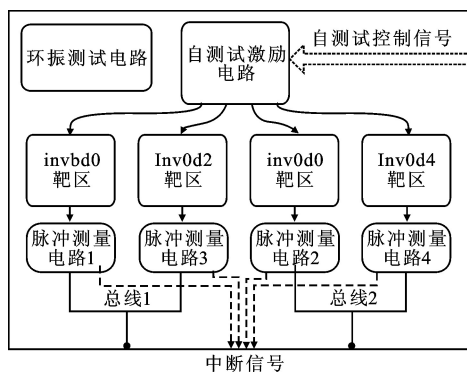


图 5 全芯片电路框图

5 设计实现与仿真结果

本文提出的电路系统在 sg 所 350 nm SOI 工艺上完成设计,仿真平台为 Hspice_200903_sp1,物理设计平台为 Cadence Virtuoso.其中,本文对用于量化脉冲的锁存器进行了单独设计,其它基本逻辑单元都取自标准单元库.

表 1 中列出了各个工艺角下,脉冲测量模块的一些关键数据,下文列出的所有仿真数据都为后仿结果.脉冲测量模块采用 22 级锁存器链,除第 1、22 级分别为触发级和识别级外,其余 20 级为有效量化长度.在典型 PVT 下,脉冲量化精度为 192.5 ps,量程为 3.3 ns,上升下降延时偏差为 5 ps.表 2 中列出了环形振荡器的指标参数,可以看出,通过环形振荡器的震荡频率可以很准确地反推单级锁存器的传播

延时.本文选取了量化宽度分别为 4、8、13、16 的脉冲作为自测试激励电路的输出脉冲,这四种宽度的脉冲平均地覆盖整个量程.表 3 中用自测试激励电路实际输出的脉冲宽度反推环振的单级延时,量化宽度为 8、13、16 的脉冲实际宽度在量化误差($\pm 1/2$ 量化精度)之内,而量化宽度为 4 的脉冲实际输出宽度误差较大,这是由物理版图设计中长连线增加的负载引起的.

表 1 脉冲测量电路性能参数

PVT	Tp/ ps	Ttri/ ns	TpHL/ ps	TpLH/ ps	S1/S2 skew/ps	Margin
TT 3.3 V 27 °C	192.5	3.3	190.0	195.0	60.2	1.155
FF 3.63 V -40 °C	123.7	2.3	123.3	124.0	15.9	1.075
SS 3.0 V 125 °C	301.3	4.9	280.7	322.0	207.4	1.219
SS 3.63 V 125 °C	240.3	4.1	264.3	216.3	188.7	1.174
TT 3.63 V 27 °C	175.9	3.1	187.0	164.7	56.0	1.144

* Tp = 锁存器单级延时, Ttri = 触发延时

* TpHL(TpLH) = 锁存器下降(上升)传播延时

* S1/S2 skew = 触发信号 S1 和 S2 的延时偏差

* Margin = Tp * 20 / Ttri

表 2 环形振荡器性能参数

PVT	f / MHz	Tpr / ps	Tpc / ps
tt_3.3 V_27 °C	10.58	192.9	192.5
ff_3.63 V_-40 °C	16.60	123.1	123.7
ss_3.0 V_125 °C	6.78	300.9	301.3
ss_3.63 V_125 °C	8.53	239.2	240.3
tt_3.63 V_27 °C	11.82	172.7	175.9

* f = 环振荡频率

* Tpr = 环振单级锁存器传播延时

* Tpc = 脉冲测量电路单级锁存器传播延时

表 3 自测试激励电路性能参数

量化 宽度	tt_3.3 V_27 °C		ss_3.0 V_125 °C		ff_3.63 V_-40 °C	
	Tp / ps	Error	Tp / ps	Error	Tp / ps	Error
4	229.0	0.748	352.8	0.690	148.6	0.828
8	183.3	-0.398	284.5	-0.437	117.9	-0.338
13	195.3	0.157	307.4	0.280	125.4	0.243
16	189.0	-0.329	294.1	-0.363	121.6	-0.190
norm	192.9	Abs <0.5	300.9	Abs <0.5	123.1	Abs <0.5

* Tp = 反推的环振单级传播延时, norm = 实际环振单级传播延时

* Rerror = (Tp / norm - 1) * 量化宽度

图 6 中给出了一个宽度约 1 ns 脉冲注入脉冲

测量电路后,各级输出节点仿真波形.可以看出,脉冲完全传过了前14级并在第15至19级内被锁存住,而第20级并没有受到脉冲影响.整个测试系统芯片的物理版图如图7所示.

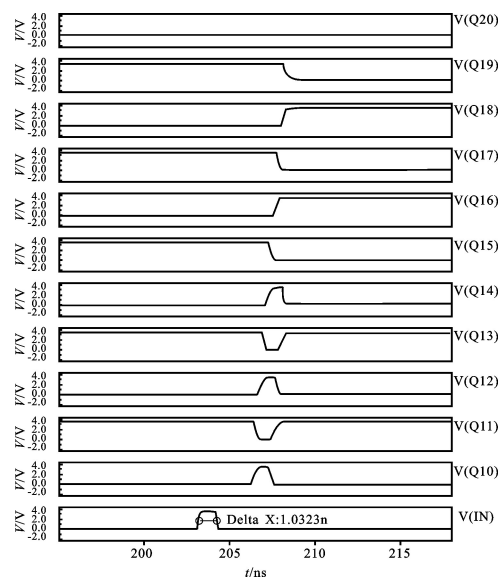


图6 脉冲测量电路仿真波形

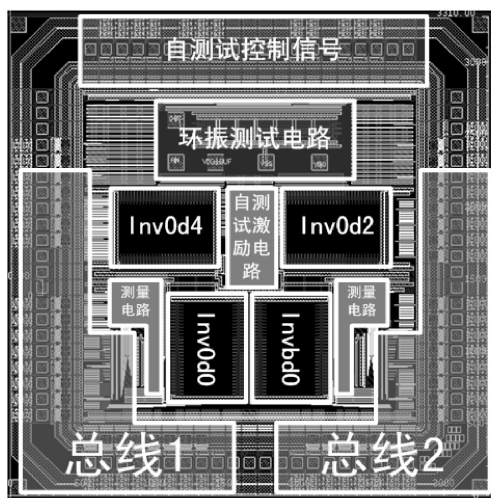


图7 物理版图设计

6 结束语

文中提出了一种可进行自测试的SET脉冲测量电路和全芯片方案,并在本所自有工艺上借助标准单元实现了芯片版图设计.模拟仿真显示,各电路模块达到预期功能,性能参数满足设计需求.本文提出的方案可以推广到其他深亚微米工艺中.接下来将根据流片测试 results 和辐射测试结果进行方案优化以及相关加固技术的可靠性研究.

参考文献:

- [1] Dodd P F, Massengill L W. Review_Basic mechanisms and modeling of single-event upset in digital microelectronics[J]. Nuclear Science, IEEE Transactions on, 2003(5):583-602.
- [2] Buchner S, Baze M. Comparison of error rates in combinatorial and sequential logic[J]. IEEE Trans. Nucl. Sci., 1997(4):2209-2216.
- [3] Loveless T D, Kauppila J S. On-chip measurement of single-event transients in a 45 nm silicon-on-insulator technology[J]. Nuclear Science, IEEE Transactions on, 2012(59):2748-2755.
- [4] He Y, Chen S, Chen J, et al. Impact of circuit placement on single event transients in 65 nm bulk CMOS technology[J]. Nuclear Science, IEEE Transactions on, 2012(59):2772-2777.
- [5] Jianjun C, Shuming C, Yibai H, et al. Novel layout technique for N-Hit single-event transient mitigation via source-extension [J]. Nuclear Science, IEEE Transactions on, 2012(59):2859-2866.
- [6] 范紫菡,毕津顺,罗家俊. 基于PDSOI单粒子翻转物理机制的SPICE模型研究[J]. 微电子学与计算机, 2011,28(12):40-45.
- [7] Narasimham B, Ramachandran V. On-chip characterization of single-event transient pulsewidths[J]. Device and Materials Reliability, IEEE Transactions on, 2006(6):542-549.
- [8] Narasimham B, Bhuvu B L. Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies[J]. IEEE Transactions on Nuclear Science, 2007(54):6.
- [9] Gadlage M J, Gouker P, Bhuvu B L, et al. Heavy-Ion-Induced digital single event transients in a 180 nm fully depleted SOI process [J]. Nuclear Science, IEEE Transactions on, 2009(56):3483-3488.
- [10] Gadlage M J, Ahlbin J R. Single-event transient measurements in nMOS and pMOS transistors in a 65-nm bulk CMOS technology at elevated temperatures[J]. Device and Materials Reliability, IEEE Transactions on, 2011(11):179-186.

作者简介:

向一鸣 男,(1989-),硕士研究生.研究方向为数字集成电路可靠性加固设计.

蒋见花 女,(1976-),硕士生导师.研究方向为数字集成电路可靠性加固设计.