

高速 CMOS 时钟数据恢复电路的设计与仿真

邓军勇, 蒋 林, 曾泽沧

(西安邮电大学 电子工程学院, 陕西 西安 710121)

摘 要: 针对 2.5 Gb/s 高速收发器采用 SMIC 0.18 μm CMOS 工艺, 设计了双环半速率时钟数据恢复电路, 其中锁相环环路为时钟数据恢复电路提供 16 相 1.25 GHz、等相位间隔的参考时钟, CDR 环路包括采用电流模式逻辑的前端 1:2 解复用电路、基于相位插值与选择的时钟恢复电路、可以消除亚稳态的超前滞后采样型鉴相器电路, 以及基于精度可预置的“折半与顺序查找”相位选择算法的数字滤波器电路。采用 SpectreVerilog 进行数模混合仿真, 结果表明电路可以正确处理 2.5 Gb/s 差分输入数据, 完成时钟恢复与数据重定时。

关键词: 时钟数据恢复; 双环半速率结构; 相位插值; 数字滤波器

中图分类号: TN802

文献标识码: A

文章编号: 1000-7180(2014)11-0056-08

The Design and Simulation of High-speed CMOS Clock and Data Recovery Circuit

DENG Jun-yong, JIANG Lin, ZENG Ze-cang

(School of Electronic Engineering, Xi'an University of Posts & Telecommunications, Xi'an 710121, China)

Abstract: A dual-loop half-rate clock and data recovery circuit (CDR) used in 2.5 Gb/s high-speed transceiver is designed with SMIC 0.18 μm CMOS technology. The phase-locked loop provides 16-phase, 1.25 GHz reference clocks with same phase interval to CDR loop. The CDR loop consists of 1:2 demultiplexer designed in current mode logic, clock recovery circuit with an innovative phase interpolation and selection technology, lead-lag sampling phase detector which can eliminate meta-stable state, and precision presetted digital filter with the phase selection algorithm of binary search and sequential search. The proposed circuit is verified with digital/analog mixed simulator SpectreVerilog and the results show that the circuit can process the 2.5 Gb/s differential data reliably to accomplish clock recovery and data retiming.

Key words: clock and data recovery; dual-loop half-rate clock architecture; phase interpolation; digital filter

1 引言

随着集成电路性能的不断提高和网络技术的日益发展, 数据处理量和交换量越来越大, 人们要求数据传输的速率越来越快, 对通信带宽的要求也越来越高, 数据带宽以及功耗问题已经成为限制电路整体性能的瓶颈^[1-2]。

在高速串行数据通信中, 为了节省硬件开销, 一般只传送数据信号而不传送与数据信号同步的时钟

信号, 而且数据流在经过传输介质到达接收端的过程中会受到各种外界因素, 如噪声、温度变化等的干扰而失真。这样, 在接收端为了保证数据处理的同步, 时钟等时序信息必须从数据中提取出来, 继而利用该时钟对数据进行“重定时”来消除传输过程中积累的抖动。这一时钟提取和数据重定时的过程一般称为“时钟数据恢复”(Clock Data Recovery, CDR)^[3-4]。CDR 电路在高速串行数据通信系统中具有不可或缺的作用。研究设计 CDR 电路对于通信系

收稿日期: 2014-01-29; **修回日期:** 2014-03-27

基金项目: 国家自然科学基金重点项目(61136002); 国家自然科学基金面上项目(61272120); 陕西省教育厅专项科研计划项目(2010JK817)

统的稳定可靠工作具有重要作用,本文通过对现有 CDR 的分析与研究,针对光纤通信系统、Ethernet 接口、SATA 接口以及背板连接等高速收发器应用,设计了一种 2.5 Gb/s 双环、半速率、多相时钟采样的数字 CDR 电路,能够以较低的功耗和简单的结构适应高速数据流的处理.采用 SMIC 0.18 μm CMOS 工艺完成电路设计,并通过 SpectreVerilog 进行数模混合仿真,保证电路验证的完备性.

2 CDR 结构分析与设计

时钟数据恢复电路从出现至今已经经历了多次变革,改进的主要方面是电路结构的变化.促使 CDR 电路结构变化的因素包括工艺的变化,以及由工艺影响的电路速度和电源电压的变化,面积和功耗的影响等.

2.1 CDR 结构简介

传统的时钟数据恢复电路的结构如图 1 所示^[5],由鉴相器(Phase Detector, PD)比较输入数据和压控振荡器(Voltage Controlled Oscillator, VCO)产生时钟的相位,产生一个正比于相位误差的控制信号送到电荷泵(Charge Pump, CP)和滤波器(Low Pass Filter, LPF)以产生控制电压,由该控制电压调整振荡器的频率,通过相位的调整逐步对齐时钟和相位,时钟信号驱动一个判决电路对数据进行重定时.该结构的缺陷是不能处理较高速度的数据,而且如果鉴相器两个输入的传播延时不同,即使锁定情况下在两输入间仍然存在一个系统偏移,这一偏移还会影响到判决电路的时序,所以该结构的 CDR 电路相位裕度非常有限.

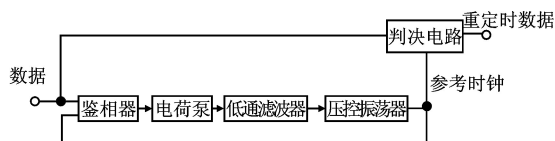


图 1 传统 CDR 结构

时钟数据恢复的经典结构^[6]如图 2 所示,由粗调环路和细调环路组成双环结构,两个环路分别用来处理低速的参考时钟和高速的随机数据.在系统中由鉴频器减小输入数据和 VCO 的时钟频率之间的频率误差;当频率误差足够小时,鉴相器开始工作,将时钟和数据的相位对齐.该结构由于引入了频率锁定环,可以处理的数据速率有了大幅升高,且稳定性好,得到了广泛的应用.但多通道环境下,VCO 工作频率在不同通道之间以及通道与核心逻辑之间

都会有细微误差,导致 PLL 的抖动,性能严重下降^[7].

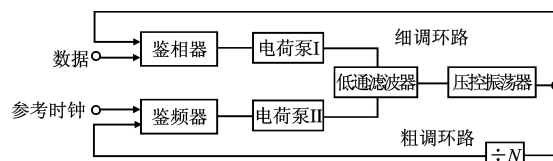


图 2 双环 CDR 结构

随着电路速度的上升和电源电压的下降,高速通信系统中 CDR 的设计继续在器件、电路和结构级向设计者提出挑战.半速率的双环 CDR 结构被提出^[8],如图 3 所示,该结构在解决前述结构的问题同时,全模拟的设计方法增加了电路设计难度和工作可靠性.

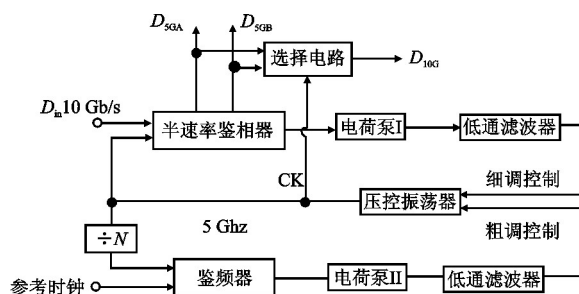


图 3 双环半速率 CDR 结构图

2.2 数字控制双环半速率 CDR 结构

在对现有时钟数据恢复电路的分析基础上,本文设计了图 4 所示的数字控制双环半速率时钟数据恢复环路结构.其中锁相环(Phase Locked Loop, PLL)环路用于提供多相参考时钟,CDR 环路则完成时钟相位的选择和数据的重定时功能.

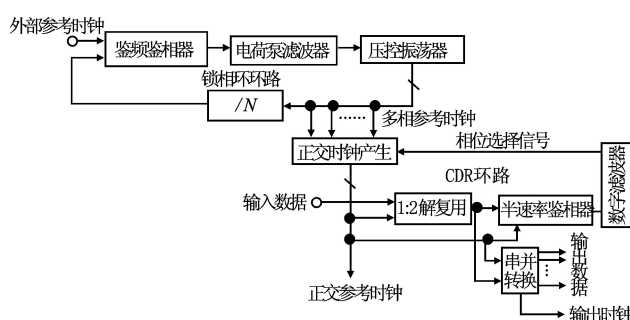


图 4 数字控制双环半速率 CDR 结构图

在图 4 中,锁相环环路采用经典的电荷泵锁相环结构,由鉴频鉴相器(Phase and Frequency Detector, PFD)、CP、LPF、VCO 和分频电路组成,外部参考时钟频率为 125 MHz,输出为 16 相相位间隔为 $\pi/8$ 、频率为 1.25 GHz 的时钟信号. PFD 比较输入

参考时钟和反馈时钟的频率、相位误差,并将误差信号通过 CP、LPF 转换为 VCO 控制电压的升高或降低,从而调整 VCO 输出时钟相位累积的快慢,保证输入到 CDR 环路的多相时钟的稳定。

CDR 环路采用半速率、数字控制结构,包括正交时钟产生单元、1:2 解复用单元、半速率鉴相器单元、数字滤波器单元和串并转换单元。正交时钟产生单元包含相位插值和相位选择两部分,该单元对 PLL 环路输入的 16 相参考时钟进行相位插值,产生 32 相相位间隔为 $\pi/16$ 的 1.25 GHz 的时钟,并利用数字滤波器送来的相位选择信号对这 32 相时钟进行选择,选出合适相位的正交时钟完成输入数据的 1:2 解复用;鉴相器单元利用正交时钟对解复用后的数据进行误差检测,产生超前、滞后误差脉冲;数字滤波器具有可预置功能,对误差信号进行处理产生正交时钟产生单元的相位选择控制信号。1:2 解复用后的数据和经相位选择后的时钟被送入串并转换单元,完成数据 1:4 或 1:5 变换,即串行输入数据的 1:8 或 1:10 变换。

3 CDR 电路设计与仿真

CDR 电路主要由产生正交时钟的数字控制延时单元(Digital Control Delay, DCD)、实现半速率结构的 1:2 解复用单元、PD、DF 以及串并转换单元(SerDes)组成。

3.1 DCD 单元

DCD 单元需要解决两个核心问题:一是如何产生正交时钟,且包含多个相位;二是如何进行相位选择。传统的正交时钟产生方案把整个 360° 的插值范围划分为 4 个离散象限^[7],当插值向量从一个象限转移到另一个象限时,时钟就被它的互补时钟所代替,但实际电路由于相位边界控制单元的偏移,工艺、电压、温度的变化等,会产生相位阶跃。为了避免相位阶跃,DCD 单元采用“相位插值-相位选择”的正交时钟产生方案:对来自 PLL 环路的 16 相相位间隔为 $\pi/8$ 的 1.25 GHz 时钟,通过相位插值生成 32 相相位间隔为 $\pi/16$ 的时钟,并利用经数字滤波器反馈回来的相位选择信号,在这 32 相时钟内选择相位合适的一对正交时钟及其互补时钟,用于数据重定时操作^[9]。电路如图 5 所示。相位选择信号 slc1_1、slc1_2、slc1_3、slc1_4 从 8 个相位插值电路 PI1~PI8 输出的 32 相时钟内选出 8 相两组,即 clk1,3,5,7 和 clk2,4,6,8、组内相位间隔为 $\pi/2$,即正交的时钟,其中 clk1,3,5,7 按照 slc1_1、slc1_2、slc1_

3、slc1_4 依次有效的顺序相位递增,步长为 $\pi/16$; clk2,4,6,8 按照 slc1_1、slc1_2、slc1_3、slc1_4 依次有效的顺序相位递减,步长为 $\pi/16$ 。相位选择信号 slc3_0 为高时,clkI 的相位在 π 和 2π 之间,按照 slc2_1、slc2_2、slc2_3、slc2_4 依次有效的顺序 clkI 的相位递减,步长为 $\pi/4$; slc3_0 为低时,clkI 的相位在 0 和 π 之间,按照 slc2_1、slc2_2、slc2_3、slc2_4 依次有效的顺序 clkI 的相位递增,步长为 $\pi/4$ 。

图 6 所示为 slc3_0=1 和 slc3_0=0 时,在相位选择信号 slc2_1 和 slc1_1 有效情况下的相位选择结果。从图中可以看到插值后的时钟与预期一致,所分两组时钟组内相位间隔为 200.47 ps 和 201.472 ps,呈正交关系。

3.2 解复用单元

解复用单元由 1:2 解复用和串并转换(SerDes)两个模块组成,1:2 解复用单元利用相位调整后的时钟信号对输入的 2.5 Gb/s 串行差分数据进行 1:2 解复用,输出 1.25 Gb/s 的两路重定时数据及其互补信号。由于解复用的输入数据速率很高,不能采用 CMOS 逻辑来完成,选用工作速率高的 CML 逻辑来进行,降低数据速率,也降低了后续电路设计的压力。SerDes 单元对 1:2 解复用单元输出的两路信号进行串并转换处理, SerDes 单元基于交替反相的锁存器和反馈逻辑完成双模 4/5 时钟分频和占空比调节,通过适当的相位控制实现了由相位控制链、交替存储链和同步输出链构成的 1:4/1:5 模式可选的数字 CMOS 解复用电路,1:2 与 1:4/1:5 解复用级联完成 1:8/1:10 串并转换。限于篇幅,该电路本文从略。

3.3 PD 单元

PD 单元比较解复用后数据与时钟的相位误差,产生二值输出:超前脉冲或滞后脉冲。PD 的经典结构有很多^[10-11]。本文采用全数字 CDR 结构,不包含 VCO,属于纯相位调整系统,故 PD 采用超前滞后取样型鉴相器。为消除由于噪声影响带来的信号波动产生的误差,PD 单元的核心电路采用类 Alexander 型结构,在数据跳变沿检测相位误差,并利用带流水线输出的 Mealy 型状态机将误差脉冲送入数字滤波器,消除了输出信号处于亚稳态的可能。电路如图 7 所示。

为了比较全面地表征输入信号的各种形式,给电路加入数字伪随机序列(Pseudo Random Bit Sequence, PRBS),采用数模混合的方法对电路进行仿真^[12]。利用 DCD 单元产生的正交时钟,对外部输入

的经 1:2 解复用后的随机数据进行鉴相,输出超前、滞后脉冲如图 8 所示,可以看出超前滞后脉冲信号

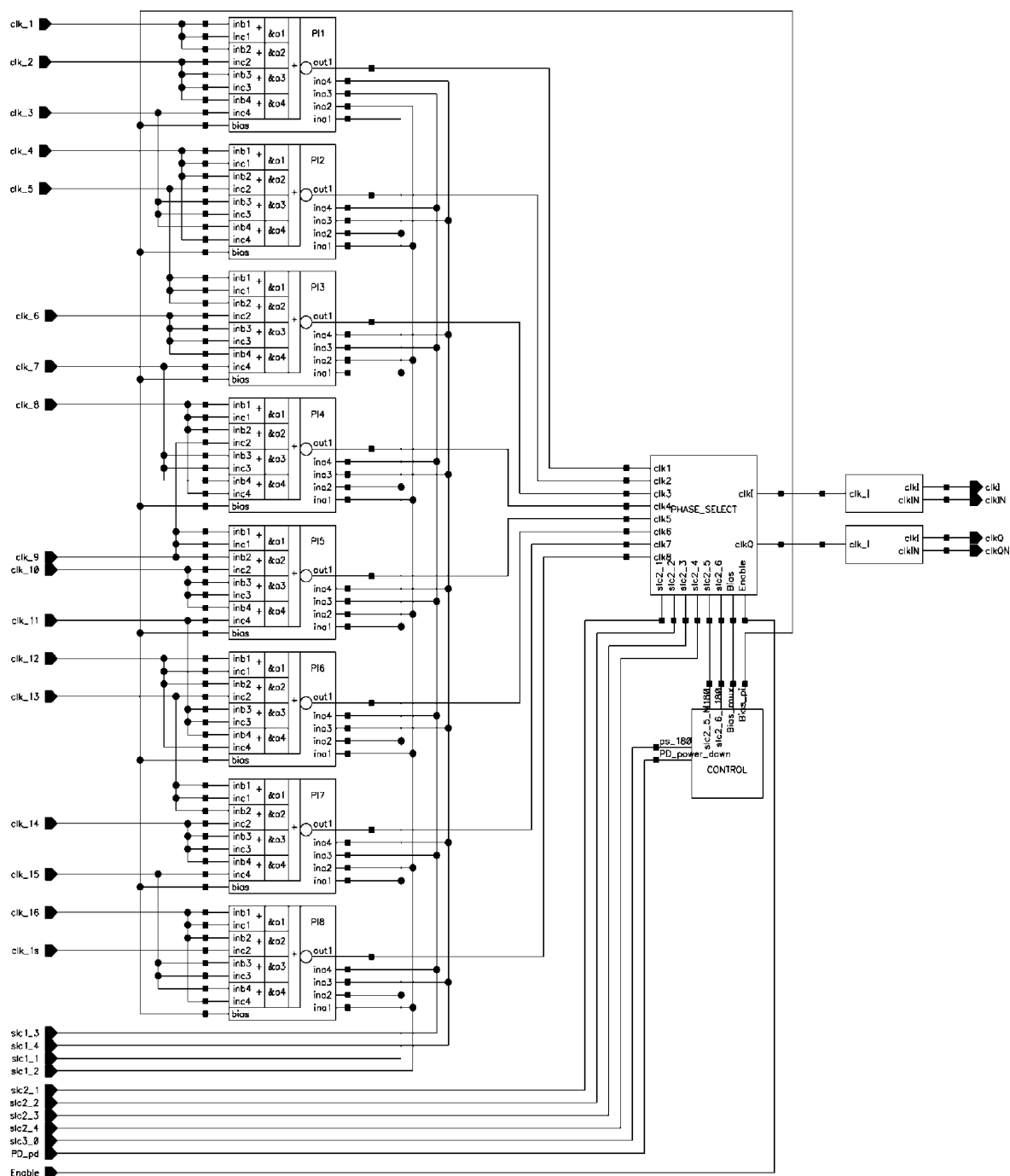


图 5 DCD 单元电路图

上升下降时间很短,消除了可能出现的亚稳态。

3.4 DF 单元

DF 单元对由 PD 输入的超前、滞后脉冲进行处理,输出 DCD 单元进行相位选择的控制信号。由于 PD 输出二值脉冲,因此滤波器采用序列滤波器来平滑其中的起伏,便于消除噪声引起的环路误动作,通常有两种形式:一种叫“N 先于 M”滤波器,一种叫“随机徘徊”滤波器^[13]。

结合 DCD 单元的相位选择控制信号,本文在“随机徘徊”滤波器的基础上增加译码逻辑和相应的控制电路,去产生 9 位 3 组相位选择信号:slc3_0, slc2 * (即 slc2_1、slc2_2、slc2_3、slc2_4), slc1 * (即 slc1_1、slc1_2、slc1_3、slc1_4),借鉴数据结构中的查找算法,采用“基于折半和顺序查找”的相位选择算法,并对产生相位选择信号的译码逻辑的输入信号进行了 Gray 码编码以降低对噪声的灵敏度。核

心电路是两个可逆计数器和相位选择信号的编码电路。

电路设计思路具体为:由一个可逆计数器对鉴

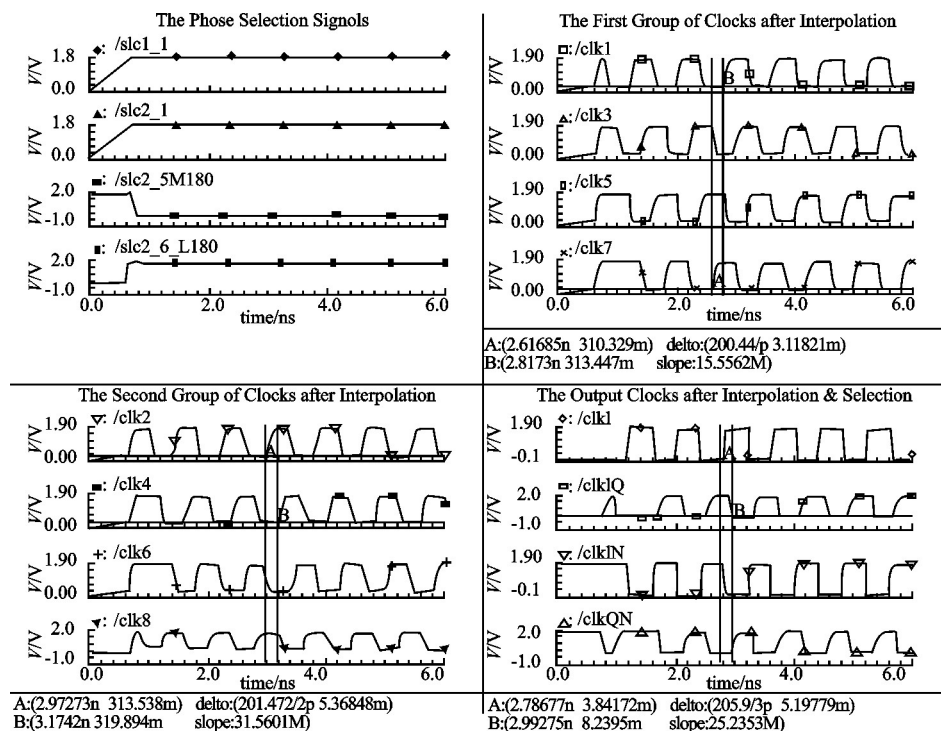


图 6 DCD 单元仿真波形图

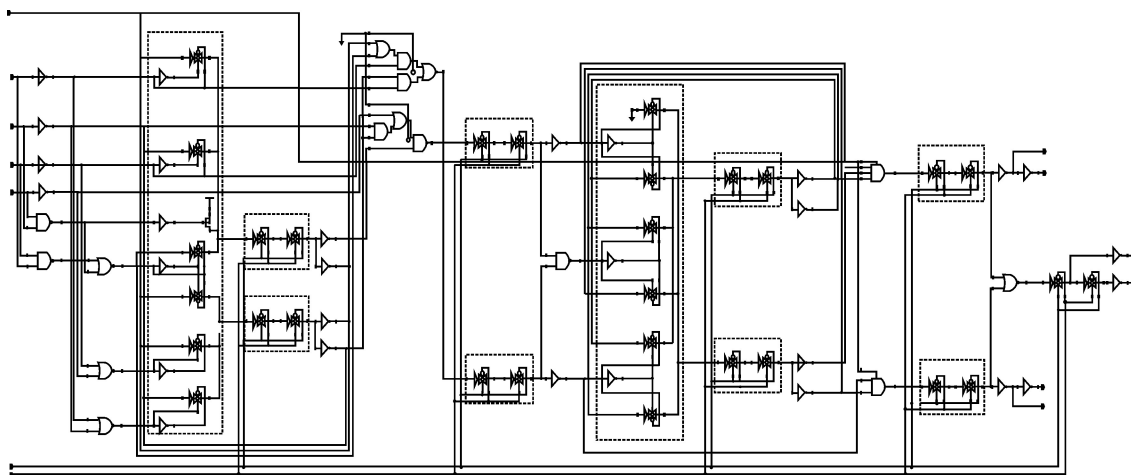


图 7 PD 单元电路图

相器输入的超前滞后脉冲进行徘徊计数:当有超前脉冲输入时计数器上行计数,当有滞后脉冲输入时计数器下行计数,同时设有 4 位可预置的计数结果比较数值 N . 当超前脉冲超过滞后脉冲的数目为 N 时,则输出充当 Gray 码计数器计数时钟的脉冲信号 out1,该信号同时充当 Gray 码计数器上行计数的控制信号,同时使可逆计数器复位;当滞后脉冲超过超前脉冲的数目为 N 时,则输出充当 Gray 码计数器计数时钟的脉冲信号 out2,该信号同时充当

Gray 码计数器下行计数的控制信号,同时也使可逆计数器复位。

编码过程如表 1 所示,其中的 Bin 计数表示 Gray 码计数器的二进制计数结果,Gray 计数表示对二进制计数结果进行 Gray 编码后的结果.按 Bin 计数结果递增的顺序,所选时钟的相位递减。

根据表 1 所示的滤波器工作过程,DF 共分为五个模块,分别是计数模块 UD2、比较模块 COMPARE、控制模块 CTRL、Gray 码编码模块 UD1、译

码模块 DECODER, 电路如图 9 所示. 各模块的功能可以描述为:

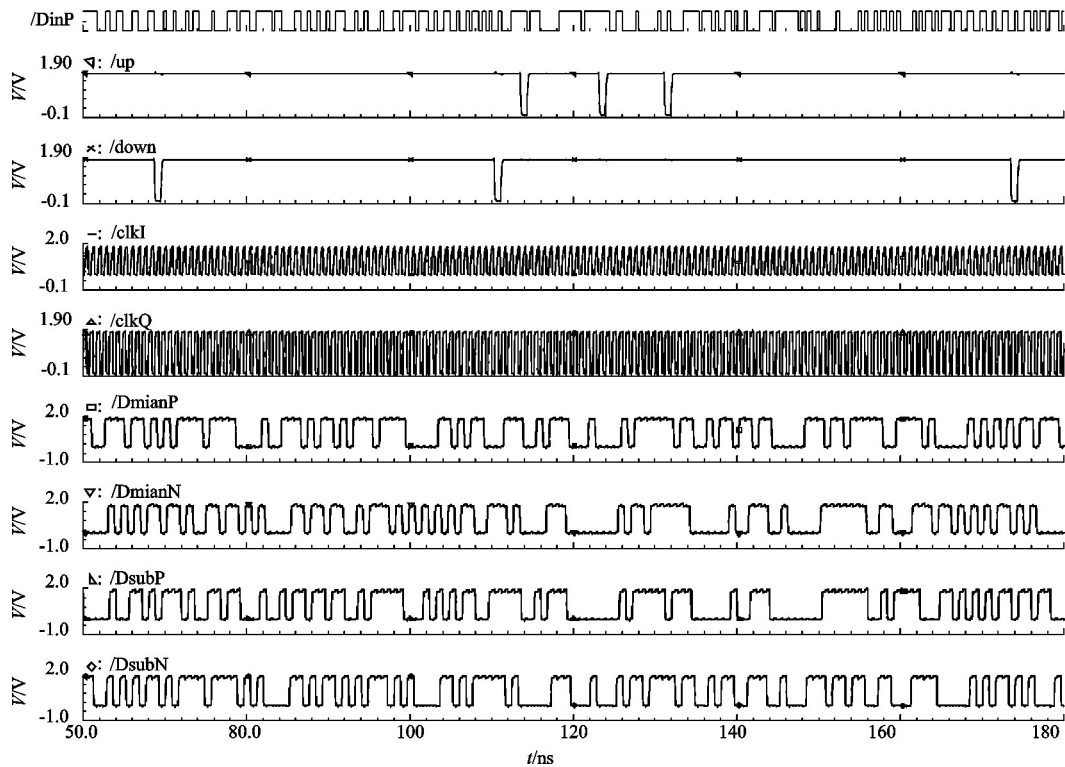


图 8 PD 仿真波形图

表 1 相位选择信号产生规则

Bin	Gray	slc3	slc3_0=0		slc3_0=1	
			slc2 *	slc1 *	slc2 *	slc1 *
00000	01111	0	1000	1000	1000	1000
00001	01110	0	1000	0100	1000	1000
00010	01100	0	1000	0010	1000	0010
00011	01101	0	1000	0001	1000	0010
00100	01001	0	0100	0001	0100	0001
00101	01000	0	0100	0010	0100	0001
00110	01010	0	0100	0100	0100	0100
00111	01011	0	0100	1000	0100	0100
01000	00011	0	0010	1000	0010	1000
01001	00010	0	0010	0100	0010	1000
01010	00000	0	0010	0010	0010	0010
01011	00001	0	0010	0001	0010	0010
01100	00101	0	0001	0001	0001	0001
01101	00100	0	0001	0010	0001	0001
01110	00110	0	0001	0100	0001	0100
01111	00111	0	0001	1000	0001	0100
10000	10111	1	0001	1000	0001	1000
10001	10110	1	0001	0100	0001	1000
10010	10100	1	0001	0010	0001	0010
10011	10101	1	0001	0001	0001	0010
10100	10001	1	0010	0001	0010	0001
10101	10000	1	0010	0010	0010	0001
10110	10010	1	0010	0100	0010	0100
10111	10011	1	0010	1000	0010	0100
11000	11011	1	0100	1000	0100	1000
11001	11010	1	0100	0100	0100	1000
11010	11000	1	0100	0010	0100	0010
11011	11001	1	0100	0001	0100	0010
11100	11101	1	1000	0001	1000	0001
11101	11100	1	1000	0010	1000	0001
11110	11110	1	1000	0100	1000	0100
11111	11111	1	1000	1000	1000	0100

计数模块 UD2 对鉴相器输出的超前、滞后脉冲信号分别进加、减法计数, 并将计数结果送入 COMPARE 模块. 为了保证电路工作性能, 确保对于 1:2 解复用后的 1.25 Gb/s 数据进行正确处理, 对计数表达式进行了手工推导和优化^[14], 以全定制方式完成电路设计.

比较模块 COMPARE 将 UD2 模块的计数结果和预置值进行比较, 若两者相同, 则 out1 输出一有效脉冲至 CTRL 模块; 若计数结果与 16-预置值相同, 则 out2 输出一有效脉冲至 CTRL 模块.

控制模块 CTRL 模块是滤波器单元的控制模块, 产生对计数模块的控制信号, 同时产生 UD1 和译码模块 DECODER 的时钟信号和向上、向下计数的控制信号 (以 COMPARE 的输出信号 out1、out2 作为计数方向控制信号).

Gray 码编码模块 UD1 计数模块分为两级, 前级进行可逆计数, 后级则把前级加法运算的结果转换为减法运算、把减法运算的结果转换为加法运算. 该模块的输出是把前级的运算结果转换为 Gray 码后输出, 作为译码模块的输入信号. 这样可以保证传送高质量的信号, 减小传送过程中出现“毛刺”及信号间干扰的现象.

译码模块 DECODER 模块对输入的信号进行

译码,产生在数字控制延时单元中进行相位选择的三组信号.第一组信号 $slc3_0$ 用于选择 $clkI$ 的范围,是 $(0, \pi)$ 或 $(\pi, 2\pi)$;第二组信号 $slc2_*$ 用于选择两组不同范围的 4 路时钟中的一路;第三组 $slc1_*$

选择该路信号 4 个不同相位的一个相位,同时第三组选择信号还在滤波器的工作模式控制下来进行不同灵敏度和相位调整步长的选择.这样就可以保证相位调整的精度,最高为 $\pi/16$.

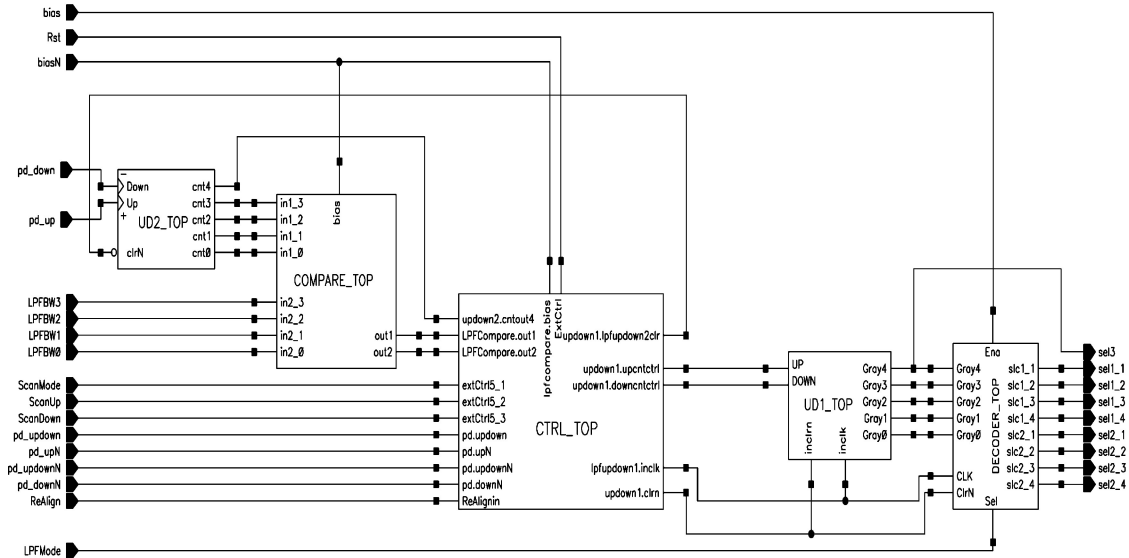


图 9 DF 单元电路结构图

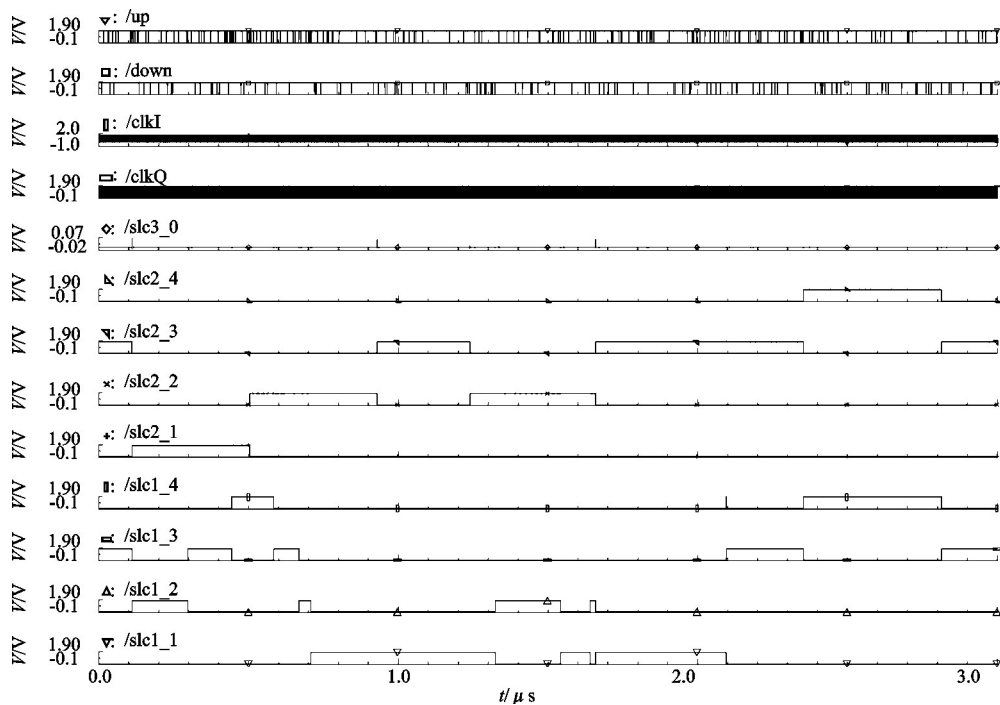


图 10 CDR 电路仿真结果

3.5 CDR 闭环仿真

根据对 CDR 环路各个组成模块的分析及仿真基础上,现在对 CDR 整体进行闭环仿真,验证电路能否在输入数据与时钟信号存在误差时,对时钟相位进行相应调整,最终使环路处于一个动态的平衡状态.

为了保证仿真的全面性与正确性,由于 m 序列的均衡性、游程分布的均匀性以及移位相加特性^[15],激励采用 PRBS 序列,其生成多项式为 $X^{23} + X^{18} + 1$. 仿真结果如图 10 所示.从波形图上可以看

出,加入随机数据,并设置数据频率与要求频率存在一定误差,电路在 $2.6 \mu\text{s}$ 左右达到动态的稳定状态.此时相位选择信号 slc2_4 有效,在 slc2_4 确定的时钟相位范围内,相位选择信号 slc1_1、slc1_2 交替有效.从 PD 输出的超前滞后脉冲也可以看出,电

路输出的超前、滞后脉冲数目基本相同,即电路进入了一种动态的平衡状态.

图 11 所示为放大后的相位调整波形图,从图上可以看出,当相位选择信号变化时,时钟信号相应的进行了调整.

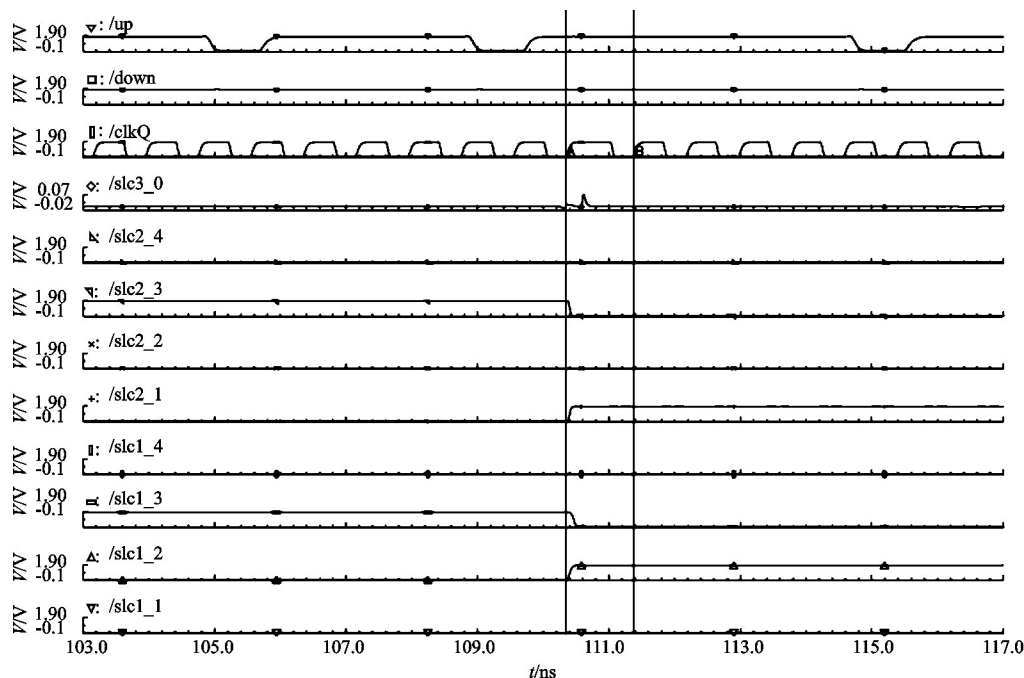


图 11 相位调整波形图

4 结束语

本文针对 2.5 Gb/s 高速串行收发器的实际应用,采用数字控制双环半速率时钟数据恢复电路结构,完成了 CDR 的电路设计与仿真.电路采用 $0.18 \mu\text{m}$ CMOS 工艺^[16],在设计时以 Cadence 公司的 Virtuoso Family 为工作平台,对 CDR 中的单元电路进行了仿真,并采用 SpectreVerilog 对整个电路以数模混合仿真的方式进行了仿真验证.结果表明电路可以可靠工作,正确完成 2.5 Gb/s 差分数据的时钟恢复与数据重定时.

参考文献:

- [1] 王志功. 光纤通信集成电路设计[M]. 北京:高等教育出版社, 2003.
- [2] Jonathan E Rogers, John R Long. A 10-Gb/s CDR/DEMUX with LC delay line VCO in $0.18 \mu\text{m}$ CMOS [J]. International Symposium on Circuits and Systems, 2003(2):181-184.
- [3] Kanellos G T, Pleros N, Houbavlis T, et al. Clock and data recovery circuit for 10-Gb/s asynchronous optical packets[J]. IEEE Photonics Technology Letters, 2003, 15(11):1666-1668.
- [4] Behzad Razavi. Design of integrated circuits for optical communications [M]. 北京:清华大学出版社, 2005.
- [5] Ankit Seedher, Gerald E Sobelman. Fractional rate phase detectors for clock and data recovery[C]// Proceedings of IEEE International SOC Conferenc, California, 2003:313-316.
- [6] Zafer Ozgür Gürsoy, Yusuf Leblebici. Design and realization of a 2.4 Gbps-3.2 Gbps clock and data recovery circuit using deep-submicron digital CMOS technology[C]// Proceedings of IEEE International SOC Conference, California, 2003:99-102.
- [7] Fuji Yang, Jay H. O'Neill, David Inglis, et al. A CMOS low-power multiple 2.5-3.125 Gb/s serial link macrocell for high IO bandwidth network ICs[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12):1813-1821.
- [8] Razavi B. A 10Gb/s CMOS clock & data recovery circuit with frequency detection [J]. Phase Locking in High-Performance Systems: From Devices to Architectures, 2009, 36(5):688-690.

(下转第 68 页)

6 结束语

由上述的分析得到三个重要结论:(1)适当的 MOS 管跨导比会有效地抑制其带来的噪声,最低噪声与带宽限制电容有关,约为其的 KTC 噪声的 2/3;(2)带宽限制电容和采样保持电容取值越接近,读出电路噪声越小;(3)短波和中波红外辐射特性的差异导致三个设计电容的最优取值相差较大.在典型应用条件下,达到最佳信噪比的中波积分电容为 1.7 pF,积分时间为 5 ms;短波的最优积分电容为 0.76 pF,积分时间为 20 ms.

参考文献:

- [1] 罗海波,史泽林. 红外成像制导技术发展现状与展望[J]. 红外与激光工程, 2009, 38(4): 565-573.
- [2] Hsieh C C, Wu C Y, Jih F W, et al. Focal-plane arrays and CMOS readout techniques of infrared imaging systems[J]. IEEE Transactions on Circuits and Systems for Video Technology, 1997, 7(4): 594-605.
- [3] Johnson J F, Lomheim T S. Focal-plane signal and noise model-CTIA ROIC[J]. IEEE Transactions on Electronic Devices, 2009, 56(11): 2506-2515.
- [4] 张建奇,方小平. 红外物理[M]. 西安:西安电子科技大学出版社, 2004.

- [5] 陈西曲,易新建,王强. 具有低噪读出特性的 VO2 非致冷焦平面读出电路[J]. 红外与毫米波学报, 2006, 25(4): 246-250.
- [6] Razavi B. Design of analog integrated circuits[M]. New York: McGraw-Hill Higher Education, 2001.
- [7] Gray P R, Hurst P J, Meyer R G, et al. Analysis and design of analog integrated circuits[M]. New York: Wiley, 2008.
- [8] 黄张成,黄松垒,张伟,等. 边积分边读出低噪声红外焦平面读出电路研究[J]. 红外与毫米波学报, 2011, 30(4): 297-300.
- [9] 贾寒昕,亢勇,李向阳. 快照模式紫外焦平面读出电路电容优化设计[J]. 红外与激光工程, 2006(2): 26.
- [10] Johnson J F. Hybrid infrared focal plane signal and noise model[J]. Electron Devices, IEEE Transactions on, 1999, 46(1): 96-108.

作者简介:

王 霄 男,(1988-),博士研究生.研究方向为红外读出电路、阵列信号处理.

史泽林 男,(1965-),研究员,博士生导师.研究方向为图像处理、模式识别等.

(上接第 63 页)

- [9] 曾泽沧,邓军勇,蒋林. 用于 CDR 电路的相位插值选择电路设计[J]. 半导体技术, 2008, 33(8): 721-725.
- [10] 张厥盛,郑继禹,万心平. 锁相技术[M]. 西安:西安电子科技大学出版社, 2000.
- [11] 鲁昆生,王福昌. 电荷泵锁相环设计方法研究[J]. 华中理工大学学报, 2000, 28(1): 62-64.
- [12] 邓军勇,曾泽沧,蒋林. 数/模混合信号设计验证中主要问题的分析[J]. 半导体技术, 2007, 32(7): 565-569.
- [13] 郑赞. 混合信号仿真技术综述[J]. 中国集成电路, 2004(7): 40-44.
- [14] 邓军勇,蒋林,曾泽沧. G 比特级通用可逆计数器的 CMOS 电路设计[J]. 西安邮电学院学报, 2008, 13

(5): 8-12.

- [15] 牛风举,刘元成,朱明程. 基于 IP 复用的数字 IC 设计技术[M]. 北京:电子工业出版社, 2003.
- [16] 张涛,邹雪城,刘力,等. 低噪声 CMOS 环型压控振荡器的设计[J]. 微电子学与计算机, 2004, 21(7): 164-167.

作者简介:

邓军勇 男,(1981-),博士研究生,讲师.研究方向为 VLSI 系统与计算机辅助设计.

蒋 林 男,(1970-),硕士生导师,教授.研究方向为集成电路系统设计.

曾泽沧 男,(1966-),讲师.研究方向为通信专用 ASIC 设计.